

091

IMPLEMENTAÇÃO DE UMA ARQUITETURA RECONFIGURÁVEL EM UM FPGA. *Gabriel Luca Nazar, Antonio Carlos Schneider Beck Filho, Luigi Carro (orient.) (UFRGS).*

Com a miniaturização dos componentes de circuitos integrados surge um novo desafio: como utilizar essa crescente capacidade lógica para aumentar o desempenho de processadores? Diversas técnicas tentam resolver esta questão, como processadores "multi core", VLIW, superescalares, etc. Uma destas técnicas são as chamadas arquiteturas reconfiguráveis – e é sobre uma proposta de arquitetura reconfigurável que trata este trabalho. Enquanto o processador executa normalmente o programa, as instruções recebidas são analisadas paralelamente por um hardware que procura por trechos apropriados para execução em uma matriz reconfigurável de unidades funcionais. Quando tal trecho é encontrado, faz-se uso de um algoritmo de tradução binária para transformar automaticamente as instruções recebidas em uma descrição para a matriz reconfigurável, mantendo, assim, compatibilidade de software para programas já gerados para o processador original. Esta configuração é armazenada em uma *cache* indexada pelo *program counter* (PC) – sendo possível utilizar configurações já geradas diretamente quando o PC atingir um valor contido na tabela. Assim, trechos de código podem ser executados sobre um hardware puramente combinacional em uma quantidade reduzida de ciclos, obtendo-se aceleração na execução sem a necessidade de recompilação de programas já existentes. Atualmente estamos desenvolvendo e adaptando esta proposta para executá-la sobre um FPGA, com o objetivo de nela executar programas simples. Futuramente cogita-se rodar aplicações complexas sobre esta plataforma, tais como um MP3 *player*. (CNPq).