

311

**TESTE E COBERTURA DE FALHAS EM INTERCONEXÕES DE UMA NOC.** *Maico Cassel dos Santos, Paulo Meirelles, Alexandre Amory, Fernanda Gusmao de Lima Kastensmidt (orient.) (UFRGS).*

Atualmente, na medida em que se acrescentam vários IPs dentro de um único chip sua complexidade na fabricação e possibilidade de operações em paralelo aumentam. Neste contexto, o uso de barramentos para tráfego de dados intra-chip produz uma perda de desempenho. A solução para esta questão, sendo a aposta para o futuro na microeletrônica, são as Redes em Chip (NoCs). Entretanto falhas no processo de prototipação podem ocorrer, ocasionando, por exemplo, curtos entre o mesmo canal de interconexão de roteadores, curtos entre canais dos roteadores com o do núcleo e curtos entre canais diferentes de roteadores. Elaborar um método de injeção destas falhas e de detecção das mesmas foi a motivação deste trabalho. Utilizando uma rede SoCIN 2X2 com roteadores RASoC, foi feito um testbench que injeta falhas de curto “wire and” e “wire or” nas interconexões de dados. Para a extração dos resultados de detecção de falha foi criado na saída do core um gerador de tráfego de pacotes utilizando o vetor de teste “universal” (walking one), e acrescentado na entrada do mesmo um comparador entre os arquivos recebidos e os enviados. Nesta etapa todos os arquivos dos 4 cores eram enviados ao mesmo tempo. Os vetores de teste foram defasados e adicionados dois flits (cabeçalho e terminador) com o objetivo de incluir os fios referentes a início (bop) e fim (eop) do pacote, mantendo a mesma taxa de cobertura de falhas. Por fim, sinais de handshake foram adicionados ao testbench e o resultado final foi a cobertura total das falhas para o tipo “wire or” e 99, 93% do tipo “wire and”, sendo que os casos não detectados nesta última não resultam erros nos pacotes ou na rede.