

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ALEXANDRE SIMIONOVSKI

**SENSOR DE CORRENTE TRANSIENTE PARA DETECÇÃO
DE SET COM CÉLULA DE MEMÓRIA DINÂMICA**

Porto Alegre

2012

ALEXANDRE SIMIONOVSKI

**SENSOR DE CORRENTE TRANSIENTE PARA DETECÇÃO
DE SET COM CÉLULA DE MEMÓRIA DINÂMICA**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Engenharia de Computação

ORIENTADOR: Prof. Dr. Gilson Inácio Wirth

Porto Alegre

2012

ALEXANDRE SIMIONOVSKI

SENSOR DE CORRENTE TRANSIENTE PARA DETECÇÃO DE SET COM CÉLULA DE MEMÓRIA DINÂMICA

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universitaet Dortmund, Alemanha

Banca Examinadora:

Prof. Dra. Fernanda Gusmão de Lima Kastensmidt, PPGC - UFRGS

Doutora pela Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil

Prof. Dr. Renato Machado de Brito, IF - UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil

Prof. Dr. Tiago Roberto Balen, PPGEE - UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil

Coordenador do PPGEE: _____

Prof. Dr. João Manoel Gomes da Silva Júnior

Porto Alegre, Julho de 2012.

DEDICATÓRIA

Esse trabalho é dedicado aos meus pais, Stefan Simionovski e Janice Elaine Simionovski, pelo apoio e estímulo providos desde a minha infância¹, na busca do domínio da arte de projetar e construir equipamentos eletrônicos.

¹ Philips “Engenheiro Eletrônico”, Natal de 1974.

AGRADECIMENTOS

Ao meu orientador, Prof. Gilson Wirth, cujo envolvimento foi indispensável para esta dissertação e para o desenvolvimento dos circuitos DynBICS;

À minha esposa Rejane Apolo Ferreira, que apoia meu trabalho com carinho e dedicação;

Aos Professores Fernando Fontes Barbosa e Anatólio Laschuk, por terem acompanhado minha trajetória profissional desde a minha graduação;

Ao Professor Adalberto Schuck Jr., pelas opiniões e conselhos durante este Mestrado;

Ao colega de laboratório, Eng. Dalton Martini Colombo, que instalou e, pacientemente, deu suporte às ferramentas Cadence utilizadas no projeto e layout dos DynBICS;

Ao meu irmão Carlos Stefan Simionovski, pela preparação das imagens dos layouts;

À Fundação Escola Técnica Liberato Salzano Vieira da Cunha, pela liberação de carga horária, nos termos da cláusula 14ª do Acordo Coletivo de Trabalho.

RESUMO

Esta dissertação trata do projeto e avaliação de um novo circuito sensor de corrente com célula de memória dinâmica para a detecção de correntes transientes em circuitos integrados CMOS, provocadas pela incidência de partículas ionizantes. As propostas previamente existentes na literatura são avaliadas e suas deficiências são apontadas. É apresentada a topologia e o modo de funcionamento do novo circuito, juntamente com o detalhamento do projeto das versões destinadas à monitoração dos transistores PMOS e NMOS. É apresentado o layout do circuito final em tecnologia 130 nm, destinado à prototipação pelo programa MOSIS, contendo os sensores, os transistores-alvo, os estágios de saída e os circuitos de proteção contra os efeitos da eletricidade estática necessários. Os resultados obtidos através de simulação mostram que o novo circuito proporciona uma redução na área de silício necessária para a implementação, bem como um menor consumo de corrente quiescente em relação às propostas anteriores.

Palavras-chave: Engenharia Elétrica. Microeletrônica. CMOS. Detecção de Eventos Transientes. Partículas Ionizantes. Sensor de Corrente. Armazenagem Dinâmica.

ABSTRACT

This dissertation deals with the design and evaluation of a new current sensor circuit with dynamic memory cell intended to detect transient currents caused by incidence of ionizing particles in CMOS integrated circuits. Circuits previously proposed are analyzed and their drawbacks are pointed out. The new circuit topology and working principle is presented, along with the detailed design of the versions intended to monitoring PMOS and NMOS transistors. The final circuit is laid out in a 130 nm technology, intended to be prototyped through the MOSIS program. The complete design contains the sensor circuits, target transistors, output stages and electrostatic discharge protection circuitry. Results obtained by post layout simulation shown that the new circuit provides a reduction on silicon area and a smaller quiescent current consumption compared to previous circuits.

Keywords: Electrical Engineering. Microelectronics. CMOS. Transient Event Detection. Ionizing Particles. Current Sensor. Dynamic Storage.

SUMÁRIO

1	INTRODUÇÃO	13
2	FUNDAMENTAÇÃO TEÓRICA	17
2.1	EFEITOS DA RADIAÇÃO IONIZANTE EM CIRCUITOS INTEGRADOS	17
2.2	CLASSIFICAÇÃO DOS SEE	17
2.3	PULSO DE CORRENTE INDUZIDO PELO IMPACTO DE UMA PARTÍCULA IONIZANTE	19
2.4	MODELAMENTO DO PULSO DE CORRENTE INDUZIDO	20
2.5	PARTÍCULAS IONIZANTES CAPAZES DE PROVOCAR UM SET / SEU	21
2.5.1	Partículas Alfa	21
2.5.2	Nêutrons De Alta Energia	22
2.5.3	Nêutrons Térmicos	23
2.6	A TÉCNICA BULK-BICS	24
2.7	IMPLEMENTAÇÃO DA TÉCNICA BULK-BICS NA LITERATURA	26
3	ANÁLISE DOS CIRCUITOS PREVIAMENTE PROPOSTOS	30
3.1	A CAPACITÂNCIA PARASITA NA CONEXÃO DE POÇO	30
3.2	O TEMPO DE RESPOSTA DA CÉLULA DE MEMÓRIA	32
3.3	CIRCUITOS PREVIAMENTE PROPOSTOS	33
3.3.1	Circuitos Nº 01 e Nº 02	33
3.3.2	Circuito Nº 03	35
3.3.3	Circuito Nº 04	36
4	O SENSOR DE CORRENTE COM CÉLULA DE MEMÓRIA DINÂMICA	38
4.1	FUNCIONAMENTO DA CÉLULA DE MEMÓRIA DINÂMICA	39
4.2	FUNCIONAMENTO DO SENSOR DYNBICS PARA TRANSISTORES NMOS	42
4.3	A TAXA DE REPETIÇÃO DO SINAL NOT_RESET	43
4.4	SENSOR DYNBICS PARA TRANSISTORES PMOS	45
5	IMPLEMENTAÇÃO DOS SENSORES DYNBICS NO PROCESSO IBM CMRF8SF	47
5.1	ELEMENTOS ACRESCENTADOS À CÉLULA BÁSICA DYNBICS	47
5.1.1	Transistor-alvo	47
5.1.2	Ajuste De Sensibilidade	49
5.1.3	Sinal de Teste	49
5.1.4	Circuitos Inversores Para Os Sinais <i>reset</i> e <i>test</i>	50
5.1.5	Buffer de Saída	50
5.1.6	Proteções Contra Descargas Estáticas	51
5.2	CONSIDERAÇÕES INICIAIS DE PROJETO	51
5.2.1	Sensibilidade	51
5.2.2	Taxa De Repetição Do Sinal <i>reset</i>	54
5.2.3	Corners De Processo, Temperatura E Tensão de Alimentação	54
5.2.4	Uso Do Método Iterativo Apoiado Em Simulações Paramétricas	56
5.3	IMPLEMENTAÇÃO DOS SENSORES DYNBICS	58
5.3.1	Implementação Do Sensor Dyn_P	58
5.3.2	Implementação do sensor Dyn_N	61

5.4 IMPLEMENTAÇÃO DO BUFFER DE SAÍDA	63
5.5 LAYOUT FINAL	66
6 RESULTADOS OBTIDOS	68
6.1 SENSOR DYN_P.....	68
6.1.1 Funcionamento sob pulso de corrente, sem transistor-alvo	69
6.1.2 Funcionamento sob pulso de corrente, com transistor-alvo	71
6.1.3 Atraso de propagação entre o pulso de corrente transitório e o sinal de saída	74
6.1.4 Funcionamento em repouso.....	76
6.2 SENSOR DYN_N	77
6.2.1 Funcionamento sob pulso de corrente, sem transistor-alvo	77
6.2.2 Funcionamento sob pulso de corrente, com transistor-alvo	80
6.2.3 Atraso de propagação entre o pulso de corrente transitório e o sinal de saída	82
6.2.4 Funcionamento em repouso.....	84
6.3 CIRCUITOS DYN_P E DYN_N COM BUFFER DE SAÍDA	85
6.3.1 Funcionamento do buffer de saída.....	85
6.3.2 Influência do buffer de saída no funcionamento dos sensores Dyn_P e Dyn_N.....	87
6.4 COMPORTAMENTO DOS SENSORES DYNBICS SOB OUTRAS CONDIÇÕES DE TESTE.....	89
6.4.1 Sensibilidade em função da largura de pulso T_P	90
6.4.2 Influência da tensão de alimentação	91
6.4.3 Testabilidade dos sensores Dyn_P e Dyn_N.....	94
6.5 RESULTADOS COMPARATIVOS	95
7 CONCLUSÃO.....	103
REFERÊNCIAS	105
APÊNDICE:	108
APRESENTAÇÃO	109
FORMULÁRIO DE CONFIGURAÇÃO DA FONTE IEXP NO SIMULADOR VIRTUOSO	109
DETERMINAÇÃO DO FATOR K.....	110
DETERMINAÇÃO DA LARGURA DE PULSO T_P	112
CONSTANTES DE TEMPO EM FUNÇÃO DA LARGURA DE PULSO DESEJADA.....	113

LISTA DE ILUSTRAÇÕES

Figura 1 Forma de onda simulada do pulso de corrente conforme equação 1.	21
Figura 2 Implementação Bulk-BICS proposta por (NETO, 2006).....	26
Figura 3 Circuitos Bulk-BICS propostos por (LISBOA, 2007).	27
Figura 4 Circuitos Bulk-BICS propostos por (NETO, 2008).	28
Figura 5 Estrutura proposta para os transistores 5 a 8 (NETO, 2008).	28
Figura 6 Circuitos Bulk-BICS propostos por (Zhang, 2010).	29
Figura 7 Circuito equivalente da conexão de poço ao BICS.	31
Figura 8 Caminho da realimentação positiva num latch com dois inversores.	32
Figura 9 Bulk-BICS para transistores NMOS (LISBOA, 2007).	33
Figura 10 Bulk-BICS para transistores NMOS conforme (NETO, 2008).	35
Figura 11 Bulk-BICS para transistores NMOS conforme (ZHANG, 2010).	36
Figura 12 Diagrama esquemático da célula de memória dinâmica.	39
Figura 13 Diagrama de temporização proposto por (LISBOA, 2007) para o Bulk-BICS e o estado de recomputação.	41
Figura 14 Diagrama básico do sensor DynBICS para monitoração de transistores NMOS.	42
Figura 15 Diagrama básico do sensor DynBICS para monitoração de transistores PMOS.	45
Figura 16 Diagrama de blocos do circuito final implementado.	48
Figura 17 Representação gráfica dos corners no processo CMRF8SF.	55
Figura 18 Diagrama esquemático do sensor Dyn_P.....	58
Figura 19 Layout do sensor Dyn_P.	61
Figura 20 Diagrama esquemático do sensor Dyn_N.	62
Figura 21 Layout do sensor Dyn_N.	62
Figura 22 Diagrama esquemático do buffer de saída.	64
Figura 23 Layout do buffer de saída.....	65
Figura 24 Layout final do circuito enviado para prototipação.	67
Figura 25 Circuito de teste para o sensor Dyn_P sem a presença do transistor-alvo.	69
Figura 26 Operação do sensor Dyn_P . Corner TT, 27 °C, Vsens = 0, Vtest = 0, I peak = 150 μ A.	70
Figura 27 Divisão das correntes entre os transistores associados ao nó <i>not_bulk</i> ; corner TT, 27 °C, Vsens = 0, Vtest = 0.	70
Figura 28 Tensão de saída <i>not_out</i> em função do parâmetro Ipeak. Corner TT, 27 °C, Vsens = 0, Vtest = 0.	71
Figura 29 Circuito de teste para o sensor Dyn_P com a presença do transistor-alvo.....	72
Figura 30 Divisão das correntes entre os transistores associados ao nó <i>not_bulk</i> ; corner TT, 27 °C Vsens = 0, Vtest = 0.	73
Figura 31 Mínima corrente capturável em função da tensão de controle Vsens; TT, 27° C, Vtest = 0.	74
Figura 32 Definição do tempo de atraso de propagação.	75
Figura 33 Comportamento do tempo de atraso T_D em função da corrente de pico I_{PEAK} ; corner SSF, 125°C, $T_P = 20$ ps, Vsens = 0; Vtest = 0.	76

Figura 34	Comportamento da tensão de saída <i>not_out</i> em repouso. $V_{sens} = 0$; $V_{test} = 0$	77
Figura 35	Circuito de teste para o sensor Dyn_N sem a presença do transistor-alvo.	78
Figura 36	Operação do sensor Dyn_N . Corner TT, 27 °C, $V_{not_sens} = 1.2$ V, $V_{test} = 0$, $I_{peak} = 220$ μ A.	78
Figura 37	Tensão de Tensão de saída <i>out</i> em função do parâmetro I_{peak} . Corner TT, 27 °C, $V_{not_sens} = 1.2$ V, $V_{test} = 0$	79
Figura 38	Circuito de teste para o sensor Dyn_N com a presença do transistor-alvo.	80
Figura 39	Mínima corrente capturável em função da tensão de controle V_{not_sens} ; TT, 27° C, $V_{test} = 0$	82
Figura 40	Comportamento do tempo de atraso T_D em função da corrente de pico I_{PEAK} ; corner SSF, 125°C, $T_P = 20$ ps, $V_{not_sens} = 1.2$ V; $V_{test} = 0$	83
Figura 41	Comportamento da tensão de saída <i>out</i> em repouso. $V_{sens} = 1,2$ V; $V_{test} = 0$	84
Figura 42	Circuito de teste para o buffer.	85
Figura 43	Formas de onda de teste, mostrando as entradas e a saída.	86
Figura 44	Formas de onda de entrada e saída, TT, 27° C.	86
Figura 45	Função de transferência do buffer, em função do corner de processo e da temperatura.	87
Figura 46	Comportamento da saída output; buffer + sensor Dyn_P, SF, 0° C.	88
Figura 47	Comportamento da saída output; buffer + sensor Dyn_N, FS, 0° C.	88
Figura 48	Mínima corrente capturável em função da largura de pulso T_P para o sensor Dyn_P; $V_{sens} = 0$; $V_{test} = 0$	90
Figura 49	Mínima corrente capturável em função da largura de pulso T_P para o sensor Dyn_N; $V_{sens} = 1,2$ V; $V_{test} = 0$	90
Figura 50	Mínima corrente I_{peak} capturável em função da tensão de alimentação para o sensor Dyn_P. $V_{sens} = 0$; $V_{test} = 0$	92
Figura 51	Mínima corrente I_{peak} capturável em função da tensão de alimentação para o sensor Dyn_N. $V_{sens} = 1,2$ V; $V_{test} = 0$	92
Figura 52	Comportamento da saída <i>not_out</i> em repouso para o sensor Dyn_P em função da tensão V_{DD} na situação de pior corner. $V_{sens} = 0$; $V_{test} = 0$	93
Figura 53	Comportamento da saída <i>out</i> em repouso para o sensor Dyn_N em função da tensão V_{DD} na situação de pior corner. $V_{sens} = 1,2$ V; $V_{test} = 0$	93
Figura 54	Diagrama esquemático do sensor para transistores PMOS segundo (ZHANG, 2010); dimensões dos transistores adaptadas para a tecnologia CMRF8SF.	96
Figura 55	Diagrama esquemático do sensor para transistores NMOS segundo (ZHANG, 2010); dimensões dos transistores adaptadas para a tecnologia CMRF8SF.	96
Figura 56	Circuito de teste para o sensor da figura 54.	96
Figura 57	Circuito de teste para o sensor da figura 55.	97
Figura 58	Funcionamento do sensor Zhang_P.	97
Figura 59	Funcionamento do sensor Zhang_N.	97
Figura 60	Layout do sensor Zhang_P.	99
Figura 61	Layout do sensor Zhang_N.	99
Figura 62	Layouts desenvolvidos para os circuitos Zhang_P (esquerda) e Dyn_P (direita), desprovidos dos transistores-alvo e dos anéis de guarda, para comparação das áreas ocupadas.	102
Figura 63	Layouts desenvolvidos para os circuitos Zhang_N (esquerda) e Dyn_N (direita), desprovidos dos transistores-alvo e dos anéis de guarda, para comparação das áreas ocupadas.	102
Figura 64	Formulário de parâmetros da fonte de corrente i_{exp}	110
Figura 65	Formulário da fonte de corrente i_{exp} preenchido, conforme utilizado nas simulações deste trabalho.	111

LISTA DE TABELAS

Tabela 1 Emissividade de partículas alfa	22
Tabela 2 Interações entre neutrons e o Silício	23
Tabela 3 Valores de corrente de pico e largura de pulso para as tecnologias 90 nm e 250 nm.	51
Tabela 4 Parâmetros de sensibilidade dos circuitos anteriores.....	52
Tabela 5 Descrição dos corners do processo CMRF8SF.	55
Tabela 6 Mínimas correntes capturáveis em função do processo e da temperatura. $V_{sens} = 0$, $V_{test} = 0$	72
Tabela 7 Mínimas correntes capturáveis em função do processo e da temperatura. $V_{sens} = 0$, $V_{test} = 0$	73
Tabela 8 Tempos de atraso de propagação para a mínima corrente capturável em função do corner de processo, da temperatura e do circuito de teste.	75
Tabela 9 Mínimas correntes capturáveis em função do processo e da temperatura. V_{not_sens} $= 0$, $V_{test} = 0$	80
Tabela 10 Mínimas correntes capturáveis em função do processo e da temperatura. V_{not_sens} $= 1.2$ V, $V_{test} = 0$	81
Tabela 11 Tempos de atraso de propagação para a mínima corrente capturável em função do corner de processo, da temperatura e do circuito de teste.	83
Tabela 12 Tempos de atraso de propagação em função do corner de processo e da temperatura	86
Tabela 13 Variação dos valores limites mínimos de detecção; $T_p = 20$ ps	89
Tabela 14 Mínima corrente capturável I_{peak} em função do corner de processo, da temperatura e da tensão de alimentação	91
Tabela 15 Resultados comparativos para a mínima corrente capturável entre os sensores Dyn_P e $Zhang_P$; $V_{DD} = 1,2$ V; $V_{sens} = 0$; $V_{test} = 0$	98
Tabela 16 Resultados comparativos para a mínima corrente capturável entre os sensores Dyn_N e $Zhang_N$; $V_{DD} = 1,2$ V; $V_{sens} = 1,2$ V; $V_{test} = 0$	98
Tabela 17 Corrente quiescente a 125°C; circuitos Dyn_P e $Zhang_P$; $V_{sens} = 0$; $V_{test} = 0$. 100	
Tabela 18 Corrente quiescente a 125°C; circuitos Dyn_N e $Zhang_N$; $V_{sens} = 1,2$ V; $V_{test} =$ 0	100
Tabela 19 Valores de τ_f , τ_r e k utilizados na configuração da fonte de corrente i_{exp} que simula o pulso de corrente transitório.....	115

LISTA DE ABREVIATURAS

BICS: Built-In Current Sensor

BPSG: Borophosphosilicate Glass

Bulk-BICS: Bulk-Built-In Current Sensor

CMOS: Complementary Metal-Oxide-Semiconductor

DynBICS: Dynamic Storage Built-In Current Sensor

IBM: International Business Machines

MOS: Metal-Oxide-Semiconductor

MOSIS: Metal Oxide Semiconductor Implementation Service

NMOS: N-channel Metal-Oxide-Semiconductor

PMOS: P-channel Metal-Oxide-Semiconductor

RAM: Random-Access Memory

SET: Single Event Transient

TID: Total Ionizing Dose

TMR: Triple Modular Redundancy

SEB: Single Event Burnout

SEE: Single Event Effect

SEGR: Single Event Gate Rupture

SEL: Single Event Latchup

SEU: Single Event Upset

SHE: Single Hard Error

VHDL: Very-high speed integrated circuit Hardware Description Language

1 INTRODUÇÃO

O impacto de radiação ionizante em regiões P-N reversamente polarizadas pode provocar perturbações nas tensões e correntes em circuitos integrados. Quando uma região sensível do circuito é atingida por uma partícula ionizante, são gerados pares elétron-lacuna que injetam carga elétrica no nó ao qual pertence o ponto impactado. Como consequência, a tensão no nó é alterada pelo efeito da carga elétrica injetada. Em circuitos digitais, a variação de tensão provocada pela incidência de uma partícula ionizante pode ser interpretada como um sinal lógico válido e se propagar através do circuito. Ao alcançar um elemento de memória, essa perturbação pode provocar um erro computacional, caso seja armazenada (DODD, 2004; WIRTH, 2007).

A busca por um melhor desempenho, bem como pela integração de um número cada vez maior de funções dentro de uma mesma pastilha de silício, tem levado à redução progressiva das dimensões dos dispositivos integrados. Em consequência desse escalonamento tecnológico, a capacitância de nó tem diminuído e a tensão de alimentação dos circuitos tem sido reduzida, fazendo com que a quantidade de carga elétrica necessária para armazenar uma informação seja cada vez menor. Dessa forma, a redução nas dimensões dos dispositivos integrados tem deixado os circuitos integrados mais susceptíveis à influência da radiação ionizante numa proporção tanto maior quanto menor for a carga necessária para armazenar uma informação (BALEN, 2010).

As perturbações geradas pelo impacto de partículas ionizantes representam um problema à confiabilidade dos sistemas digitais. A perturbação no funcionamento de circuitos integrados por incidência de partículas ionizantes era inicialmente restrita a componentes operando em aplicações aeroespaciais, onde a quantidade de radiação é significativa e a proteção da atmosfera terrestre é pequena ou inexistente. Entretanto, com a progressiva

redução nas dimensões dos dispositivos integrados, o efeito passou a ser significativo mesmo ao nível do mar (WIRTH, 2007).

Experimentos efetuados em memórias dinâmicas de 4 kbytes (MAY, 1979), relacionaram a ocorrência de erros nos bits memorizados com a incidência de partículas alfa provenientes do vidro utilizado para a selagem do dispositivo. Assim, os problemas relacionados com a radiação passaram a ter origem também nos próprios materiais empregados para a fabricação dos circuitos integrados. Considera-se, enfim, que a confiabilidade em campo de dispositivos fabricados com tecnologias de dimensão mínima menor do que 90 nm seja severamente prejudicada pela incidência de partículas ionizantes em dispositivos semicondutores, não só para dispositivos de memória mas também para a lógica combinacional (NETO, 2008).

A perturbação temporária na tensão de um nó do circuito, provocada pelo impacto de uma partícula ionizante, é chamada Single Event Transient (SET). Num circuito do tipo Complementary Metal-Oxide-Semiconductor (CMOS), as áreas sensíveis aos efeitos da incidência de partículas ionizantes são as regiões dreno-substrato reversamente polarizadas, existentes nos transistores em regime de corte (VARGAS, 1994). A incidência de uma partícula ionizante numa dessas regiões provoca o surgimento de um pulso de corrente anormal, que flui através da região de depleção da junção atingida. A informação do surgimento desse pulso de corrente, diretamente ligado à ocorrência de um SET, pode ser enviada ao sistema sob monitoração, propiciando que este tome alguma atitude corretiva. Uma vez detectada a ocorrência de um SET, o procedimento seguinte pode ser o reset do sistema ou o descarte dos dados processados durante a ocorrência do evento, recomputando-se as operações executadas assim que a perturbação tenha cessado. As técnicas tradicionais para mitigação dos efeitos dos SET são baseadas na redundância de circuitos ou na redundância temporal (LISBOA, 2007) e incorrem em dispêndio de área que é proibitivo em

circuitos comerciais. Técnicas como Triple Modular Redundancy (TMR) podem permitir a correção de erros, mas ao custo de um grande dispêndio de área e perda de desempenho, inerentes à implementação de redundância tripla (LISBOA, 2007).

O uso de sensores de corrente, conectados às linhas de alimentação – Built-In Current Sensor (BICS) - tem sido proposto como meio de detecção da ocorrência de SET em memórias RAM (Random-Access Memory) (VARGAS, 1994). Entretanto, tal abordagem não é eficiente em circuitos combinacionais, onde a variação na corrente quiescente não pode ser distinguida daquela produzida pela operação normal do circuito (NETO, 2006). As correntes dinâmicas, criadas pela carga e descarga das capacitâncias internas do circuito durante a operação do mesmo, podem provocar o disparo errôneo do circuito que monitora a corrente de alimentação.

O uso de sensores de corrente conectados aos substratos dos transistores é proposto como um meio de detectar a ocorrência de um SET tanto em circuitos sequenciais como em circuitos combinacionais, numa técnica chamada Bulk-Built-In Current Sensor (Bulk-BICS) (NETO, 2006). O uso da técnica Bulk-BICS permite obter a mitigação dos efeitos da ocorrência de SET sem a necessidade do dispêndio proibitivo de área das técnicas tradicionais baseados na redundância de circuitos (NETO, 2006).

Alguns circuitos para a implementação do Bulk-BICS foram propostos em trabalhos anteriores (NETO, 2006; LISBOA, 2007; NETO, 2008; ZHANG, 2010). Ainda que tenham se mostrado eficientes na detecção da ocorrência de um SET, deixam margem para melhoramentos que se fazem necessários para a efetiva implantação dos Bulk-BICS em circuitos práticos. Para que um Bulk-BICS possa ser eficientemente implementado em aplicações comerciais, tanto o consumo de corrente em estado quiescente quanto a área ocupada pelo circuito devem ser minimizados. A quantidade de circuitos Bulk-BICS

necessária em um sistema é proporcional ao número de transistores sob monitoração, o que impõe o uso de circuitos Bulk-BICS minimamente invasivos.

O presente trabalho apresenta um novo circuito sensor de corrente que utiliza uma célula de memória dinâmica para o armazenamento da ocorrência de SET's em circuitos digitais, obtendo-se uma redução no número de transistores necessários para a implementação do Bulk-BICS. É mostrado que o novo circuito propicia uma redução no consumo de corrente quiescente e na área necessária para sua implementação, quando comparado com os circuitos anteriormente propostos. São apresentados os layouts das versões para monitoração de transistores PMOS (P-channel Metal-Oxide-Semiconductor) e NMOS (N-channel Metal-Oxide-Semiconductor), associadas a transistores-alvo e buffer de saída, os quais foram enviados para prototipação através do serviço Metal Oxide Semiconductor Implementation Service (MOSIS). Os resultados simulados validam o funcionamento e mostram o desempenho dos circuitos desenvolvidos, incluindo uma comparação detalhada com um dos sensores previamente propostos na literatura.

A presente dissertação é dividida em cinco capítulos. O capítulo 1 é introdutório. O capítulo 2 apresenta os fundamentos teóricos nos quais o trabalho é embasado. O capítulo 3 discute tecnicamente as propostas previamente existentes na literatura para os sensores de corrente adequados à técnica Bulk-BICS. O capítulo 4 detalha o funcionamento do sensor com célula de memória dinâmica, tema deste trabalho. O capítulo 5 descreve a metodologia empregada para o projeto dos sensores. O capítulo 6 mostra os resultados obtidos através de simulação computacional. Por fim, o capítulo 7 apresenta as conclusões obtidas na realização deste trabalho.

2 FUNDAMENTAÇÃO TEÓRICA

2.1 EFEITOS DA RADIAÇÃO IONIZANTE EM CIRCUITOS INTEGRADOS

A radiação ionizante afeta os circuitos integrados de três formas básicas (BALEN, 2010) :

a) degradação cumulativa ao longo do tempo de certas propriedades elétricas dos circuitos devido ao acúmulo de cargas nos materiais que compõe o circuito integrado. Esse efeito é relatado como Dose Ionizante Total ou Total Ionizing Dose (TID). São efeitos de longo prazo e sua intensidade depende da intensidade da radiação e do tempo de exposição;

b) danos físicos na estrutura cristalina do material semicondutor, ocasionados pela perda de energia de forma não-ionizante das partículas incidentes, degradando o material e suas propriedades;

c) efeitos singulares ou Single Event Effect (SEE), que ocorrem devido ao impacto de partículas energéticas no silício, ionizando-o e podendo provocar um pulso de corrente no circuito.

2.2 CLASSIFICAÇÃO DOS SEE

A perturbação causada pelo pulso de corrente induzido pelo impacto de uma partícula ionizante em um nó sensível de um circuito permite classificar os SEE de duas formas diferentes :

a) Eventos catastróficos – São eventos destrutivos que danificam permanentemente o circuito. Como exemplo, tem-se o Single Event Latchup (SEL), o Single Event Burnout (SEB), o Single Event Gate Rupture (SEGR) e o Single Hard Error (SHE);

- b) Eventos não-destrutivos. Esses eventos podem representar a alteração de um bit armazenado em um elemento de memória – Single Event Upset (SEU) ou a ocorrência de um sinal transiente - Single Event Transient (SET). Não tem efeito destrutivo sobre o circuito. Esses eventos serão considerados no presente trabalho.

Os eventos SEU e SET podem ocasionar erros em sistemas eletrônicos, os quais não danificam o sistema de forma permanente e podem ser corrigidos posteriormente (BALEN, 2010). Em ambos, o mecanismo de geração é semelhante, diferindo apenas quanto à natureza do circuito atingido. Um SET ocorre quando a partícula incide sobre nós sensíveis de elementos combinacionais de um circuito digital ou de um circuito analógico. Enfim, os SET são eventos transientes que podem se propagar através do circuito na forma de um pulso de tensão ou corrente (DODD, 2004).

Já um SEU ocorre quando uma partícula atinge diretamente um nó sensível de uma célula de memória ou um registrador, com energia suficiente para modificar o seu estado lógico (NETO, 2006; BALEN, 2010). Os SEU podem ter uma duração indefinida ou serem corrigidos após um ou mais ciclos de clock (BALEN, 2010); são associados à inversão de bits de elementos de memória e apresentam caráter não-transiente, pois o valor incorreto permanecerá armazenado até que uma nova operação de escrita seja realizada no elemento de memória.

Tanto SET como SEU são também conhecidos como *soft errors* – pois o elemento de memória impactado permanece operacional – tais erros foram associados aos efeitos de partículas ionizantes pela primeira vez por (MAY, 1979). Nessa referência, erros em memórias semicondutoras teriam origem no decaimento radioativo do Tório e Urânio, impurezas presentes no material de encapsulamento dos circuitos integrados.

2.3 PULSO DE CORRENTE INDUZIDO PELO IMPACTO DE UMA PARTÍCULA IONIZANTE

Quando uma partícula ionizante incide numa junção P-N reversamente polarizada, ela transfere energia para o silício, ionizando-o e produzindo pares elétron-lacuna. A partícula penetra através do material semiconductor, deixando atrás de si uma região densamente ionizada (VARGAS, 1994). Estas cargas são coletadas pelo campo elétrico existente na junção P-N através de três processos :

- a) deriva;
- b) afunilamento;
- c) difusão.

O processo de deriva atua sobre os portadores gerados dentro da camada de depleção em repouso. Como nessa região existe um campo elétrico de alta intensidade, esses portadores são rapidamente coletados. A passagem da partícula através da região de depleção deforma a região de depleção em repouso, deixando-a com uma forma afunilada. A carga gerada dentro da região de afunilamento também é coletada rapidamente. Portadores gerados além da camada de depleção são coletados lentamente por difusão. O resultado desses três processos é um pulso de corrente que circula através da região de depleção da junção P-N atingida (VARGAS, 1994).

Nos circuitos digitais CMOS as regiões sensíveis à radiação são as junções dreno-substrato reversamente polarizadas, encontradas em transistores operando em regime de corte. Quando uma partícula ionizante incide numa dessas junções, o pulso de corrente resultante circula através da junção dreno-substrato do transistor atingido (VARGAS, 1994). Como os substratos dos transistores são conectados às linhas de alimentação, a detecção da incidência de uma partícula ionizante pode ser feita monitorando-se a corrente das linhas de alimentação V_{DD} e gnd. Por outro lado, a monitoração direta da corrente de substrato também

apresenta-se como uma forma de detecção da incidência de partículas ionizantes capazes de produzir um SET (NETO, 2006).

2.4 MODELAMENTO DO PULSO DE CORRENTE INDUZIDO

O pulso de corrente induzido pela incidência de uma partícula ionizante em uma região P-N reversamente polarizada é influenciado por (WIRTH, 2008) :

- a) tecnologia;
- b) tipo de partícula;
- c) energia da partícula;
- d) ângulo de incidência.

O pulso de corrente induzido apresenta-se com uma rápida borda de subida, seguido por um lento decaimento. Os processos de deriva e afunilamento controlam o rápido crescimento da corrente; o lento decaimento é controlado pelo processo de difusão. A forma do pulso de corrente pode ser aproximada pela expressão (MESSENGER, 1982) :

$$I_p(t) = I_0 * (e^{-(t/\tau_F)} - e^{-(t/\tau_R)}) \quad (1)$$

onde $I_p(t)$ é a corrente do pulso, τ_F é a constante de tempo relacionada à coleta de cargas pela junção e τ_R é a constante de tempo relacionada ao estabelecimento do rastro de ionização criado pela partícula. O valor da corrente I_0 é determinado pelo valor de pico de corrente que se deseja representar. A figura 1 mostra uma representação genérica do pulso de corrente, simulada com a equação 1, onde define-se os tempos de subida T_R e de descida T_F como os intervalos de tempo entre os valores de 10% e 90% do valor máximo da corrente I_{peak} . O período T_P é medido entre os pontos t_1 e t_2 onde $I_p(t)$ tem o valor $I_{peak} / 2$. A relação entre o valor de pico I_{peak} e a corrente I_0 depende das constantes de tempo τ_F e τ_R . Para fins de

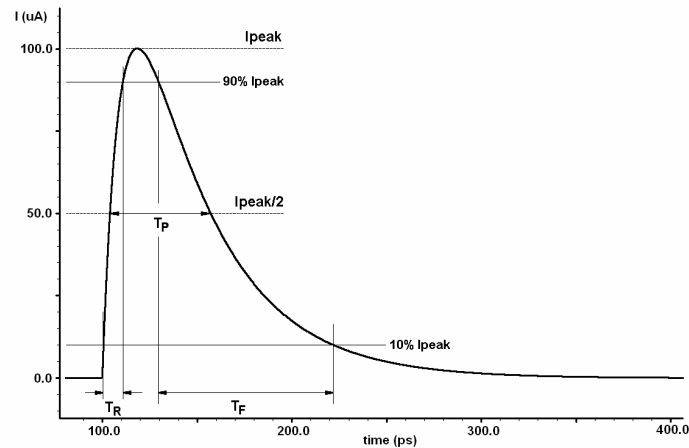


Figura 1 Forma de onda simulada do pulso de corrente conforme equação 1.

simulação, os valores de I_0 , τ_F e τ_R precisam ser determinados em função da tecnologia empregada, tipo de partícula e respectiva energia. O Apêndice detalha a configuração da fonte de corrente exponencial utilizada neste trabalho para simular a ocorrência do pulso de corrente nos circuitos simulados.

2.5 PARTÍCULAS IONIZANTES CAPAZES DE PROVOCAR UM SET / SEU

2.5.1 Partículas Alfa

As partículas alfa são emitidas por elementos com alto número atômico através de decaimento radioativo e são compostas por dois prótons e dois nêutrons. Em aplicações terrestres, a fonte desse tipo de partícula geralmente faz parte do próprio circuito integrado – o material de encapsulamento pode conter traços de isótopos radioativos, donde provém a principal preocupação com esse tipo de partícula (BAUMANN, 2001). Esse problema foi verificado pela primeira vez em 1978 em memórias dinâmicas fabricadas pela INTEL (MAY, 1979).

A energia das partículas alfa emitidas pelos materiais empregados na fabricação dos circuitos integrados está entre 1 e 9 MeV, sendo os principais contaminantes Th-232, U-238, Po-210 e Pb-210. As partículas alfa induzem significativas quantidades de pares elétron-

lacuna ao atingirem o silício. A produção de um par elétron-lacuna depende apenas 3,6 eV; assim, uma partícula alfa com 4 MeV produz mais de um milhão de pares elétron-lacuna (NARSALE, 2008). A tabela 1 mostra uma tabela com a emissividade de materiais comumente utilizados na fabricação e encapsulamento de circuitos integrados.

Tabela 1 Emissividade de partículas alfa

Material	Emissivity ($\alpha/\text{cm}^2\text{-h}$)
Fully Processed Wafers	<0.001
30 um thick Cu Metal	<0.002
20 um thick AlCu Metal	<0.001
Mold Compound	<0.024 - <0.002
Flip Chip Underfill	<0.002 - <0.001
Eutectic Pb-based Solders	<7200 - <0.002

Fonte : Baumann, 2001

2.5.2 Nêutrons De Alta Energia

A Terra recebe radiação proveniente da atividade solar e dos raios cósmicos galácticos. A atividade solar é cíclica, com um período aproximado de 11 anos compreendendo 7 anos de alta atividade e 4 anos de baixa atividade (BALEN, 2010). A atividade solar compreende as explosões solares (íons com energia entre dezenas de MeV a centenas de GeV, partículas alfa e elétrons) e os ventos solares (prótons, íons de He, íons pesados e elétrons). Os raios cósmicos provêm das regiões do espaço compreendidas entre as galáxias, sendo compostos por prótons (85%) partículas alfa (14%) e outros íons pesados (1%) (BALEN, 2010). Os raios cósmicos são considerados partículas primárias. Ao incidir na atmosfera terrestre, essas partículas produzem uma radiação secundária composta de prótons, elétrons, nêutrons, múons e píons. Essas partículas não atravessam a atmosfera terrestre, visto que prótons e elétrons sofrem ação do campo gravitacional terrestre e múons e píons são

partículas de vida curta. Do total de partículas geradas, apenas 5% dos prótons e 1% do elétrons e nêutrons gerados atingem a superfície da Terra ao nível do mar. O nêutron tem uma maior propriedade de geração de cargas se comparado ao próton e ao elétron. Como o nêutron não possui carga elétrica, ele não ioniza diretamente o silício, mas interage com ele causando uma reação nuclear que libera partículas alfa, beta, prótons e íons de Mg, Al e Ne com energias entre 2,75 MeV e 12,99 MeV (NARSALE, 2008). A tabela 2 mostra uma tabela com a série de interações dos nêutrons de alta energia com o silício.

Tabela 2 Interações entre neutrons e o Silício

Reaction	Kinetic energy [Mev]
$n + \text{Si} \rightarrow {}^{25}\text{Mg} + \alpha$	2,75
$n + \text{Si} \rightarrow {}^{28}\text{Al} + p$	4,00
$n + \text{Si} \rightarrow {}^{27}\text{Al} + d$	9,70
$n + \text{Si} \rightarrow {}^{24}\text{Mg} + n + \alpha$	10,34
$n + \text{Si} \rightarrow {}^{27}\text{Al} + n + p$	12,00
$n + \text{Si} \rightarrow {}^{26}\text{Mg} + {}^3\text{He}$	12,58
$n + \text{Si} \rightarrow {}^{21}\text{Ne} + 2e$	12,99

Fonte : Narsale, 2008

2.5.3 Nêutrons Térmicos

Nêutrons térmicos são nêutrons que perdem sua energia cinética ao entrar na atmosfera e atingem o equilíbrio térmico (0,025 eV a 290 K). Nêutrons térmicos podem ser absorvidos pelo núcleo atômico do Boro, usado como dopante tipo P e como passivante (camada BPSG - Borophosphosilicate Glass). O Boro contém naturalmente dois isótopos, dos quais o mais abundante (80%) é o ${}^{10}\text{B}$. O átomo de ${}^{10}\text{B}$ é instável quando exposto a nêutrons, fissionando-se em um átomo de ${}^7\text{Li}$ e uma partícula alfa. Essas duas partículas são emitidas em direções opostas, aumentando a chance de atingirem uma área sensível (BAUMANN, 2001).

2.6 A TÉCNICA BULK-BICS

O uso de sensores de corrente incorporados a circuito digitais BICS foi inicialmente proposto como um meio de detectar falhas em circuitos integrados, através da monitoração da corrente de alimentação (FELTHAM, 1988; LO, 1992; RUBIO, 1995; LU, 1996; MIURA, 1997; LEE, 1998; KIM, 1998). A monitoração da corrente de alimentação utilizando BICS para a detecção da ocorrência de SEU provocadas pela incidência de partículas ionizantes em memórias RAM foi proposta por vários autores (VARGAS, 1994; GILL, 2005) considerando que, em caso de ocorrência de um SEU, a corrente anormal de substrato circula através das conexões de V_{DD} ou gnd.

Na técnica BICS, um elemento resistivo é interposto nas linhas de alimentação, de forma a obter uma queda de tensão proporcional à corrente drenada pelo circuito. Como os substratos dos transistores são conectados às linhas de alimentação, a corrente do substrato representa uma parcela da corrente normal de operação do circuito – geralmente desprezível. Em caso de ocorrência de um SEU, a corrente de alimentação sofre um acréscimo anormal, que é detectado pelo circuito BICS através da mudança no valor da queda de tensão no elemento resistivo, o qual pode ser implementado na forma de um resistor ou através de um transistor operando na região de triodo.

É conveniente notar que, durante as operações de escrita e leitura da memória, circulam pelas linhas de alimentação as correntes dinâmicas responsáveis pela carga e descarga das capacitâncias dos nós do circuito. A fim de evitar que estas correntes sejam erroneamente detectadas, prejudicando a eficácia da detecção do SEU, o BICS é desabilitado durante tais operações. Tal técnica pode ser estendida para circuitos sequenciais; o sinal de clock pode ser usado para determinar quando o BICS deve estar inativo.

Para circuitos combinacionais, a monitoração das correntes de alimentação não representa uma maneira adequada para a detecção da ocorrência de um SET. Embora os

mecanismos de geração do SEU e do SET sejam semelhantes, não é possível a diferenciação entre as correntes dinâmicas de operação e aquelas provenientes da ocorrência de SET devido ao caráter assíncrono do funcionamento dos circuitos combinacionais (NETO, 2006).

A monitoração das correntes de substrato como forma de detecção da ocorrência de SET é proposta através da técnica Bulk-BICS, que se mostra adequada a circuitos sequenciais, combinacionais e memórias. A área e o consumo de potência necessários à operação e implementação do Bulk-BICS, bem como o impacto no desempenho do circuito sob supervisão, são minimizados em relação às técnicas alternativas (NETO, 2006). A técnica Bulk-BICS revela-se, enfim, uma alternativa minimamente invasiva para a detecção da ocorrência de SET em circuitos digitais.

Um único Bulk-BICS é capaz de monitorar a corrente de substrato de mais de um transistor ao mesmo tempo, embora a quantidade de transistores que pode ser monitorada por um único Bulk-BICS dependa da capacitância e da resistividade do substrato onde os transistores estão fabricados. Por outro lado, a sensibilidade dos Bulk-BICS pode ser ajustada de forma que o circuito somente detecte transientes cuja amplitude seja efetivamente capaz de provocar uma transição lógica (NETO, 2006).

A técnica Bulk-BICS requer dois circuitos BICS separados, um deles conectado ao substrato dos transistores PMOS e outro conectado ao substrato dos transistores NMOS. O substrato dos transistores P consiste em um poço N difundido sobre a lâmina de silício. Os transistores NMOS, por sua vez, precisam ser fabricados dentro de um poço P, isolado por uma difusão N (processo *triple well*), a fim de possuírem uma conexão de substrato à qual o sensor BICS possa ser conectado. Doravante, o termo “poço” será usado em substituição a “substrato”, ao fazer-se referência ao substrato (*bulk*) dos transistores, com o termo “substrato” significando a lâmina de silício onde o circuito integrado é fabricado.

2.7 IMPLEMENTAÇÃO DA TÉCNICA BULK-BICS NA LITERATURA

A primeira implementação da técnica Bulk-BICS foi apresentada por (NETO, 2006), onde foram aplicados sensores de corrente nos substratos dos transistores de uma porta OU-exclusivo. O sensor implementado para o substrato dos transistores PMOS é a versão complementar daquele implementado para os transistores NMOS. A figura 2 mostra os circuitos implementados.

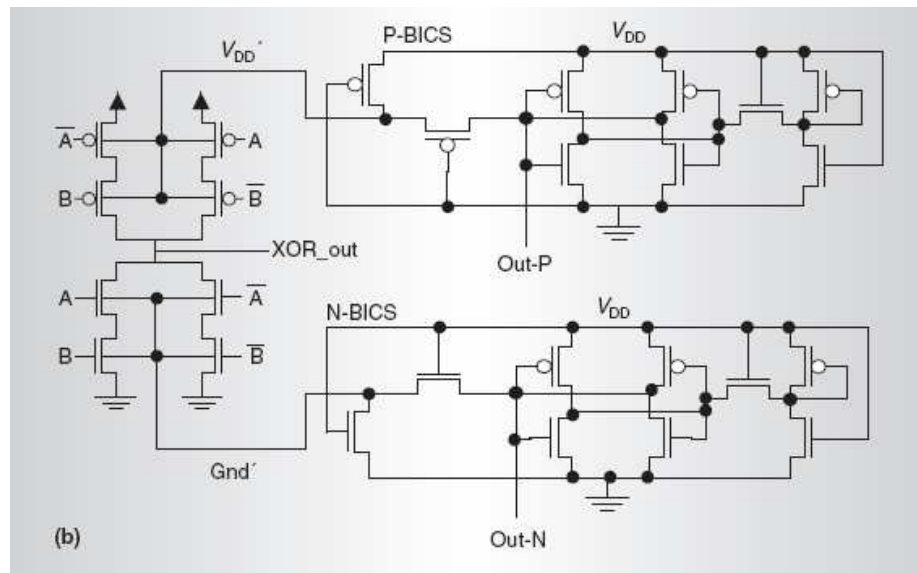


Figura 2 Implementação Bulk-BICS proposta por (NETO, 2006).

(LISBOA, 2007) desenvolve a técnica Bulk-BICS mostrando que, para as tecnologias com dimensão de canal mínima menor do que $0,25 \mu\text{m}$, a duração de um pulso transiente pode ser maior do que o período de clock do sistema, podendo ter uma duração equivalente a vários ciclos de clock do sistema, e que a incidência de uma única partícula pode dar origem a vários pulsos simultâneos, fenômeno que não pode ser mais negligenciado para tecnologias de 130 nm e menores. Em sequência, é proposta uma forma de tratar tais SET de longa duração, introduzindo-se o recurso de reset para o elemento de memória do Bulk-BICS, conforme

mostrado na figura 3. Os circuitos são desenvolvidos em tecnologia 32 nm e são dadas as dimensões dos transistores utilizados.

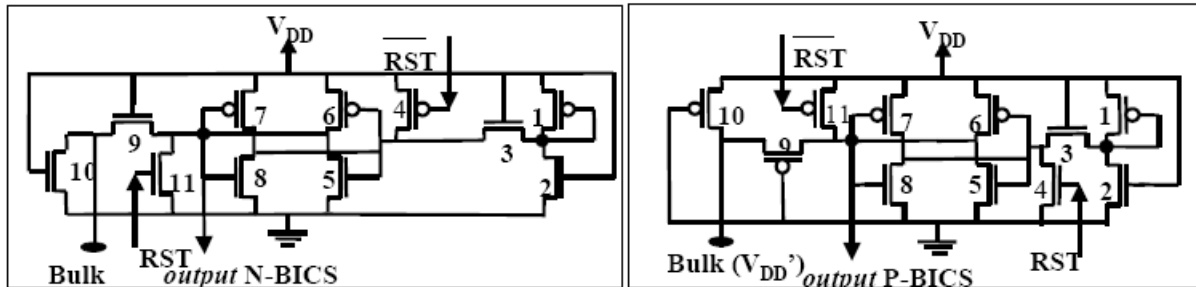


Figura 3 Circuitos Bulk-BICS propostos por (LISBOA, 2007).

Ainda em sequência, é proposto o tratamento da ocorrência de SET através da monitoração do estado do Bulk-BICS a cada ciclo de máquina. O sinal do Bulk-BICS ativa o que é designado de estado de recomputação, salvando o estado prévio do circuito para uso posterior, quando o SET estiver extinto. Após isso, o Bulk-BICS é resetado; caso o pulso transiente persista, este ativa novamente o Bulk-BICS. A cada ciclo de máquina o estado do Bulk-BICS é verificado e um sinal de reset é enviado. O ciclo se repete até que o Bulk-BICS permaneça na situação de reset, o que ocorre após a extinção do pulso transiente. Nesse momento, o mecanismo de recomputação restaura o circuito à sua condição inicial, armazenada no momento em que o processo iniciou e a operação que estava sendo executada originalmente é executada novamente. O trabalho reconhece que o tempo de resposta do Bulk-BICS é crucial para o perfeito funcionamento da técnica, colocando que o correto ajuste no tempo de resposta do Bulk-BICS é “um dos passos que devem ser considerados no projeto“.

(LEITE, 2009) apresenta uma implementação da técnica de recomputação aplicada a um microprocessador 8051, baseando-se na descrição desse microprocessador em Very-high speed integrated circuit Hardware Description Language (VHDL). O trabalho mostra de forma detalhada os passos necessários para a monitoração dos Bulk-BICS, de forma a fazer o

processador reler a última instrução e reexecutá-la em caso de ocorrência de SET. Nesse trabalho, é protegido o conjunto completo de instruções do 8051, ao mesmo tempo em que é garantido que nenhum dado potencialmente corrompido é armazenado na memória. Não é apresentado nenhum circuito para o Bulk-BICS, embora seja citado o circuito desenvolvido por (LISBOA, 2007).

(NETO, 2008) apresenta uma modificação do sensor proposto por (LISBOA, 2007), mostrada na figura 4. Os transistores 9 e 10 alternam-se na condução da corrente de substrato, controlados pelo estado da célula de memória composta pelos transistores 5 a 8. O objetivo é melhorar a sensibilidade do circuito à corrente monitorada.

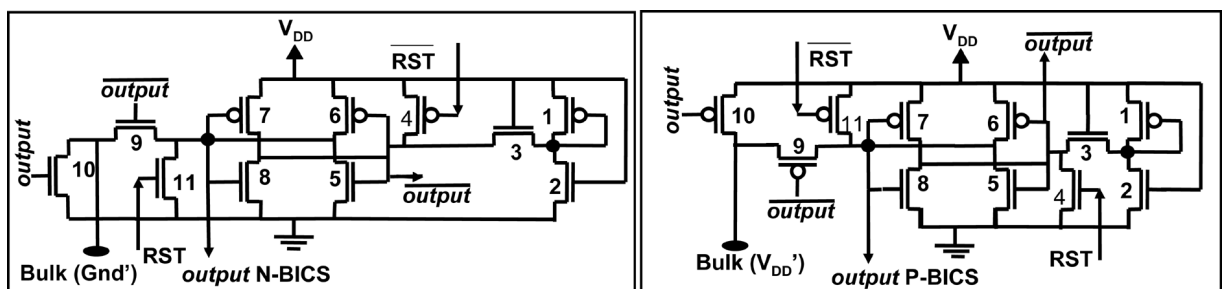


Figura 4 Circuitos Bulk-BICS propostos por (NETO, 2008).

O trabalho propõe uma forma de ajustar a sensibilidade do circuito para compensar variações devidas ao processo e à temperatura. Os transistores 5, 6, 7 e 8 são substituídos por um conjunto de transistores, selecionáveis digitalmente, conforme mostra a figura 5.

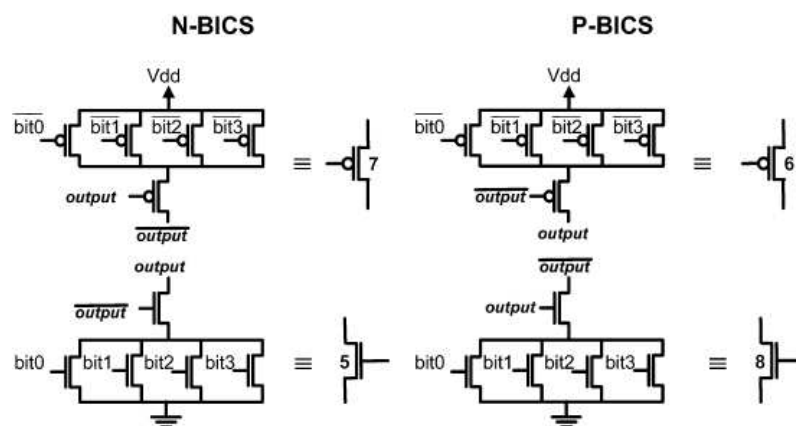


Figura 5 Estrutura proposta para os transistores 5 a 8 (NETO, 2008).

Através dessa técnica, a transcondutância equivalente do grupo de transistores pode ser ajustada externamente através dos bits de controle, permitindo um ajuste fino das condições de operação do circuito. Os resultados apresentados comprovam a eficácia do método em compensar as variações devidas a processo e temperatura.

(ZHANG, 2010) identifica os problemas relacionados ao consumo de corrente quiescente, à necessidade de dois sinais de reset e à grande quantidade de transistores para a implementação dos circuitos anteriores. Como solução, propõe um novo circuito, conforme apresentado na figura 6. A quantidade de transistores é substancialmente diminuída, sendo necessário um sinal de reset único. Nenhuma corrente quiescente circula pelo circuito além das correntes de fuga dos transistores utilizados. Os resultados apresentados mostram a eficácia do novo circuito na redução do consumo de potência e área de silício, em comparação com os circuitos propostos anteriormente.

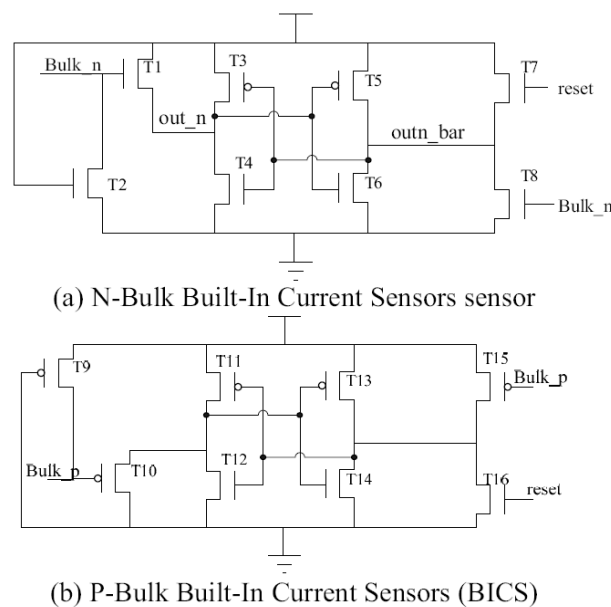


Figura 6 Circuitos Bulk-BICS propostos por (Zhang, 2010).

No capítulo seguinte, as propostas aqui presentes serão analisadas, com o objetivo de mostrar as topologias adotadas, apontando os pontos positivos e as deficiências em cada caso.

3 ANÁLISE DOS CIRCUITOS PREVIAMENTE PROPOSTOS

A técnica Bulk-BICS utiliza dois circuitos sensores de corrente complementares entre si, um para os transistores PMOS e outro para os transistores NMOS. Conforme se verá, cada um desses circuitos pode monitorar apenas uma limitada quantidade de transistores. Assim, num circuito prático, contendo muitos transistores, torna-se necessário usar um determinado número de circuitos BICS, a fim de monitorar efetivamente todo o circuito.

Para que a técnica Bulk-BICS possa ser efetivamente aplicada, é necessário que a distribuição dos circuitos BICS afete o mínimo possível o circuito onde ele será implantado. Para que isso ocorra, conclui-se que um circuito BICS adequado deve possuir :

- a) mínimo consumo de corrente estático, evitando acréscimo na potência dissipada e consumo extra de corrente da fonte de alimentação;
- b) mínimo consumo de área para sua implementação, de forma a não causar aumento excessivo da área necessária para o circuito integrado completo.

Dado que o pulso de corrente transiente é de curta duração, esse necessita circuitos rápidos para a sua detecção. Assim, o projeto dos sensores BICS necessários para implementar a técnica Bulk-BICS depara-se com dois requisitos adicionais :

- a) mínima capacitância parasita associada à conexão de poço;
- b) mínimo tempo de resposta da célula de memória.

3.1 A CAPACITÂNCIA PARASITA NA CONEXÃO DE POÇO

Os transistores MOS são implementados em regiões fracamente dopadas chamadas poços. No processo *triple well*, os transistores PMOS são implementados dentro de um poço N e os transistores NMOS são implementados dentro de um poço P. Esses poços, naturalmente, são difundidos sobre a lâmina de silício, que representa o efetivo substrato (mecânico e elétrico) do circuito integrado. Cada um destes poços apresenta, em relação ao

substrato, uma certa capacitância que não é desprezível visto que os poços têm uma área considerável, já que contêm vários transistores. Para que o circuito integrado funcione corretamente, deve haver uma conexão entre o poço N e o V_{DD} , bem como entre o poço P e o gnd. Na técnica Bulk-BICS, essa conexão é feita através do Bulk-BICS, de forma que a corrente de poço possa ser monitorada. O circuito equivalente dessa conexão, para um poço N, é mostrado na figura 7.

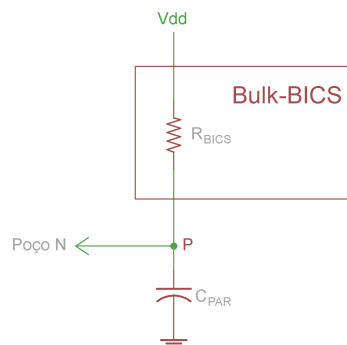


Figura 7 Circuito equivalente da conexão de poço ao BICS.

Na figura 7, a resistência R_{BICS} representa a resistência em série com a conexão de poço, introduzida pelo circuito Bulk-BICS e C_{PAR} representa a capacitância parasita total existente na conexão P de poço. Essa capacitância parasita é composta pela capacitância do próprio poço ao substrato, à qual se acrescenta a capacitância que o próprio circuito Bulk-BICS agrega ao nó P e demais capacitâncias parasitas.

A capacitância C_{PAR} atua como um reservatório de cargas para a conexão de poço. Na ocorrência do pulso de corrente transiente, é necessário que a tensão no ponto P diminua, de forma a disparar o circuito do Bulk-BICS. Isso só acontece após C_{PAR} perder parte de sua carga, descarregando-se através do percurso efetuado pela partícula ionizante. Se a carga drenada pelo pulso de corrente não for suficiente, o circuito Bulk-BICS não será acionado. Essa é a razão pela qual existe um número limitado de transistores que pode ser efetivamente monitorado por um único Bulk-BICS – quanto maior o número de transistores, maior é o poço

que os contêm e maior é a capacitância parasita adicionada à conexão de poço. Assim, cabe reduzir ao máximo a capacitância acrescentada pelo circuito do Bulk-BICS, a fim de maximizar a quantidade de transistores monitoráveis

3.2 O TEMPO DE RESPOSTA DA CÉLULA DE MEMÓRIA

A célula de memória é a etapa que retém a informação da ocorrência de um pulso transiente no circuito sob supervisão. Ela é necessária pois o circuito que corrige o efeito do SET é síncrono, somente podendo adquirir a informação nos períodos determinados pelo clock. Nos circuitos previamente propostos, é utilizada uma célula de memória estática composta de dois inversores realimentados positivamente formando um latch. O basculamento do latch é efetuado forçando-se um ou ambos os nós para o estado desejado, que pode ser 0 ou 1 conforme o caso.

Considerando que apenas um dos nós seja forçado ao nível lógico desejado, é necessário que o pulso de basculamento tenha uma duração mínima igual ou maior à soma dos atrasos de propagação dos dois inversores utilizados, conforme mostra a figura 8. O latch é um circuito realimentado e a informação só será efetivamente armazenada quando a

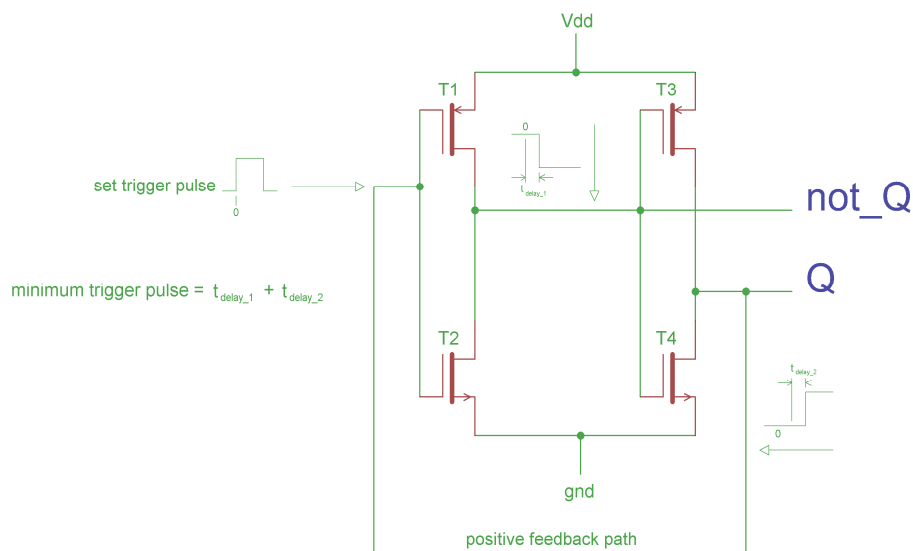


Figura 8 Caminho da realimentação positiva num latch com dois inversores.

realimentação positiva estiver efetivamente estabelecida. Caso o sinal de disparo não seja longo o suficiente, a informação não será armazenada. O período mínimo do pulso de disparo pode ser minimizado aplicando-se o pulso de disparo em ambos os nós simultaneamente, ou injetando-se uma corrente de polarização em um dos nós, de forma a deixar o latch próximo ao basculamento. Essas duas soluções são empregadas nos circuitos previamente propostos.

3.3 CIRCUITOS PREVIAMENTE PROPOSTOS

Os circuitos previamente propostos serão analisados de forma a discutir as topologias adotadas, apontando os pontos positivos e as deficiências em cada caso. A fim de manter o texto sucinto, são analisados apenas os circuitos destinados a monitorar os transistores NMOS. As considerações são também válidas para os circuitos destinados a monitorar os transistores PMOS, pelo fato de serem versões complementares dos sensores NMOS.

3.3.1 Circuitos N° 01 e N° 02

O circuito n° 01 é proposto por (NETO, 2006) e o circuito n° 02 é proposto por (LISBOA, 2007), esse último mostrado na figura 9. A não ser pelos transistores 4 e 11, que inexitem no circuito n° 01 e que são responsáveis pelo reset da célula de memória, ambos os circuitos são idênticos e podem ser avaliados conjuntamente.

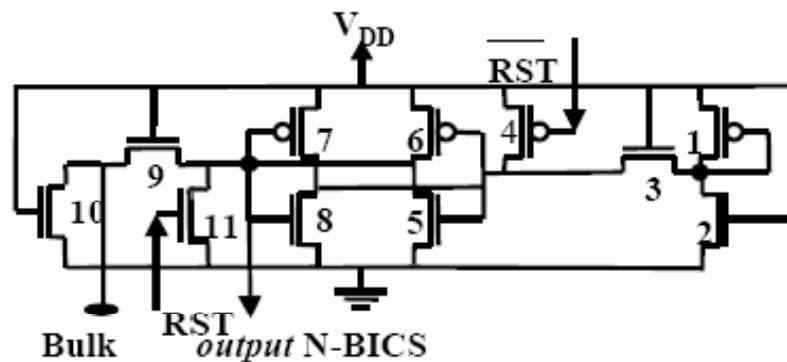


Figura 9 Bulk-BICS para transistores NMOS (LISBOA, 2007).

A conexão de poço dos transistores NMOS monitorados é feita no nó *Bulk*. Estando a célula de memória em reset, a saída *output* encontra-se em nível 0 e a tensão do nó *Bulk* encontra-se em gnd, exceto pela pequena queda de tensão provocada pela corrente quiescente de poço, ao circular por T5, T9 e T10. O pulso de corrente transitório, ao ocorrer, encontra caminho para gnd através desses transistores. A parcela da corrente que circula por T5 através de T9 dispara a célula de memória, fazendo com que *output* bascule para nível 1. Quando isso ocorre, passa a circular uma corrente permanente através de T9 e T10 vinda de T6, o que causa uma queda de tensão em T10 elevando a tensão de poço acima de gnd .

As deficiências desse circuito são :

- a) nem toda a corrente do pulso transitório é utilizada para bascular a célula de memória. Dado que parte do pulso é desviado para gnd através de T10, a sensibilidade do circuito é diminuída;
- b) O poço é polarizado acima de gnd enquanto a célula de memória estiver em set. Esse deslocamento altera a tensão de limiar dos transistores do circuito monitorado devido ao efeito de corpo, cujas consequências precisam ser avaliadas caso a caso;
- c) Apenas um dos nós da célula de memória é excitado pelo pulso transitório, estendendo o período mínimo necessário para a efetiva sensibilização da célula de memória. A fim de melhorar a sensibilidade do circuito e aumentar a velocidade de resposta, uma rede de polarização composta por T1, T2 e T3 injeta uma corrente de polarização na célula de memória, deixando-a em estado de quase-basculamento. Essa situação faz com que esse circuito tenha consumo de corrente quiescente que, conforme já exposto, é objeccionável;

- d) A célula de memória necessita sinais de reset normal e complementar (RST e not_RST). É possível restaurar a célula de memória apenas com um transistor (T4 ou T11), utilizando-se um transistor suficientemente grande, mas a aplicação do sinal de reset nos dois nós do latch permite usar transistores pequenos, cuja área somada é menor do que se fosse utilizado o transistor único.

3.3.2 Circuito N° 03

O circuito n° 03 é apresentado por (NETO, 2008). A figura 10 mostra o sensor para transistores NMOS. O circuito é essencialmente o mesmo dos circuitos n° 1 e 2, exceto que os transistores T9 e T10 são, agora, controlados pela célula de memória ao invés de permanecerem em condução permanente.

Com a célula de memória em reset, *output* encontra-se em nível 0 forçando T10 ao corte e T9 à condução. Na ocorrência de um pulso transiente, toda a corrente do pulso é injetada na célula de memória, o que garante uma melhor sensibilidade em relação ao circuito anterior. Ocorrendo o basculamento, T9 é forçado ao corte enquanto que T10 é posto em condução, garantindo uma conexão de gnd ao poço. Esse circuito representa uma melhoria em relação ao circuito anterior, embora permaneçam os problemas relacionados à mínima largura

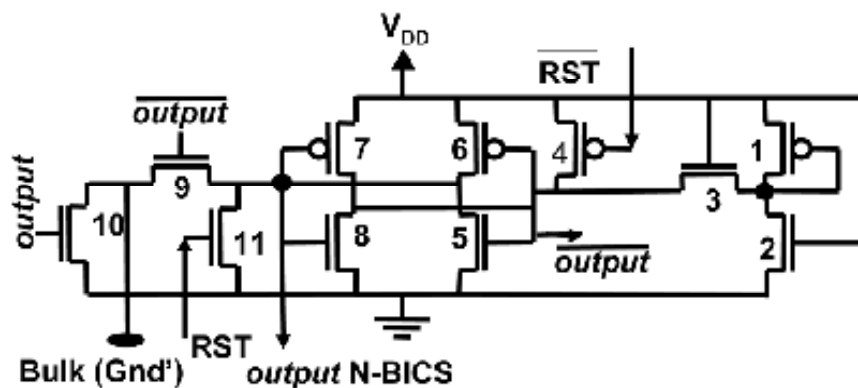


Figura 10 Bulk-BICS para transistores NMOS conforme (NETO, 2008).

de pulso necessária para o disparo, ao consumo de corrente quiescente e à necessidade de dispor de dois sinais complementares de reset.

3.3.3 Circuito N° 04

O circuito apresentado por (ZHANG, 2010) para o Bulk-BICS NMOS é apresentado na figura 11. O circuito também utiliza uma célula de memória estática, composta pelos transistores T3 a T6. O pulso transitório não aciona a célula diretamente; isso é efetuado pelos transistores T1 e T8. Inicialmente, a célula de memória é deixada em reset, com $out_n = 0$ e $outn_bar = 1$. O pulso de corrente transiente flui através do transistor T2, provocando o aparecimento de uma tensão no nó $Bulk_n$, que é aplicada às portas de T1 e T8. T8 entra em condução, drenando corrente do nó $outn_bar$ forçando-o a bascular para nível 0 enquanto T1 injeta corrente no nó out_n , forçando-o a bascular para nível 1.

As vantagens deste circuito são :

- a) Utiliza um menor número de transistores – apenas 8, comparado com os 11 dos circuitos anteriores – minimizando a área necessária para a implementação do Bulk-BICS;
- b) Não há consumo de corrente quiescente;
- c) É necessário utilizar apenas um sinal de reset;

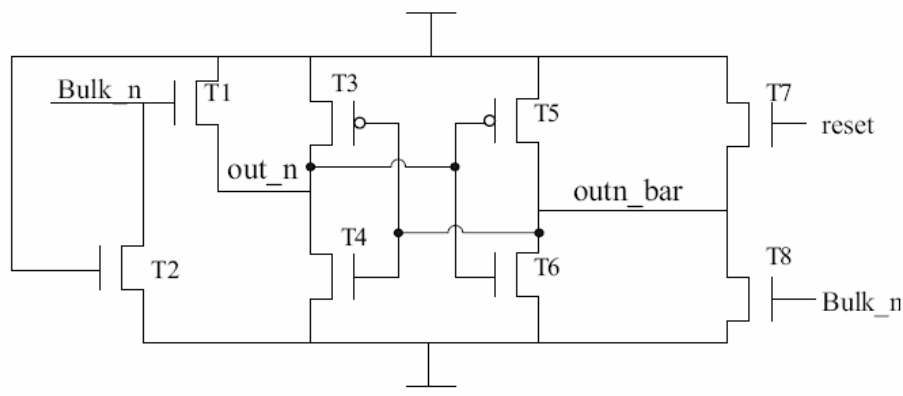


Figura 11 Bulk-BICS para transistores NMOS conforme (ZHANG, 2010).

- d) A excitação de ambos os nós do latch aumenta a sensibilidade do sensor, ao mesmo tempo que reduz o tempo mínimo do pulso necessário para o disparo.

Em contrapartida, o circuito apresenta as seguintes deficiências :

- a) A contribuição de T8 para o basculamento do latch é muito maior do que aquela proporcionada por T1. Ambos os transistores entram em condução quando a tensão no nó *Bulk_n* ultrapassa a tensão de limiar V_{TH} , entretanto, T8 opera em configuração fonte comum enquanto T1 opera em configuração dreno comum. Conseqüentemente, para uma dada tensão de porta, T8 pode levar o nó *outn_bar* efetivamente a gnd e forçar o basculamento mas T1 somente pode levar o nó *out_n* até a tensão $V_{OV} = V_{BULK_N} - V_{TH}$. Para pequenos valores de V_{OV} , T1 tem pouca influência na tensão do nó *out_n*. Disso resulta que, para pulsos de corrente de pequena amplitude, o basculamento do latch é efetuado praticamente apenas por T8;
- b) Para um funcionamento adequado, T1 e T8 precisam ser transistores de razoável tamanho, se comparados aos transistores mínimos - em (ZHANG, 2010), ambos têm $W = 3 \mu m$. Como as portas desses transistores são conectadas diretamente ao nó *Bulk_n*, o acréscimo na capacitância parasita de poço é considerável.

Concluindo, nota-se que os circuitos descritos ainda não atingiram um grau de maturidade satisfatório, deixando margem para uma solução mais otimizada. A proposta de um novo circuito será apresentada no próximo capítulo.

4 O SENSOR DE CORRENTE COM CÉLULA DE MEMÓRIA DINÂMICA

O estudo do circuito nº 4, apresentado anteriormente, revela que o mesmo já utiliza o número mínimo de transistores necessários para efetuar a operação das funções de detecção e armazenagem do pulso de corrente transiente. De fato, temos :

- a) um transistor sensor de corrente T2;
- b) dois transistores de sensibilização T1 e T8;
- c) um transistor para o reset T7;
- d) quatro transistores para a célula de memória T3 a T6.

Verifica-se que o único transistor dispensável nessa topologia seria T1, cuja supressão causaria uma redução na sensibilidade ao pulso de corrente e uma redução na velocidade de resposta da célula de memória. Qualquer uma dessas consequências seria prejudicial ao desempenho do circuito como um BICS destinado à detecção de SET. Assim, dificilmente poder-se-ia criar um circuito menor e mais vantajoso do que o apresentado, utilizando-se essa mesma topologia.

Conclui-se, assim, que uma nova topologia se faz necessária, buscando obter um sensor mais otimizado, o qual possa efetivamente ser empregado economicamente em circuitos comerciais. Para tanto, é necessário obter :

- a) a minimização da área necessária para a implementação física através do uso de um menor número de transistores, ao mesmo tempo em que os transistores precisam ter um tamanho reduzido;
- b) a minimização da corrente quiescente, preferencialmente composta apenas pelas correntes de fuga produzidas por transistores em corte;
- c) uma sensibilidade adequada à detecção e armazenamento dos pulsos de corrente induzidos por partículas de baixa energia.

A mudança de paradigma que possibilita obter um circuito mais otimizado em relação aos anteriormente propostos ocorre através da substituição da célula de memória estática por uma célula de memória dinâmica, onde a informação da ocorrência de um SET passa a ser registrada na forma de uma tensão armazenada numa capacitância (SIMIONOVSKI, 2012). Essa topologia permite criar um novo circuito Bulk-BICS – o Dynamic Storage Built-In Current Sensor (DynBICS) – cujas características se aproximam ainda mais do sensor idealmente desejado para a implantação prática da técnica Bulk-BICS e que representa o tema deste trabalho.

4.1 FUNCIONAMENTO DA CÉLULA DE MEMÓRIA DINÂMICA

A célula de memória dinâmica utilizada nos DynBICS compreende quatro transistores, interligados conforme mostra a figura 13. Nessa célula, controla-se a condução do transistor T3 através da tensão armazenada na capacitância de porta, representada pela capacitância porta-fonte C_{GS} . A função de T2 é prover um caminho de carga para C_{GS} quando o sinal *set* vai a nível 1. Da mesma forma, T1 provê um caminho de descarga para C_{GS} , o que ocorre sempre que o sinal *not_reset* vai a nível 0. T4 opera como carga de T3, provendo à saída *out* um caminho de corrente ao gnd enquanto T3 encontrar-se em corte.

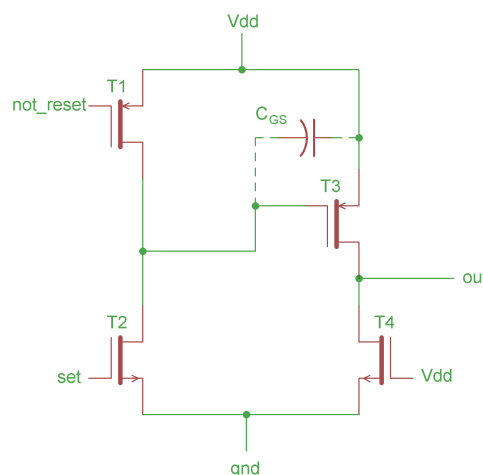


Figura 12 Diagrama esquemático da célula de memória dinâmica.

Em situação de armazenagem, o sinal *set* é mantido em nível 0 enquanto o sinal *not_reset* é mantido em nível 1, não havendo caminho para a carga ou descarga de C_{GS} . O nível lógico presente na saída *out* será, então, função da tensão armazenada em C_{GS} : *out* estará em nível 0 para $|V_{GS}| \ll |V_{TH}|$ e em nível 1 para $|V_{GS}| \gg |V_{TH}|$.

As vantagens da célula dinâmica sobre a célula estática são :

- a) É necessário apenas quatro transistores para implementar a célula. A redução é considerável, considerando que são necessários dez transistores nos circuitos n°s 1 a 3 e sete transistores no circuito n° 4 para implementar a célula estática (latch) e os transistores de controle;
- b) Utiliza apenas um sinal de set e um de reset, dispensando sinais em fase e contra-fase;
- c) É um circuito em laço aberto, cuja velocidade de resposta é controlada pela velocidade com que C_{GS} pode ser carregada e descarregada.

É necessário reconhecer, por outro lado, que a célula dinâmica apresenta um tempo de retenção finito, limitado pelas correntes de fuga de T1, T2 e T3. Essas correntes são dependentes da temperatura, do tamanho e da polaridade dos transistores; dependendo do somatório final das contribuições individuais, elas contribuem para carregar ou descarregar espontaneamente a capacitância C_{GS} . Disso decorre que a célula mostra uma tendência natural em apresentar um estado lógico preferencial se deixada em repouso. Se a contribuição líquida das correntes de fuga é tal que propicia a descarga de C_{GS} em repouso, o sinal de saída *out* passará espontaneamente ao nível zero, após decorrido um certo intervalo de tempo, uma vez estando armazenado o nível lógico 1. O oposto é esperado se as correntes de fuga propiciarem um caminho através do qual C_{GS} possa ser carregado. Essa característica, embora desvantajosa, não impede que o circuito seja utilizado, dado o modo com que a informação da ocorrência de SET é tratada.

Considerando o uso da técnica Bulk-BICS associada a um mecanismo de recomputação, o circuito monitorado precisa responder prontamente ao sinal do Bulk-BICS, conforme (LISBOA, 2007 ; LEITE, 2009). (LISBOA, 2007) mostra que a resposta ocorre dentro de 1 ciclo de clock, quando então o BICS recebe o sinal de reset. Como o mecanismo de recomputação efetua o reset do BICS após cada ciclo de clock, o intervalo de retenção da célula de memória não necessita ser maior do que o próprio ciclo de clock. A figura 13 mostra o esquema de temporização proposto em (LISBOA, 2007) para o estado de recomputação, no qual se confirma que o BICS, ao ter armazenado a incidência de uma partícula, é resetado em não mais do que um ciclo de clock. Assim, o intervalo necessário para a retenção da informação da ocorrência de um SET é relativamente curto, não necessitando de uma célula estática para ser armazenada.

Outro ponto a ser considerado é a presença de uma corrente circulante através de T3 e T4 quando a saída out encontra-se em nível 1. Embora fosse possível interligar a porta de T4 à porta de T3 configurando um inversor CMOS, essa topologia não se mostrou conveniente

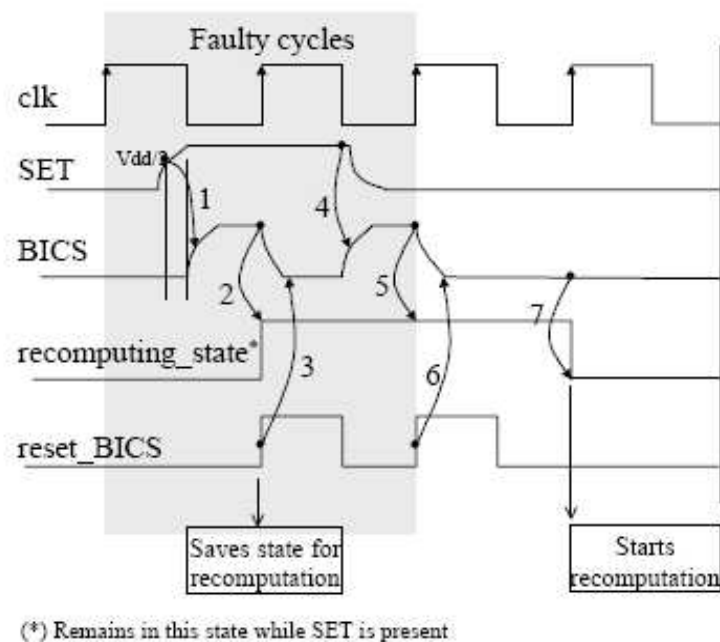


Figura 13 Diagrama de temporização proposto por (LISBOA, 2007) para o Bulk-BICS e o estado de recomputação.

por reduzir substancialmente a sensibilidade do circuito. Por outro lado, a corrente que flui através de T3 e T4 o faz durante um intervalo de tempo muito curto, determinado pela resposta do mecanismo de recomputação. Considerando-se que a taxa de ocorrência de SET é muito baixa – $2,0 \times 10^{-3}$ erros/h para a incidência de partículas alfa no experimento descrito por (MAY, 1979) - conclui-se que a corrente média drenada pela célula dinâmica, em situação de armazenagem, não é significativa.

4.2 FUNCIONAMENTO DO SENSOR DYNBICS PARA TRANSISTORES NMOS

O circuito básico para um sensor DynBICS destinado à monitoração de transistores NMOS é mostrado na figura 14. O transistor T0 é acrescentado à célula de memória e age como elemento sensor de corrente. A corrente de poço dos transistores NMOS monitorados atravessa o canal de T0, mantido em condução permanente através da conexão de sua porta ao V_{DD} . A queda de tensão existente entre dreno e fonte de T0, provocada pela circulação da corrente de poço, é aplicada à porta de T2 e controla o mecanismo de carga da capacitância C_{GS} de T3.

Em operação quiescente, T1 recebe o sinal *not_reset* em intervalos regulares, a fim de manter T3 em corte através da descarga repetitiva da sua capacitância porta-fonte. A corrente

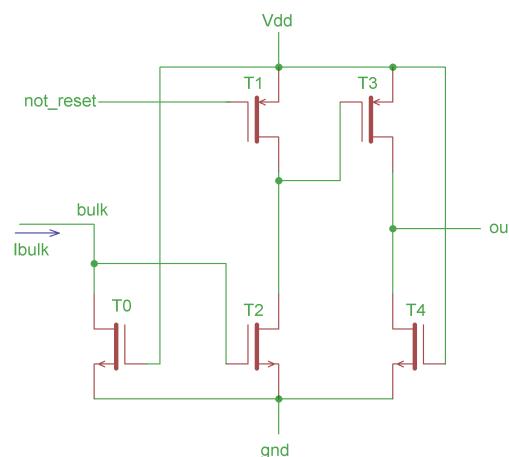


Figura 14 Diagrama básico do sensor DynBICS para monitoração de transistores NMOS.

quiescente de poço percorre T0 e produz uma queda de tensão $V_{DS_T0} \ll V_{TH_T2}$, o que mantém T2 em corte. Na ocorrência de um SET, por outro lado, a corrente de poço aumenta a ponto de provocar uma queda de tensão $V_{DS_T0} > V_{TH_T2}$, o que força T2 a entrar em condução. A corrente através de T2 carrega a capacitância porta-fonte de T3, fazendo-o entrar em condução, levando a saída *out* ao nível 1.

A extinção do pulso de corrente transiente faz com que a queda de tensão em T0 seja insuficiente para manter T2 em condução; não havendo caminho para a descarga da capacitância C_{GS_T3} , a carga ali armazenada mantém T3 em condução. T3 somente retorna ao estado de corte após a condução de T1 através do sinal *not_reset*, ou através das correntes de fuga se a soma líquida dessas propiciar a descarga da capacitância C_{GS_T3} .

É interessante verificar o que acontece com o nível lógico na saída *out* para o caso de um pulso transiente de longa duração, conforme identificado por (LISBOA,2007) e mostrado na figura 13. O sinal *not_reset* é enviado pelo mecanismo de recomputação tão logo o sinal *out* seja reconhecido como uma ocorrência de SET. Dependendo dos tamanhos relativos de T1 e T2, o nível lógico em *out* poderá ou não ser alterado pela presença do sinal *not_reset*. Independentemente do resultado final, o sinal de saída apresentar-se-á sempre em nível 1 tão logo o sinal *not_reset* seja removido, pois o transistor T2 é mantido em condução pela longa duração do pulso transiente. O sinal *not_reset* somente terá efetiva capacidade de restaurar o nível lógico da saída *out* em 0 após a corrente de poço retornar ao seu valor quiescente, quando a queda de tensão em T0 retorna a um valor insuficiente para manter T2 em condução.

4.3 A TAXA DE REPETIÇÃO DO SINAL NOT_RESET

As correntes de fuga de T1, T2 e T3 podem contribuir para a mudança espontânea da tensão armazenada na capacitância C_{GS} do transistor T3, conforme já explicitado

anteriormente. Em função disso, a célula dinâmica apresenta um tempo máximo de retenção durante o qual o nível de saída representa a informação efetivamente armazenada, quer a saída *out* esteja em nível 0 ou 1. O sentido da contribuição líquida – carga ou descarga – depende da relação entre os tamanhos dos transistores, da temperatura, da tensão de alimentação V_{DD} e do efeito das variações introduzidas pelo processo de fabricação nas características individuais dos transistores. Em vista disso, mesmo em situação quiescente, o circuito DynBICS deve receber o sinal *not_reset* a intervalos regulares, visando evitar uma eventual acumulação de cargas na capacitância $C_{GS_{T3}}$ através das correntes de fuga, o que levaria T3 à condução espontânea e causaria a indicação de uma falsa ocorrência de SET. Conclui-se que o intervalo entre os sinais *not_reset*, em situação quiescente, deve ser igual ou menor do que o tempo máximo de retenção.

Esta situação estabelece que, para que o sensor DynBICS funcione adequadamente, o período de clock deve ser menor do que o tempo de retenção da célula dinâmica, ou o sensor poderá indicar falsamente a ocorrência de um SET, dependendo da temperatura em que o circuito integrado opera, tendo o corner de processo como parâmetro. Em outras palavras, a frequência de clock do circuito monitorado deve ser sempre superior à taxa mínima de repetição de reset, dada pelo inverso do período máximo de retenção da célula dinâmica na pior situação, levando-se em consideração os corners de processo, a temperatura de operação e a tensão de alimentação. É interessante observar que a forma de onda do sinal de reset, mostrada na figura 13, é adequada para sensores BICS com célula de memória estática. Para os sensores DynBICS, entretanto, o sinal *not_reset* precisa estar sendo permanentemente aplicado da forma descrita.

Em circuitos cuja frequência de clock seja próxima à mínima frequência de repetição de reset, o próprio sinal de clock poderá ser aplicado diretamente ao sensor DynBICS como sinal *not_reset*, eventualmente corrigindo a sua fase para que a operação do circuito

monitorado e o sensor DynBICS estejam propriamente sincronizados. Circuitos cuja frequência de clock seja muito acima da máxima taxa de repetição de reset poderão empregar um esquema onde, em situação quiescente, um pulso do sinal *not_reset* seja aplicado a cada determinado número de pulsos de clock, a fim de reduzir o consumo de corrente dinâmico causado pela excitação da porta do transistor T1. Naturalmente, durante o estado de recomputação, a frequência do sinal *not_reset* precisa ser alterada para um pulso por ciclo de clock, a fim de possibilitar a detecção precisa do final da ocorrência do SET, conforme mostrado na figura 13.

4.4 SENSOR DYNBICS PARA TRANSISTORES PMOS

O circuito para o sensor DynBICS adequado à monitoração de transistores PMOS é essencialmente o mesmo mostrado anteriormente, configurado como versão complementar do sensor destinado à monitoração de transistores NMOS. A figura 15 mostra o circuito básico no qual se verifica que a polaridade dos sinais de reset e saída são, agora, invertidos em relação ao sensor para transistores NMOS, bem como o sentido da corrente de poço.

O funcionamento do sensor para transistores PMOS segue a descrição efetuada anteriormente. Ressalta-se que o problema da máxima taxa de repetição de reset ainda se

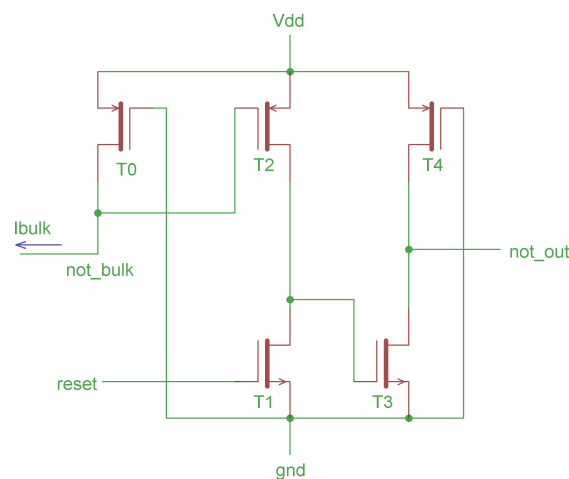


Figura 15 Diagrama básico do sensor DynBICS para monitoração de transistores PMOS.

mantém e pelas mesmas razões; a diferença, aqui, é que a taxa de reset deve ser estabelecida com o intuito de não permitir que a saída vá espontaneamente a nível 1, já que os sinais de entrada e saída deste circuito são complementares ao circuito para transistores NMOS. O sinal *reset*, por sua vez, é derivado do sinal *not_reset* por simples inversão.

O próximo capítulo trata da implementação dos sensores DynBICS em tecnologia IBM 130 nm.

5 IMPLEMENTAÇÃO DOS SENSORES DYNBICS NO PROCESSO IBM CMRF8SF

Este capítulo apresenta o projeto de um par de sensores DynBICS complementares PMOS / NMOS visando a prototipação através do programa MOSIS. O processo disponível para a implementação prática do circuito contendo os sensores DynBICS e toda a eletrônica de apoio é o processo 130 nm IBM (International Business Machines, Inc.) CMRF8SF. Os circuitos aqui desenvolvidos serão posteriormente ensaiados sob irradiação. O circuito final deve permitir o acesso externo aos sinais gerados pelas células DynBICS, bem como possibilitar a aplicação dos sinais necessários à sua operação. Para isso, é necessário acrescentar ao circuito básico alguns sinais de controle e circuitos de apoio :

- a) Transistor-alvo;
- b) Ajuste de sensibilidade;
- c) Entrada de sinal de teste;
- d) Circuitos inversores para os sinais *reset* e *test*;
- e) Buffer de saída;
- f) Proteções contra descargas estáticas nas entradas e saídas.

A figura 16 mostra o diagrama de blocos do circuito implementado. Os pinos de conexão externos estão indicados como pequenos quadrados azuis.

5.1 ELEMENTOS ACRESCENTADOS À CÉLULA BÁSICA DYNBICS

5.1.1 Transistor-alvo

O transistor-alvo é o dispositivo destinado a receber irradiação e atuar como gerador do pulso de corrente transiente. Opera permanentemente em corte e é fabricado dentro de um poço exclusivo para si, o qual é conectado aos nós *bulk* ou *not_bulk* , conforme o caso. A área

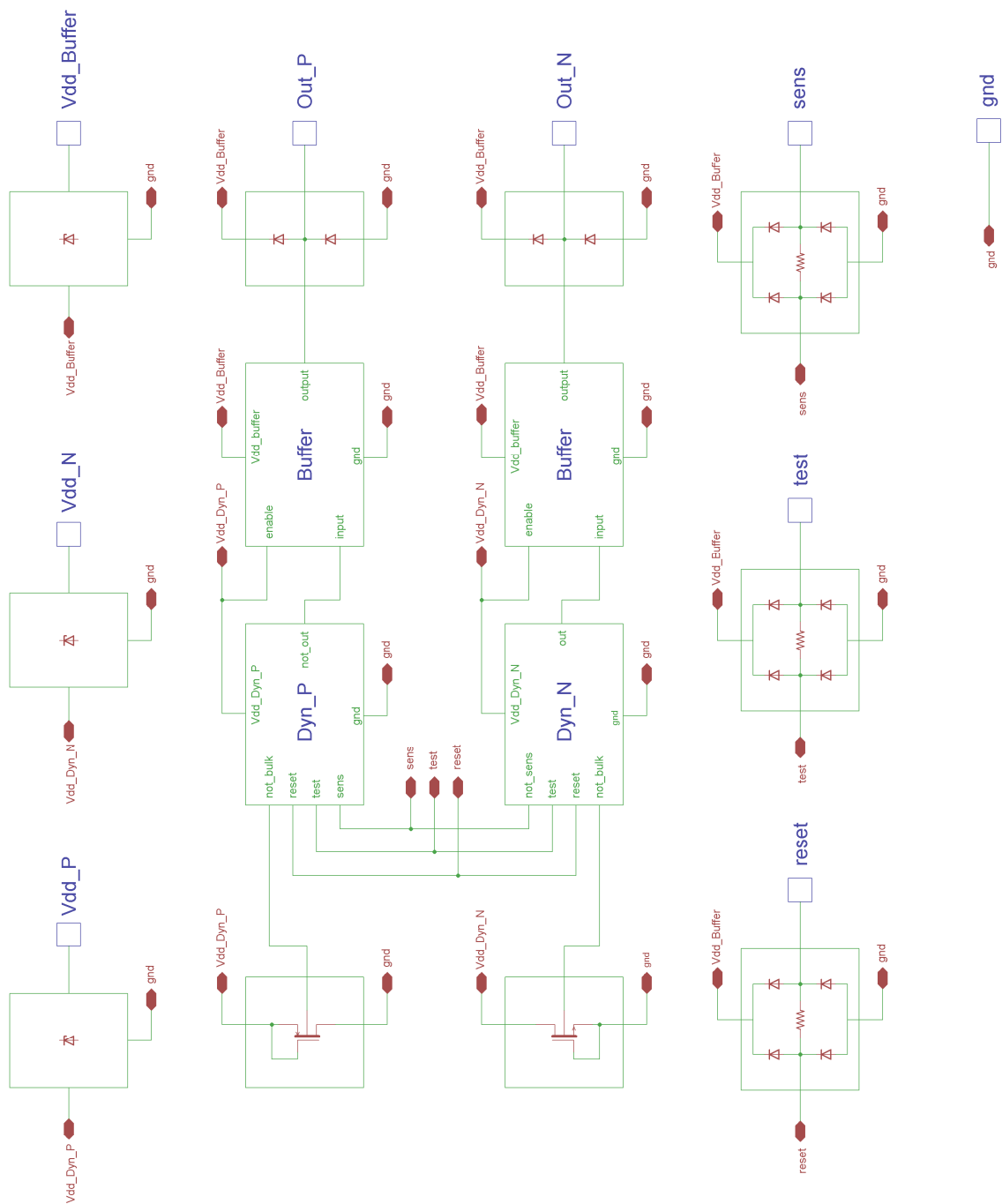


Figura 16 Diagrama de blocos do circuito final implementado.

do transistor-alvo deve ser relativamente grande a fim de maximizar a probabilidade de ser atingido por uma partícula ionizante durante o ensaio, limitado ao tamanho que não impossibilite o funcionamento dos sensores DynBICS em função de excessiva capacitância parasita de poço.

5.1.2 Ajuste De Sensibilidade

O terminal de porta do transistor sensor de corrente T0 é conectado a um terminal externo, a fim de permitir sua polarização com uma tensão diferente da de V_{DD} ou gnd , conforme o caso. Através do ajuste da tensão de porta de T0, consegue-se uma variação na resistência interposta entre o poço do transistor-alvo e a linha de alimentação correspondente. Um aumento na resistência do canal de T0 faz com que T2 seja posto em condução com uma corrente transitória de menor intensidade. Disso resulta que a sensibilidade do sensor DynBICS pode ser aumentada até certo limite, através do ajuste de uma tensão externa.

A implementação econômica dos sensores enfatiza o uso racional dos pinos de conexão externos necessários para a implementação física dos circuitos. Dessa forma, visando reduzir o número de pinos externos, os sinais *sens* e *not_sens*, que controlam a sensibilidade dos circuitos Dyn_P e Dyn_N respectivamente, são representados pela mesma tensão de polarização externa, aplicada a um único pino.

5.1.3 Sinal de Teste

O sensor DynBICS é um circuito cujo sinal de entrada é representado pelo pulso de corrente transitório criado a partir de um evento não-elétrico representado pela incidência da partícula ionizante. Torna-se necessário prover uma entrada para um sinal externo, o qual possa ativar os circuitos internos dos sensores permitindo comprovar o funcionamento do circuito fabricado.

Assim, acrescentou-se um transistor capaz de forçar a condução de uma corrente através de T0 sob o comando de um sinal externo *test*, permitindo simular internamente um fluxo de corrente na conexão de poço. Desta maneira, pode-se comprovar o perfeito funcionamento do sensor antes de proceder ao ensaio sob irradiação.

5.1.4 Circuitos Inversores Para Os Sinais *reset* e *test*

Visando novamente reduzir o número de pinos externos, racionalizando o uso dos pinos de conexão externos, deriva-se os sinais *not_reset* e *not_test* internamente por intermédio de dois inversores incorporados ao circuito do sensor DynBICS para transistores NMOS, a partir dos sinais *reset* e *test* provenientes dos pinos externos e aplicados ao sensor DynBICS para transistores PMOS.

5.1.5 Buffer de Saída

A inclusão de um buffer de saída se faz necessária, em função do tamanho dos transistores T3 e T4. A conexão direta das saídas *out* e *not_out* aos pinos externos, embora possível, implicaria numa resposta bastante lenta, com tempos de subida e descida indesejavelmente longos, devido à capacitância de carga associada ao pinos de saída, representada pelas capacitâncias parasitas do *pad* e do pino do circuito integrado, acrescidas da capacitância da ponteira utilizada para conectar o sinal ao instrumento de monitoração (osciloscópio).

Cada um dos DynBICS possui um pino de alimentação separado, o que permite escolher qual sensor será submetido a ensaio, bem como medir o consumo de corrente do sensor. Desta forma, um sensor DynBICS não alimentado corre o risco de apresentar uma tensão indefinida como sinal *out* / *not_out* . A fim de evitar a ocorrência dessa situação, o buffer de saída conta com um intertravamento condicionado à tensão de alimentação do respectivo sensor DynBICS. O sensor cuja operação não deva estar ativada deve ter seu pino de alimentação conectado ao *gnd*, o que força a saída do buffer a apresentar nível 0, independente da tensão existente como sinais *out* / *not_out*. O uso do intertravamento evita que os transistores do buffer possam entrar em condução parcial, drenando corrente da linha de alimentação e provocando um aquecimento indevido do circuito integrado.

5.1.6 Proteções Contra Descargas Estáticas

Todas as conexões do circuito com o ambiente externo são feitas através dos pinos de conexão existentes no encapsulamento do circuito integrado. A fim de proteger o circuito contra os efeitos da eletricidade estática, todos os pinos são protegidos por células de proteção. As células utilizadas foram as disponíveis na biblioteca da tecnologia utilizada, fornecidas e caracterizadas pelo fabricante (IBM).

5.2 CONSIDERAÇÕES INICIAIS DE PROJETO

5.2.1 Sensibilidade

Define-se aqui a sensibilidade do circuito DynBICS como a capacidade de detectar e armazenar adequadamente a informação da ocorrência de um pulso de corrente transiente, ou seja, à capacidade do sensor de capturar efetivamente o pulso de corrente. O processo CMRF8SF não tem caracterizada a sua sensibilidade à incidência de radiação. A bibliografia consultada informa valores para a corrente de pico de poço, largura de pulso e tecnologia conforme a tabela 3 .

Tabela 3 Valores de corrente de pico e largura de pulso para as tecnologias 90 nm e 250 nm.

Tecnologia	Partícula	Energia (MeV)	Corrente de pico (μA)	Largura de pulso (ps)	Referência
90 nm	Alpha	5,5	250	8,0	WIRTH, 2008
250 nm	Ar ⁺	80	650	5,0	WIRTH, 2007

Os circuitos BICS apresentados nos trabalhos anteriores apresentam sensibilidades mínimas variadas. A tabela 4 apresenta alguns valores selecionados a partir das informações publicadas. Os valores publicados pelas referências mencionadas na tabela 4 foram obtidos sob diferentes condições de teste, tendo sido selecionados os valores que representavam

Tabela 4 Parâmetros de sensibilidade dos circuitos anteriores.

Tecnologia	Corrente de pico (μA)	τ_R (ps)	τ_F (ps)	Largura de pulso (ps)	Referência
100 nm	150	5	30	n/d	NETO, 2006
100 nm	250	5	20	n/d	NETO, 2006
100 nm	550	5	10	n/d	NETO, 2006
32 nm	240	5	100	n/d	LISBOA, 2007
32 nm	165	n/d	20	n/d	NETO, 2008
90 nm	150	n/d	n/d	50	ZHANG, 2010
180 nm	150	n/d	n/d	50	ZHANG, 2010

n/d : não disponível

condições equivalentes entre si. Em todos os casos, a sensibilidade é relacionada com a integral da corrente em relação ao tempo do pulso transitório. Embora a integração da corrente em relação ao tempo represente a carga total do pulso de corrente transitório, a sensibilidade do sensor DynBICS precisa ser especificada em termos de mínima corrente de pico e mínima largura de pulso aos quais o circuito responde adequadamente. Isso é justificado pelo fato de que um pulso de elevada intensidade, mas com duração muito breve, pode não ser capturado pelo circuito, embora um pulso de mesma carga total, com maior duração, seja capturado sem problemas. O motivo pelo qual isso acontece deve-se à velocidade de resposta da célula de memória, que por não ser rápida o suficiente não é capaz de armazenar a informação da ocorrência do pulso de corrente, não importando o quão intenso este pulso se apresente.

É importante notar que embora a corrente do pulso transitório seja determinada pelo tipo de partícula, sua energia e ângulo de incidência, a máxima tensão que pode ser desenvolvida sobre o transistor sensor de corrente T0 é limitada à tensão de limiar de condução de uma junção P-N (cerca de 0,65 V a 25°C). Observando-se as figuras 14, 15 e 16, verifica-se que a junção fonte-poço dos transistores-alvo aparece em paralelo com o

transistor sensor de corrente, limitando a máxima tensão disponível para o acionamento da célula de memória ao valor correspondente à queda de tensão direta da junção P-N. Dessa forma, sendo a tensão porta-fonte de T2 limitada pela junção P-N fonte-poço, há uma corrente máxima de pulso que estabelece um valor mínimo para a resistência de canal de T2. A velocidade com que a capacitância C_{GS} do transistor T3 pode ser carregada é limitada por essa resistência mínima; se a duração do pulso de corrente não for suficiente, a capacitância C_{GS} de T3 não acumulará uma carga suficiente e a ocorrência do pulso de corrente não será registrada, independentemente da amplitude do pulso de corrente transitória.

A sensibilidade necessária a um circuito Bulk-BICS é vinculada ao circuito por ele monitorado, pois nem todas as correntes transientes provocadas pela incidência de partículas ionizantes provocam a ocorrência de um SET. No presente trabalho, como não há efetivamente um circuito sob supervisão, mas, tão somente, um transistor como alvo da radiação, o objetivo é justamente construir um circuito capaz de detectar a incidência de partículas ionizantes, independentemente se os mesmos provocam SET's ou não em um circuito real.

Dado que o circuito será posteriormente ensaiado sob irradiação, é possível escolher o tipo e a energia da partícula a ser empregada, bem como o ângulo de incidência. Assim, os sensores DynBICS deste trabalho não necessitam apresentar uma sensibilidade específica a determinado tipo e energia de partícula, tão somente sendo necessário que os mesmos tenham uma sensibilidade compatível com os valores de corrente e duração de pulso esperados para a tecnologia utilizada para a prototipação. É necessário, todavia, escolher um valor típico de corrente de pico e largura de pulso, a fim de prover um sinal de teste para avaliar o funcionamento do circuito durante o projeto dos circuitos DynBICS. Das tabelas 3 e 4, para todas as tecnologias listadas, verifica-se que um valor de projeto para a corrente mínima de detecção seria o de $150\mu\text{A}$, sob 20 ps de largura de pulso. Das referências (WIRTH, 2007;

WIRTH, 2008) extraiu-se um valor de τ_R igual a 2 ps, ficando τ_F a ser determinado em função da largura de pulso desejada. Esses valores foram usados para configurar a fonte de corrente exponencial utilizada para a avaliação preliminar dos circuitos durante a etapa de projeto. A sensibilidade final, entretanto, é função da capacitância parasita adicionada pelos dispositivos ativos e pelo layout, sendo possível determiná-la somente após a execução deste.

5.2.2 Taxa De Repetição Do Sinal *reset*

As considerações a respeito da taxa de repetição do sinal *reset* necessária para garantir o correto funcionamento dos sensores DynBICS já foram feitas anteriormente. O estabelecimento de um valor para esse parâmetro depende das características relativas às correntes de fuga dos transistores disponíveis na tecnologia CMRF8SF. O objetivo inicial era obter uma taxa de repetição que contemplasse os circuitos ainda em uso na atualidade com frequências de clock relativamente baixas. A redução do consumo dinâmico que uma taxa de repetição reduzida pode proporcionar, aliados ao uso corrente do processador INTEL 8051 e seus derivados (LEITE, 2009), levou ao estabelecimento de uma taxa mínima de repetição de *reset* de 1 pulso a cada 50 ns considerando as piores situações de variação de processo e temperatura.

5.2.3 Corners De Processo, Temperatura E Tensão de Alimentação

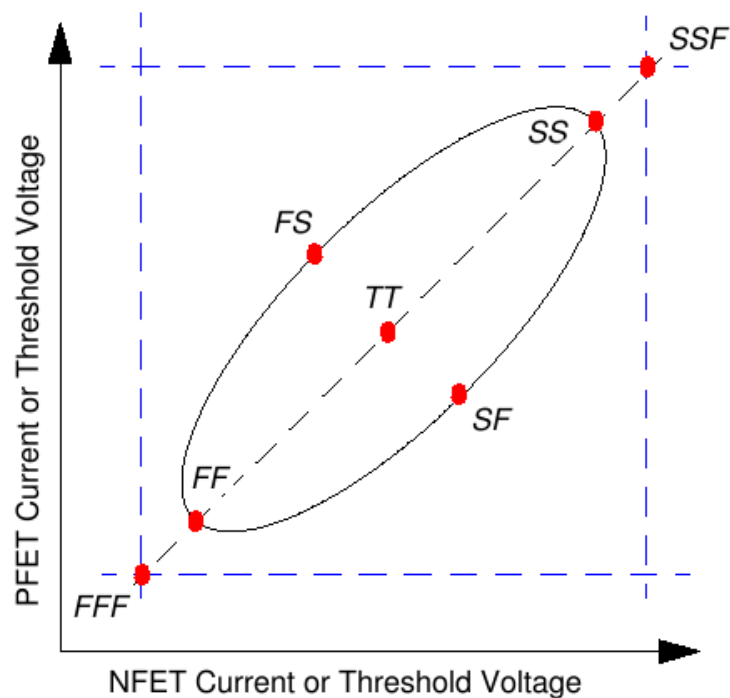
O design kit do processo CMRF8SF é contemplado com seis corners, conforme tabela 5 (IBM, 2010). Os corners de processo representam os efeitos da variabilidade do processo de fabricação nas características dos dispositivos integrados.

A figura 17 mostra a tabela 5 representada na forma gráfica, para melhor apreciação do significado elétrico dos corners. Além da variação nos corners de processo, os circuitos foram avaliados nas temperaturas extremas de 0° C e 125 ° C. Essas temperaturas foram escolhidas com base no regime de operação comercial de circuitos integrados, cuja faixa de

Tabela 5 Descrição dos corners do processo CMRF8SF.

Corner	Significado	Descrição
TT	Typical / Typical	Parâmetros nominais de processo; estimativa do desempenho típico
SS	Slow / Slow	Pior caso de velocidade para circuitos CMOS estáticos
SSF	Slow / Slow Functional	Situação limite do corner SS para verificação da robustez do circuito sob extremas condições do processo
FF	Fast / Fast	Melhor caso de velocidade para circuitos CMOS estáticos
FFF	Fast / Fast Functional	Situação limite do corner FF para verificação da robustez do circuito sob extremas condições do processo
SF	Slow / Fast	Corner para avaliação do circuito sob situação de pior descasamento entre NFET lento e PFET rápido
FS	Fast / Slow	Corner para avaliação do circuito sob situação de pior descasamento entre NFET rápido e PFET lento

temperatura ambiente se estende de 0° C a 70° C. A escolha da faixa de temperatura comercial se justifica pelo fato de que a técnica Bulk-BICS é orientada a circuitos comerciais, produzidos em grande escala, cujo custo de produção é fator preponderante e onde outras técnicas de mitigação do efeito de SET, adequadas a circuitos destinados a aplicações

**Figura 17 Representação gráfica dos corners no processo CMRF8SF.**

militares e aeroespaciais, incorrem em aumento excessivo de custo.

A tensão de alimentação foi mantida estável no valor nominal de 1,2 V durante a etapa de projeto. A variação típica de $\pm 5\%$ presente numa fonte de alimentação comercial não foi levada em conta como um corner adicional, a fim de reduzir a complexidade da tarefa de projeto e permitir a conclusão do trabalho dentro do prazo estabelecido. Dado que se pretende posteriormente irradiar o circuito fabricado e verificar seu desempenho em laboratório, a tensão de alimentação pode ser ajustada em exatos 1,2 V durante o ensaio através de uma fonte de bancada ajustável, o que dispensa a avaliação do circuito sob outras tensões de alimentação que não a nominal. Não obstante, serão apresentados os resultados de tal variação no capítulo correspondente.

5.2.4 Uso Do Método Iterativo Apoiado Em Simulações Paramétricas

O projeto dos circuitos empregou o simulador Virtuoso versão 6.1.5, fornecido pela Cadence Design Systems, Inc., utilizando o design kit fornecido pela própria IBM. Os transistores mínimos disponíveis na tecnologia CMRF8SF são transistores de canal curto, para os quais as equações clássicas do modelo de canal longo dão resultados que se desviam bastante do comportamento real do dispositivo. A fim de se obter um circuito satisfatório dentro da janela de tempo disponível, optou-se pelo uso do método iterativo para a determinação das dimensões dos transistores. Uma vez que a elaboração de um conjunto de equações de projeto está fora do objetivo deste trabalho, o uso do método iterativo apoiado em simulações paramétricas se justifica considerando-se ainda que :

- a) O efeito dos corners de processo e temperatura precisam ser levados em conta, especialmente nas simulações onde o efeito das correntes de fuga são importantes; tais efeitos não podem ser avaliados através de cálculos manuais simplificados;

- b) O estabelecimento de um conjunto de equações de projeto não agregaria valor ao trabalho, visto que o comportamento do circuito é fortemente dependente da geometria dos dispositivos, a qual é função da tecnologia empregada. Questiona-se, ainda, se um conjunto de equações válidas para a tecnologia CMRF8SF seria de utilidade em outra tecnologia;
- c) Dada a complexidade dos modelos utilizados pelo simulador Virtuoso e a quantidade de parâmetros por ele manipulada, dificilmente um cálculo manual utilizando uma quantidade humanamente razoável de parâmetros poderia levar a um resultado aceitável sem a necessidade de correções posteriores;
- d) Os circuitos são simples, e a influência das dimensões de cada transistor no desempenho final pode ser estimada por inspeção.

Os circuitos foram desenvolvidos utilizando simulação esquemática no corner TT a 27° C. Uma vez julgado satisfatório o desempenho, os mesmos foram avaliados sob os corners SSF, FFF, SF e FS a 0° C e 125 °C, a fim de verificar o impacto do processo e da temperatura no funcionamento dos circuitos. Com base nesses resultados, as dimensões dos transistores foram corrigidas e novas simulações nos corners extremos foram executadas, até que o desempenho fosse julgado satisfatório. Uma vez obtido um desempenho satisfatório em todos os corners estipulados, foi executado o layout de cada circuito e novas simulações foram efetuadas, utilizando-se os modelamentos (*views*) extraídos do circuito roteado. Uma vez obtidos os layouts validados para todos os circuitos, foi composto o circuito integrado final, interligando-se os diversos blocos entre si. Uma última rodada de simulações serviu para validar o circuito completo antes da finalização do projeto a ser enviado para fabricação através do programa MOSIS.

5.3 IMPLEMENTAÇÃO DOS SENSORES DYNBICS

5.3.1 Implementação Do Sensor Dyn_P

O diagrama esquemático do sensor Dyn_P pode ser visto na figura 18. O circuito sensor Dyn_P foi projetado utilizando transistores do tipo *regular_VT*; os quais exibem a menor corrente de fuga disponível na tecnologia CMRF8SF, sem comprometer a velocidade de operação. O dimensionamento dos transistores principiou a partir da dimensão mínima $W = 160 \text{ nm}$; $L = 120 \text{ nm}$, sendo posteriormente ajustados conforme os critérios descritos a seguir, utilizando corner de processo TT e à temperatura de $27 \text{ }^\circ\text{C}$. Durante a etapa de projeto foi utilizado o modelamento (*view*) *schematic*, no qual são levados em consideração apenas os parâmetros existentes nos modelos dos dispositivos, sem considerar os elementos parasitas introduzidos pelo layout. Uma vez encontrado um desempenho satisfatório, avaliou-se o desempenho nos corners de processo SSF, FFF, SF e FS e às temperaturas de 0°C e 125°C , efetuando-se eventuais correções quando necessário. A tensão de alimentação foi escolhida em $1,2 \text{ V}$ conforme recomendação do fabricante. Durante o projeto dos sensores, o transistor-alvo permaneceu desconectado, sendo avaliado apenas o desempenho do circuito DynBICS individualmente.

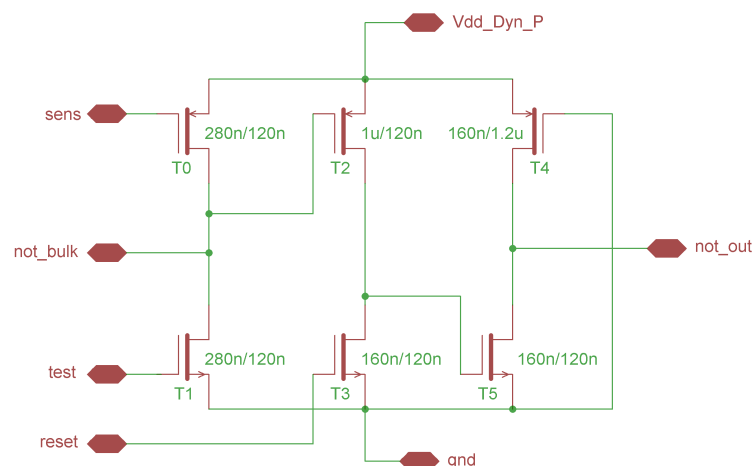


Figura 18 Diagrama esquemático do sensor Dyn_P

O dimensionamento de T5 deve levar em conta a maximização da corrente de dreno em função da carga acumulada em sua capacitância C_{GS} . A transcondutância de T5 é função da relação W / L ; do ponto de vista da transcondutância, deve-se maximizar W e minimizar L . A capacitância C_{GS} é representada essencialmente pela capacitância porta-substrato, proporcional ao produto $W * L$. Para uma dada carga Q injetada na porta através do transistor T2, a tensão V_{GS} será proporcional a $1 / (W * L)$, pois, em um capacitor, $V = Q / C$. Assim, minimizando-se o produto $W * L$ obtém-se uma maior tensão V_{GS} , o que maximiza a corrente de dreno para uma dada carga Q .

É evidente que o comprimento L deva ser minimizado, pois isso maximiza a transcondutância e minimiza a capacitância de porta de T5, maximizando, assim, a corrente de dreno para uma dada carga injetada na porta de T5. Essa conclusão leva a fazer $L_{T5} = 120$ nm, restando avaliar qual a relação entre W e a corrente de dreno na situação de carga de porta constante. A simulação paramétrica feita utilizando-se uma carga de porta constante e variando-se W como parâmetro indicou que a corrente de dreno diminui à medida que W aumenta em relação à dimensão mínima. Desta forma, utilizou-se a dimensão mínima $W = 160$ nm para T5.

O transistor T3 destina-se apenas a promover a descarga da capacitância C_{GS} do transistor T5. O emprego das dimensões mínimas comprovou ser mais do que suficiente para a função pretendida. O transistor T4, cuja função é agir como carga de T5, teve suas dimensões ajustadas como um compromisso entre a tensão da saída *not_out* com T5 em condução e o tempo de recuperação dessa saída, quando T5 retorna à situação de corte.

O dimensionamento do transistor T2 representa a etapa mais crítica do projeto do circuito. T2 é o elemento encarregado de transferir carga à capacitância C_{GS} do transistor de armazenamento T5 sob o comando da queda de tensão provocada pelo pulso de corrente transitório ao atravessar o transistor T0. Novamente, mostra-se apropriada a escolha de L_{MIN}

= 120 nm para a largura do canal, pois isso minimiza a resistência de canal de T2. Entretanto, a escolha da largura de canal W representa uma solução de compromisso entre o aumento da transcondutância e o correspondente aumento na capacitância de porta de T2.

Já foi mostrado que a capacitância parasita que o circuito DynBICS acrescenta à conexão de poço dos transistores monitorados deve ser minimizada, de forma a maximizar a sensibilidade ao pulso de corrente transitório e a velocidade de captura. A capacitância parasita de entrada no circuito implementado é a soma das capacitâncias de dreno de T0 e T1, acrescidas da capacitância de porta de T2 e das capacitâncias parasitas das interconexões. Dentre todas essas, a capacitância de porta de T2 representa a parcela majoritária, considerando a largura que T2 precisa ter para funcionar adequadamente. Assim, foram executadas várias simulações tendo W_{T2} como parâmetro, executadas com um sinal de teste de $T_p = 20$ ps em todos os corners de processo e temperatura escolhidos. Dos resultados obtidos escolheu-se a dimensão $W = 1\mu\text{m}$ como o melhor consenso para a maximização da sensibilidade do BICS.

O dimensionamento do transistor T0 estabelece a corrente nominal mínima à qual o circuito responde. Um conjunto de simulações paramétricas executadas com um sinal de teste com corrente de pico de $200\ \mu\text{A}$ e largura de pulso de 20 ps, em todos os corners escolhidos, indicou o uso de $L = 120$ nm e $W = 280$ nm como solução de consenso. T1, por fim, foi dimensionado de forma a permitir o acionamento da saída *not_out* em todos os corners escolhidos.

O layout do circuito Dyn_P foi feito com o auxílio da ferramenta de layout Cadence Layout Editor. A figura 19 mostra o resultado obtido. O layout inclui o transistor-alvo, o qual foi arbitrariamente escolhido com $W = 1\mu\text{m}$ e $L = 120$ nm. O circuito é resguardado com um anel de guarda duplo, a fim de evitar a influência das eventuais corrente de substrato provenientes dos demais circuitos existentes no mesmo chip. O transistor-alvo é dotado de seu

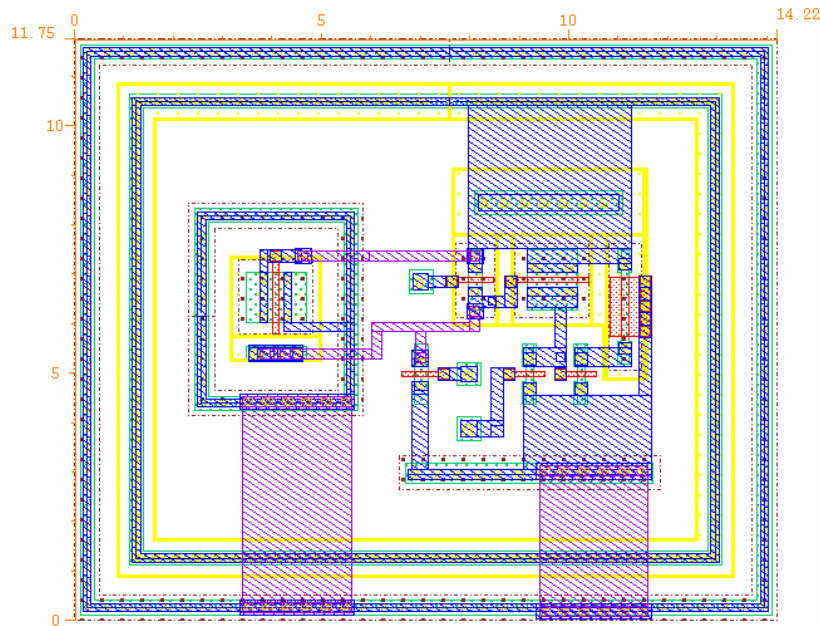


Figura 19 Layout do sensor Dyn_P.

próprio anel de guarda a fim de evitar a eventual influência de correntes de substrato. As dimensões finais do circuito, medidas externamente ao duplo anel de guarda, são 11,75 μm por 14,22 μm .

5.3.2 Implementação do sensor Dyn_N

O circuito do sensor Dyn_N também foi implementado usando-se transistores do tipo *regular_V_T*, visando-se obter um circuito dual daquele implementado no sensor Dyn_P. O diagrama do sensor Dyn_N pode ser visto na figura 20. Novamente, o dimensionamento dos transistores principiou a partir da dimensão mínima $W = 160 \text{ nm}$; $L = 120 \text{ nm}$, sendo posteriormente ajustados conforme já explicado para o sensor Dyn_N. É interessante notar que o circuito do sensor Dyn_N incorpora os inversores necessários para complementar os níveis lógicos dos sinais test e reset, compostos pelos transistores T6 a T8. Os demais transistores foram dimensionados conforme os critérios já expostos na implementação do sensor Dyn_P, exceção feita ao transistor T3. Embora um transistor mínimo efetuasse a operação de descarga da capacitância de porta de T5 convenientemente, notou-se que o

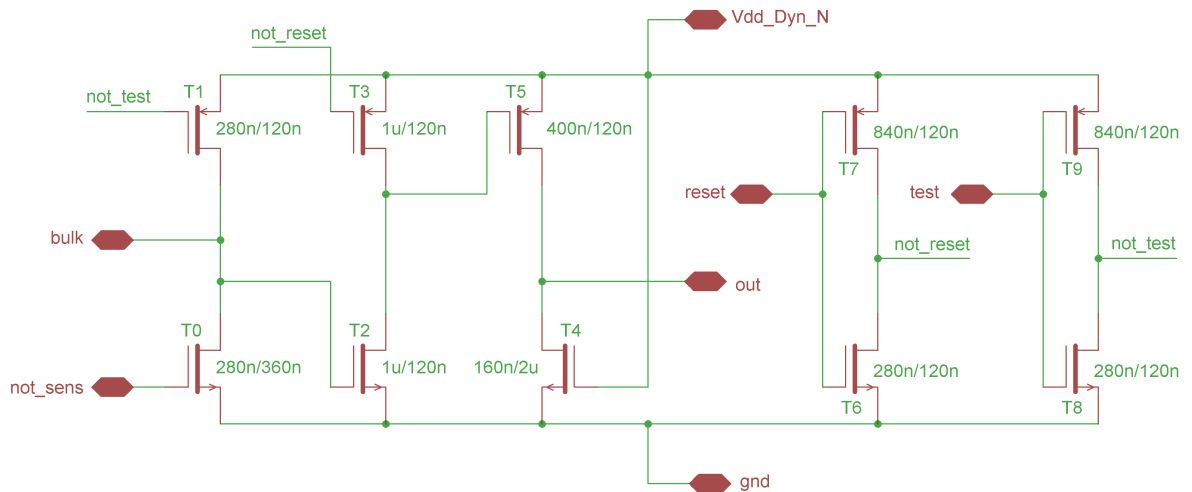


Figura 20 Diagrama esquemático do sensor Dyn_N.

circuito não atendia a taxa mínima de repetição de reset no corner FFF a 125° C, devido à corrente de fuga existente em T2. A influência dessa corrente de fuga pôde ser minimizada aumentando-se a corrente de fuga de T3, que é proporcional à largura do transistor. O uso de $W = 1\mu\text{m}$ em T3 permitiu a compensação satisfatória do efeito da corrente de fuga de T2, permitindo atender a taxa mínima de repetição de reset pretendida.

O layout do circuito Dyn_N também foi feito com o auxílio da ferramenta de layout Layout Editor. A figura 21 mostra o resultado obtido. O layout inclui o transistor-alvo, o qual

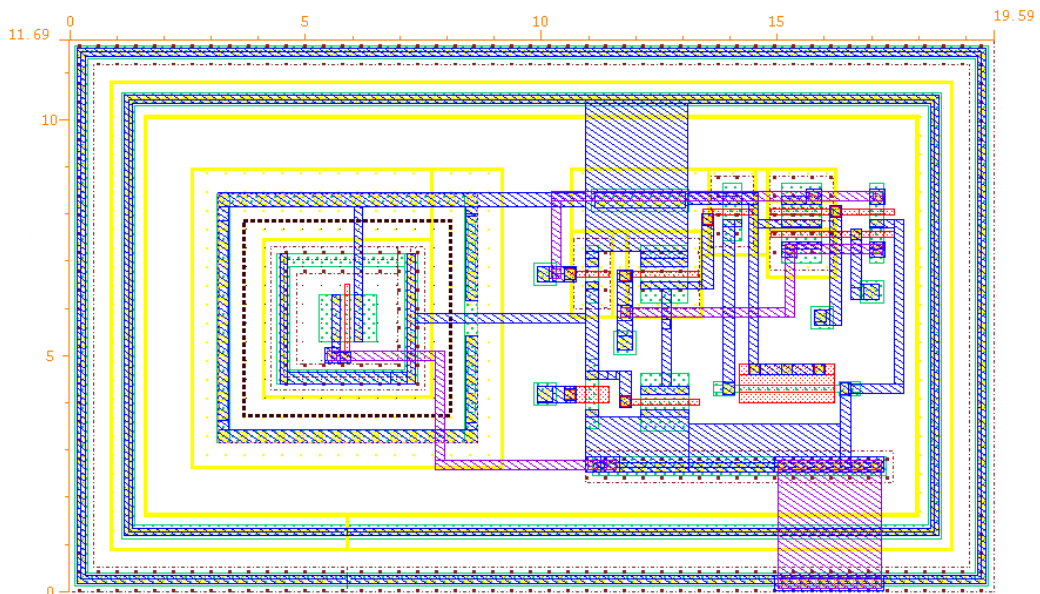


Figura 21 Layout do sensor Dyn_N.

também foi arbitrariamente escolhido com $W = 1\mu\text{m}$ e $L = 120\text{ nm}$. O transistor-alvo é um transistor NFET do tipo *thin_triple_well_NFET*, produzido sob a técnica de duplo poço, de forma a prover a necessária conexão separada de substrato. Um anel de guarda duplo resguarda o circuito da influência das eventuais corrente de substrato provenientes dos demais circuitos existentes no mesmo chip. O transistor-alvo não conta com um anel de guarda separado porque a construção em duplo poço provê o necessário isolamento do dispositivo. As dimensões finais do circuito, medidas externamente ao duplo anel de guarda, são $11,49\mu\text{m}$ por $19,59\mu\text{m}$.

5.4 IMPLEMENTAÇÃO DO BUFFER DE SAÍDA

A implementação do buffer de saída utilizou transistores do tipo *low_V_T* a fim de obter proveito da maior velocidade de operação proporcionada por esses dispositivos e, assim, obter um menor atraso de propagação através do buffer. O uso de transistores *low_V_T* nos inversores do buffer permite obter um atraso de propagação 36% menor, comparado ao uso de transistores do tipo *regular_V_T*. O desempenho do buffer não afeta a operação dos sensores DynBICS, servindo tão-somente para compatibilizar o sinal gerado nas saídas *out* e *not_out* com as impedâncias efetivamente existentes nas pontas de prova que conectam o circuito sob teste aos instrumentos de medida. Embora o atraso de propagação do buffer não constasse como uma das especificações de projeto, optou-se por otimizar essa característica a fim de melhor empregar os recursos disponíveis na tecnologia. A estratégia de simulação deste circuito seguiu aquela já apresentada para os sensores Dyn_P e Dyn_N. A tensão de alimentação do buffer, por sua vez, foi estabelecida também em 1,2 V. O circuito do buffer, composto de uma porta NE de duas entradas, seguida de sete inversores escalonados, é mostrado na figura 22.

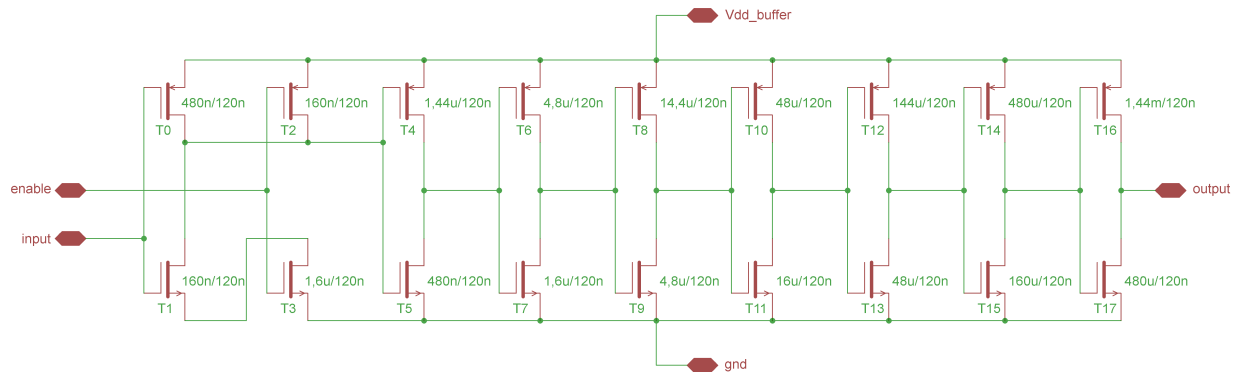


Figura 22 Diagrama esquemático do buffer de saída.

A carga prevista para o buffer é aquela típica para uma ponte atenuada de osciloscópio, nominalmente representada por uma resistência de 10 M Ω em paralelo com uma capacitância de 15 pF. A esse valor de capacitância acrescentou-se mais 5 pF a título de capacitância parasita, resultando numa carga de teste utilizada nas simulações representada por um resistor de 10 M Ω em paralelo com um capacitor de 20 pF. Observa-se que o desempenho do buffer é influenciado muito mais pela capacitância de carga do que pela resistência de carga. O escalonamento dos inversores que compõe o buffer foi feito utilizando a técnica do esforço lógico (SUTHERLAND, 1999). Uma investigação em torno dos valores indicados (proporções recomendadas 2:1 a 8:1; aconselhada 4:1) revelou que um proporcionamento de 3:1 na largura dos transistores utilizados na cadeia de inversores proporciona um atraso de propagação mínimo, tendo sido esse o valor adotado no projeto do buffer.

A porta NE existente na entrada do buffer (transistores T0 a T3) possibilita que o sensor DynBICS ligado ao buffer possa ser desativado pela simples conexão do pino de alimentação correspondente ao gnd. A entrada *enable* monitora a tensão existente no pino de alimentação do sensor DynBICS; uma vez conectado ao gnd, a porta NE força a entrada do inversor T4 / T5 ao nível 1 independente da tensão existente na entrada *input*. Não existindo esse intertravamento entre o sinal na entrada *input* e a tensão de alimentação do sensor DynBICS, as saídas *out* / *not_out* poderiam apresentar um valor indeterminado ao se proceder

à inativação de um dos sensores DynBICS, mesmo conectando seu correspondente pino de alimentação ao gnd. Em consequência, a cadeia de inversores do buffer poderia ser levada a um ponto de operação linear, causando um aumento exagerado no consumo de corrente quiescente do buffer cujo sensor DynBICS estivesse desalimentado.

Os transistores da porta NE são dimensionados de forma que o par T0 / T1, que recebe o sinal vindo do DynBICS, esteja escalonado com o inversor seguinte T4 / T5 na proporção 3:1. Os transistores T2 e T3 são dimensionados de forma a impactar de forma mínima o desempenho em velocidade do par T0 / T1. Por essa razão, T2 tem tamanho mínimo, enquanto T3 é dez vezes mais largo do que T1.

A figura 23 mostra o layout do buffer, elaborado com a ferramenta Layout Editor. Os inversores foram dispostos em linha, com os transistores T10 / T11 e posteriores sendo compostos por transistores do mesmo tamanho ligados em paralelo, a fim de melhor ocupar a área de silício. O par de saída T16 / T17 foi isolado através de anéis de guarda para minimizar a possibilidade da ocorrência de *latch-up*, conforme recomendação da IBM. Todo o circuito é circundado por um anel de guarda, visando evitar que o buffer receba ou provoque

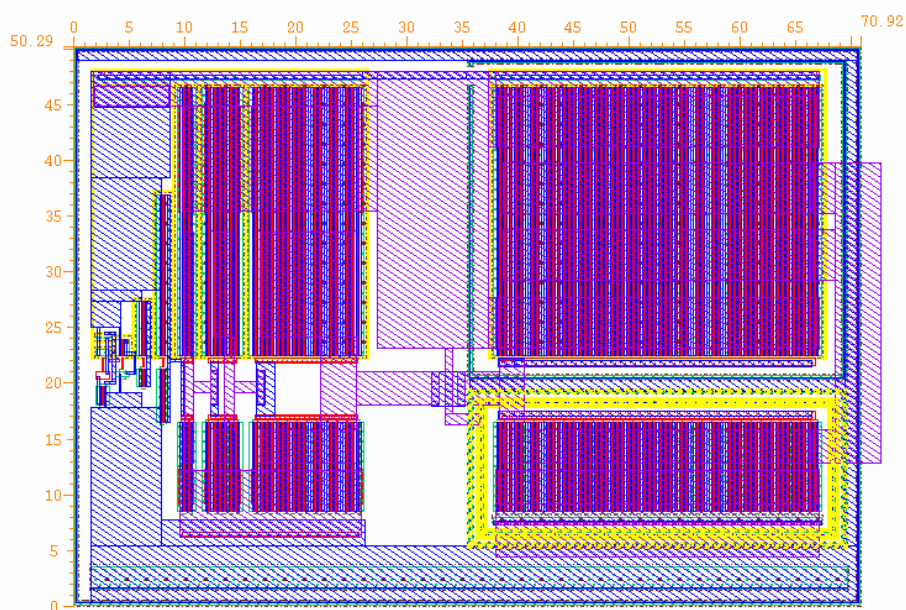


Figura 23 Layout do buffer de saída.

perturbações nos circuitos adjacentes devido às correntes de substrato. As dimensões finais do circuito, medidas externamente ao anel de guarda, são 50,29 μm por 70,92 μm .

5.5 LAYOUT FINAL

O layout final do circuito, enviado para prototipação pelo programa MOSIS, é apresentado na fig. 24. Com o intuito de melhor aproveitar os recursos disponibilizados, dois sensores simplificados, sem célula de memória, conforme (WIRTH, 2007; WIRTH, 2008), foram incluídos no layout final. O próximo capítulo apresenta os resultados obtidos nas simulações efetuadas.

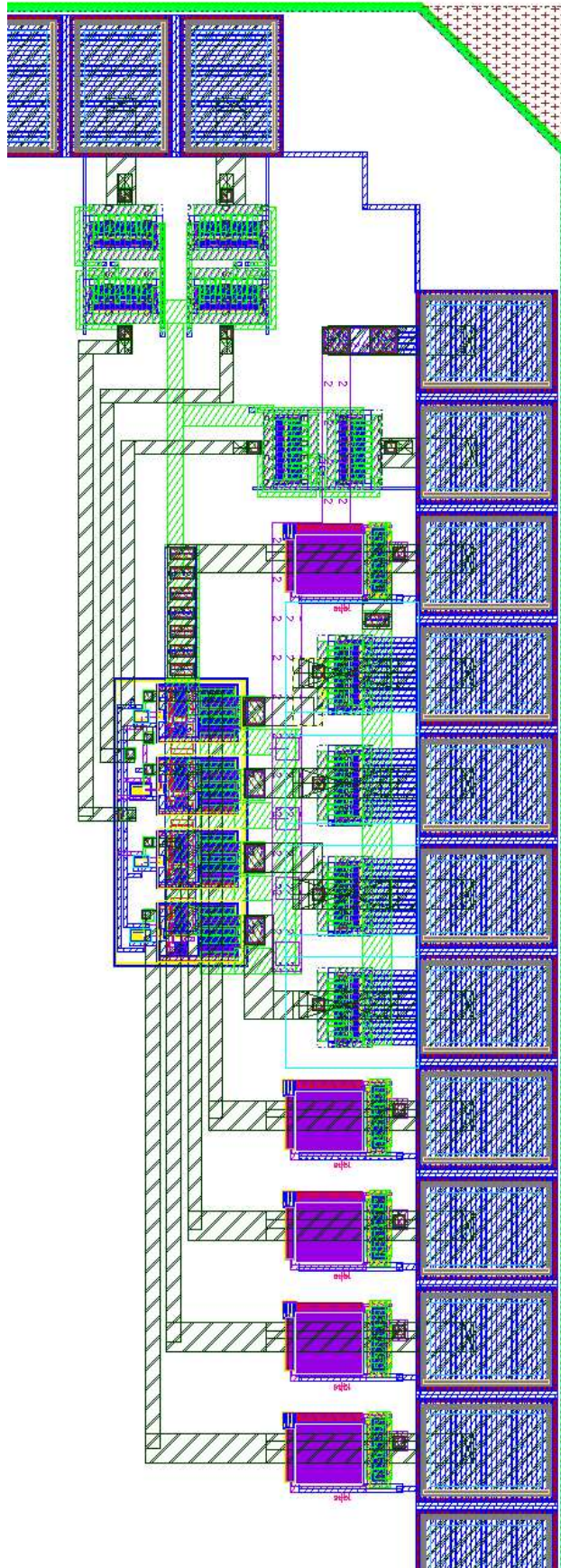


Figura 24 Layout final do circuito enviado para prototipação.

6 RESULTADOS OBTIDOS

Neste capítulo serão apresentados os resultados obtidos através de simulação elétrica mostrando o funcionamento dos sensores Dyn_P e Dyn_N, utilizando o modelamento (view) *av_extracted_C_only_coupled*. Esse modelamento é extraído a partir do layout estabelecido para o circuito, incluindo a contribuição das capacitâncias parasitas introduzidas pelo layout. A opção *coupled* proporciona uma extração mais precisa das capacitâncias parasitas, à custa de um maior tempo de simulação. O uso do modelamento *av_extracted, RC*, que inclui também a contribuição das resistências introduzidas pelo roteamento entre os dispositivos, revelou-se desnecessária em função da diferença não significativa entre os dois resultados. O modelamento *av_extracted, RC* foi, por outro lado, utilizado para avaliar o impacto do roteamento entre os blocos e os pinos externos no desempenho do circuito final enviado para a prototipação.

Primeiramente serão mostrados os resultados dos sensores somente, nas condições de teste utilizadas para o projeto; posteriormente, será mostrada a influência da presença do buffer de saída no circuito final. A influência da largura de pulso T_P e da tensão de alimentação são apresentadas em seguida; o capítulo é finalizado comparando-se os resultados obtidos com os sensores DynBICS em relação à proposta de (ZHANG, 2010).

6.1 SENSOR DYN_P

As simulações individuais executadas para o sensor Dyn_P destinam-se a mostrar o efetivo desempenho do circuito, sem considerar a influência do buffer, permitindo avaliar a total potencialidade do sensor Dyn_P tal como se ele fosse implantado em um circuito comercial. As simulações foram efetuadas excitando-se o circuito com um pulso transitório de $T_P = 20$ ps a uma tensão de alimentação de 1,2 V.

6.1.1 Funcionamento sob pulso de corrente, sem transistor-alvo

A simulação do funcionamento do sensor Dyn_P sem a presença do transistor-alvo destina-se a mostrar o desempenho do circuito desconsiderando a contribuição das capacitâncias parasitas acrescentadas pelo transistor-alvo ao nó *not_bulk*. O circuito de teste é mostrado na figura 25.

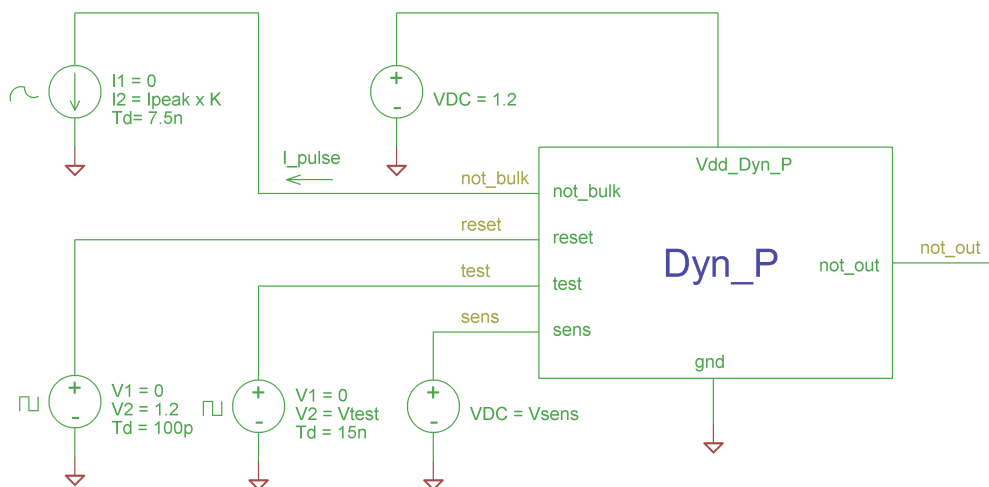


Figura 25 Circuito de teste para o sensor Dyn_P sem a presença do transistor-alvo.

A operação do sensor é mostrada na figura 26. O pulso de corrente transitório I_{pulse} é gerado por uma fonte de corrente dupla exponencial, parametrizada com o valor da corrente de pico I_{peak} e as constantes de tempo τ_r e τ_f . A parametrização da fonte de corrente está pormenorizada no Apêndice. As demais condições de teste estão indicadas na própria figura.

A figura 27 mostra a divisão das correntes nos transistores associados ao nó *not_bulk* conforme o diagrama da figura 18. Da corrente total de pico ($140 \mu\text{A}$) apenas $40 \mu\text{A}$ atravessam efetivamente o transistor T0, conforme pode-se verificar na forma de onda I_{T0_fonte} . O restante da corrente do pulso é proveniente das capacitâncias associadas ao nó *not_bulk*, e isso é confirmado verificando-se que a corrente de dreno de T0 atinge um valor de

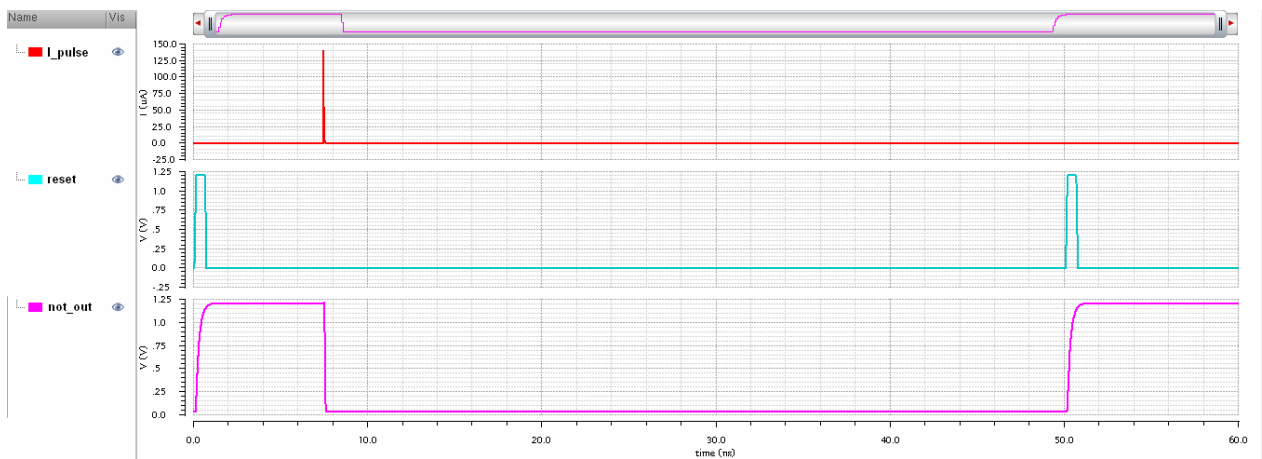


Figura 26 Operação do sensor Dyn_P . Corner TT, 27 °C, Vsens = 0, Vtest = 0, I peak = 150 µA.

pico de 48 µA simultaneamente com o pulso de corrente transitório, enquanto que o pico de corrente de fonte ocorre 25 ps depois. A diferença de 8 µA entre a corrente de dreno e a corrente de fonte de T0 é suprida pela capacitância de dreno de T0. Os demais 92 µA são supridos pelas outras capacitâncias parasitas associadas ao nó *not_bulk* .

Variando-se a corrente de pico da fonte de corrente utilizada para gerar o pulso de corrente transitório, pode-se verificar o comportamento da tensão de saída *not_out*. A figura 28 mostra o resultado obtido para incrementos de 5 µA no parâmetro *Ipeak* , conforme demais condições de teste indicadas.

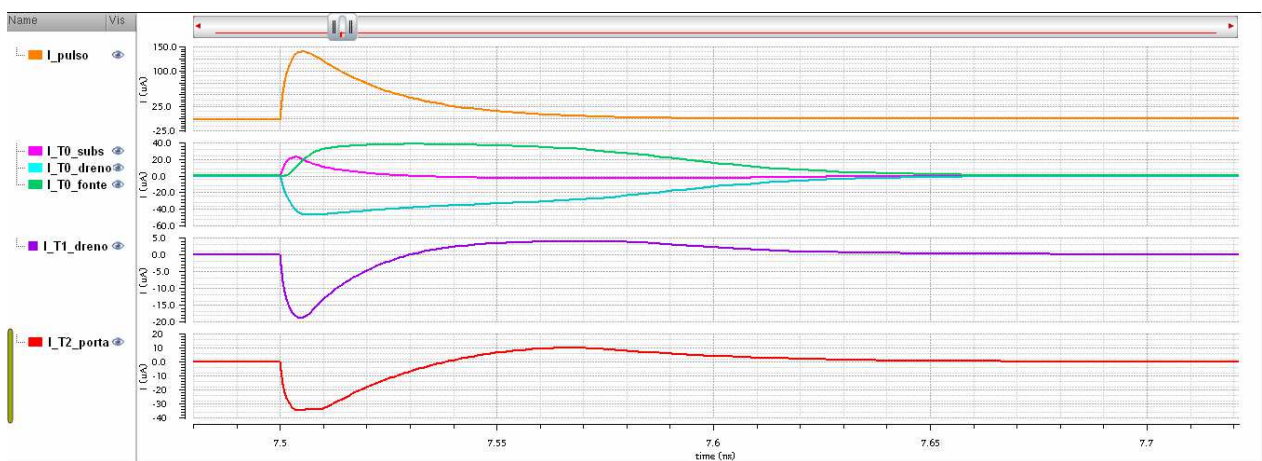


Figura 27 Divisão das correntes entre os transistores associados ao nó *not_bulk* ; corner TT, 27 °C, Vsens = 0, Vtest = 0.

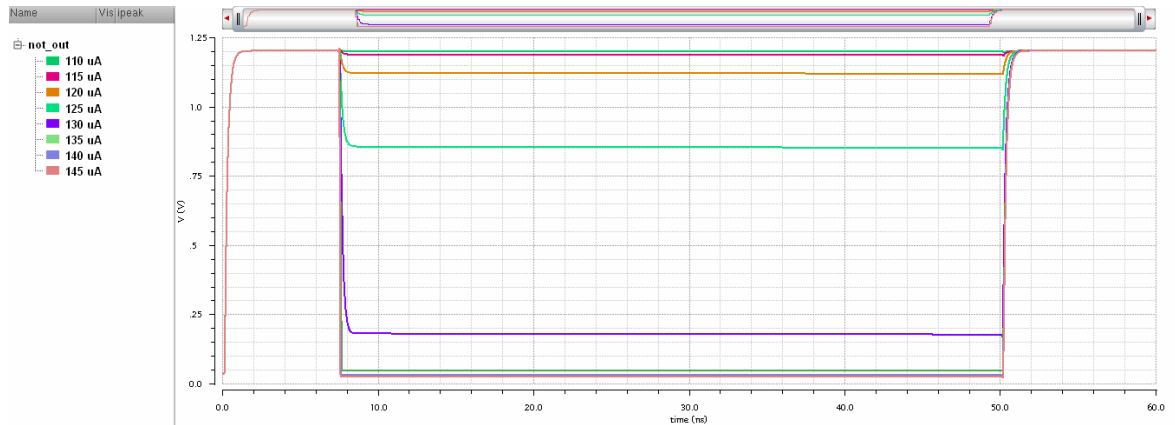


Figura 28 Tensão de saída *not_out* em função do parâmetro *Ipeak*. Corner TT, 27 °C, $V_{sens} = 0$, $V_{test} = 0$.

Observa-se que a tensão de saída responde somente para valores de corrente acima de $110 \mu\text{A}$. Acima de $135 \mu\text{A}$, é notada pouca variação na tensão *not_out* em virtude do transistor T5 encontrar-se em forte condução. No intervalo entre esses valores verifica-se que a tensão *not_out* exibe uma dependência em relação ao valor de pico da corrente transitória.

A sensibilidade do sensor Dyn_P foi avaliada nos corners de processo e temperatura, considerando-se como mínimo valor de corrente capturável aquele onde a tensão de saída *not_out* permanece abaixo do limite estabelecido para nível 0 CMOS, que é menor ou igual a 30% da tensão de alimentação. A fim de levar em consideração a influência das correntes de fuga no processo de armazenamento dinâmico, considerou-se também que o nível lógico deveria se manter dentro da faixa estabelecida no intervalo de 50 ns, correspondente à mínima taxa de repetição de reset escolhida para o projeto. Dentro desses critérios, a tabela 6 apresenta os valores encontrados para a mínima corrente capturável onde a corrente de pico *Ipeak* foi variada em passos de $1 \mu\text{A}$, em função da variação do processo e da temperatura.

6.1.2 Funcionamento sob pulso de corrente, com transistor-alvo

A simulação do funcionamento do sensor Dyn_P com a presença do transistor-alvo destina-se a mostrar o desempenho do circuito considerando a contribuição das capacitâncias

Tabela 6 Mínimas correntes capturáveis em função do processo e da temperatura. $V_{sens} = 0$, $V_{test} = 0$.

Corner de Processo	Mínima corrente de pico a 0 °C, $T_P = 20$ ps	Mínima corrente de pico a 125 °C, $T_P = 20$ ps
FFF	145 μ A	132 μ A
SSF	118 μ A	109 μ A
FS	116 μ A	106 μ A
SF	150 μ A	137 μ A

parasitas acrescentadas pelo transistor-alvo ao nó *not_bulk*. O circuito de teste é mostrado na figura 29.

A operação do circuito com a presença do transistor-alvo não se modifica, a não ser pela alteração nas correntes mínimas capturáveis, cujos valores sofrem majoração em função da capacitância parasita introduzida pela presença do transistor-alvo. A figura 30 mostra a divisão das correntes nos transistores associados ao nó *not_bulk* conforme diagrama mostrado à figura 18, onde T_A é o transistor-alvo. Observa-se que o substrato do transistor-alvo contribui com uma parcela significativa (70 μ A) da corrente do pulso transitório de 340 μ A (TT, 27 °C).

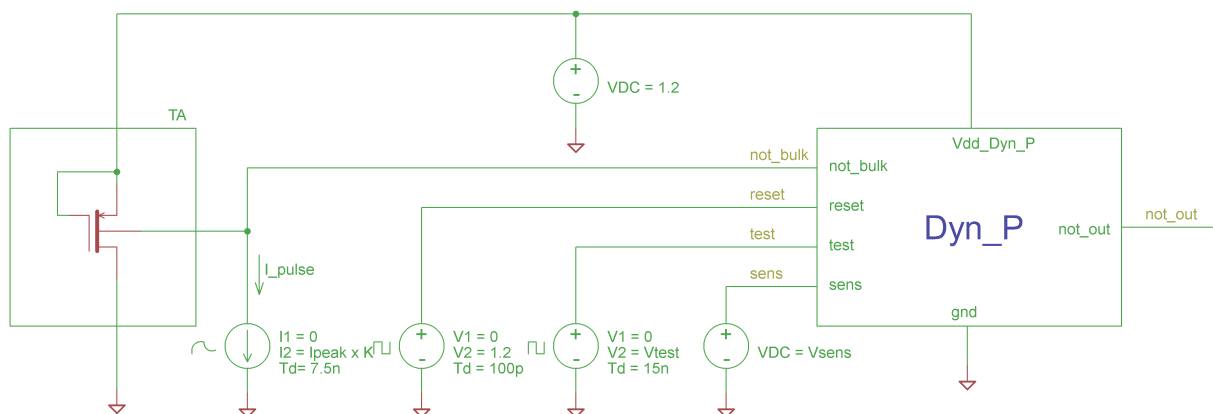


Figura 29 Circuito de teste para o sensor Dyn_P com a presença do transistor-alvo.

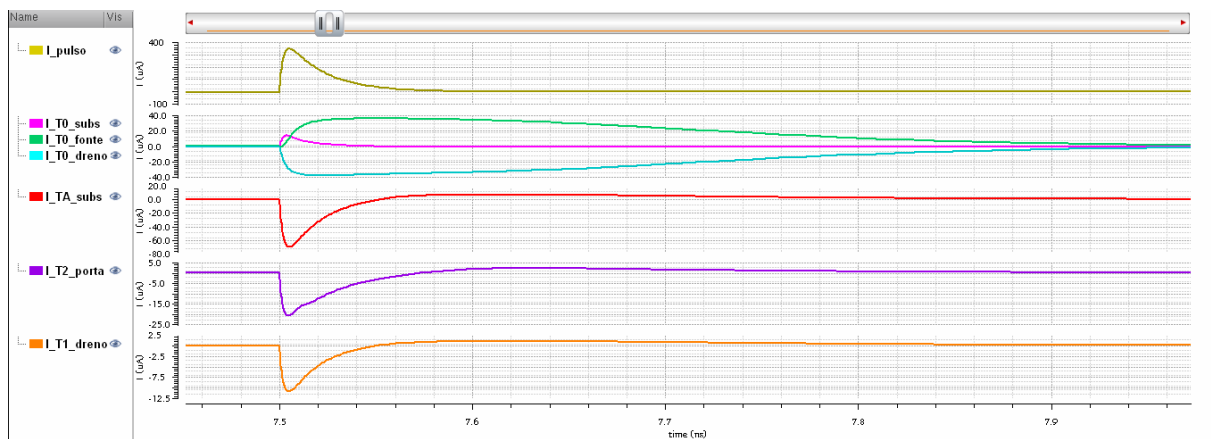


Figura 30 Divisão das correntes entre os transistores associados ao nó *not_bulk* ; corner TT, 27 °C
 $V_{sens} = 0$, $V_{test} = 0$.

Os valores de corrente mínima capturável, obtidos através de simulações executadas sob as mesmas condições utilizadas para a avaliação do sensor Dyn_P sem transistor-alvo são apresentados na tabela 7.

Tabela 7 Mínimas correntes capturáveis em função do processo e da temperatura. $V_{sens} = 0$,
 $V_{test} = 0$.

Corner de Processo	Mínima corrente de pico a 0 °C, $T_P = 20$ ps	Mínima corrente de pico a 125 °C, $T_P = 20$ ps
FFF	344 μ A	308 μ A
SSF	341 μ A	302 μ A
FS	326 μ A	288 μ A
SF	367 μ A	327 μ A

A sensibilidade do circuito pode ser aumentada em certa proporção através do ajuste da tensão de controle V_{sens} . Essa tensão controla o estrangulamento do canal do transistor sensor de corrente T0; para o circuito Dyn_P, um aumento na tensão V_{sens} corresponde a uma redução no valor da corrente mínima capturável pelo circuito. A tensão V_{sens} não pode ser aumentada acima do valor prático de $V_{DD} / 2$, sob pena da resistência do canal de T0

resultar demasiadamente elevada, prejudicando a conexão entre o substrato do transistor-alvo e a fonte de alimentação. Os resultados obtidos para o corner TT, 27° C são mostrados na figura 31, onde pode-se ver que a relação entre a máxima e a mínima corrente capturável, na faixa indicada, é de 1,67 : 1.

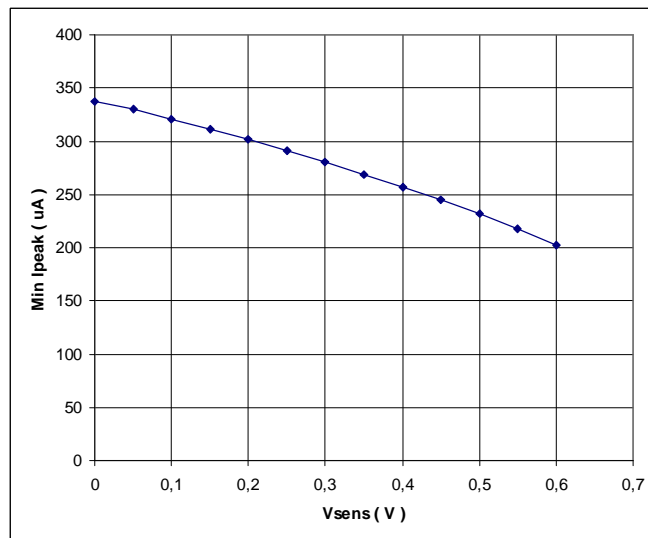


Figura 31 Mínima corrente capturável em função da tensão de controle Vsens; TT, 27° C, Vtest = 0.

6.1.3 Atraso de propagação entre o pulso de corrente transitório e o sinal de saída

Utilizando-se os circuitos das figuras 25 e 29, sob as mesmas condições de teste, encontrou-se os atrasos de propagação T_D entre a ocorrência do pulso de corrente transitório e a correspondente resposta na tensão de saída *not_out*. A medição desse intervalo de tempo foi feita entre os pontos de 50% da corrente de pico e 50% da tensão de alimentação, conforme mostrado na figura 32.

A tabela 8 apresenta os valores obtidos para o tempo de atraso de propagação T_D em função do corner de processo e da temperatura, considerando-se a mínima corrente capturável em cada situação, conforme apresentado nas tabelas 6 e 7. Os valores apresentados na tabela 8

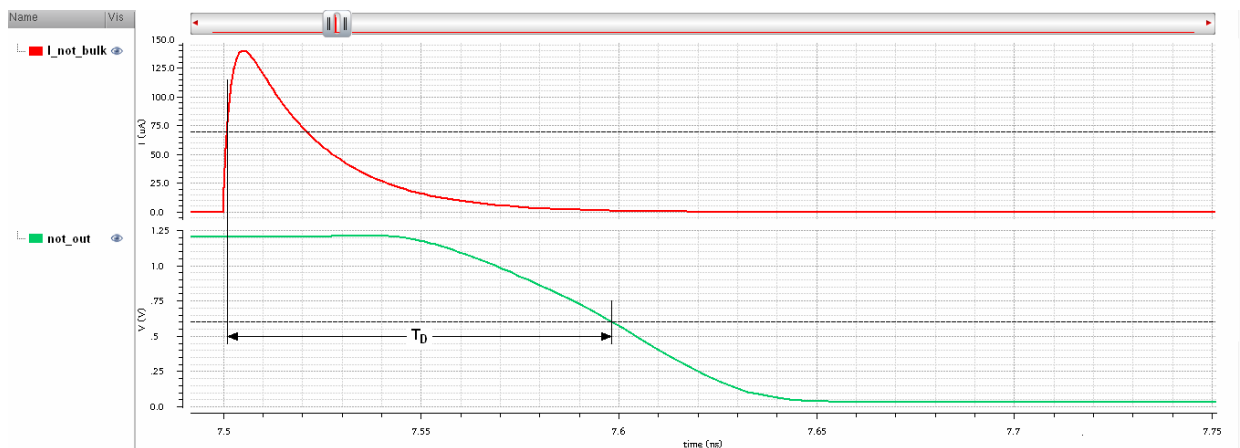


Figura 32 Definição do tempo de atraso de propagação.

Tabela 8 Tempos de atraso de propagação para a mínima corrente capturável em função do corner de processo, da temperatura e do circuito de teste.

Corner de Processo	Tempo de atraso T_D a 0° C		Tempo de atraso T_D a 125° C	
	Sem transistor-alvo	Com transistor-alvo	Sem transistor-alvo	Com transistor-alvo
FFF	116 ps	220 ps	95 ps	168 ps
SSF	382 ps	571 ps	344 ps	711 ps
FS	153 ps	369 ps	146 ps	331 ps
SF	198 ps	344 ps	175 ps	387 ps

representam a situação de pior caso para o tempo de atraso em cada corner, pois o tempo de atraso diminui à medida que o valor de pico da corrente transitória aumenta além do valor mínimo capturável.

A figura 33 mostra o comportamento do tempo de atraso T_D para o circuito com transistor-alvo, corner SSF a 125° C, em função da corrente de pico I_{PEAK} . Pode-se observar que o tempo de atraso de propagação reduz-se rapidamente à medida que a corrente de pico

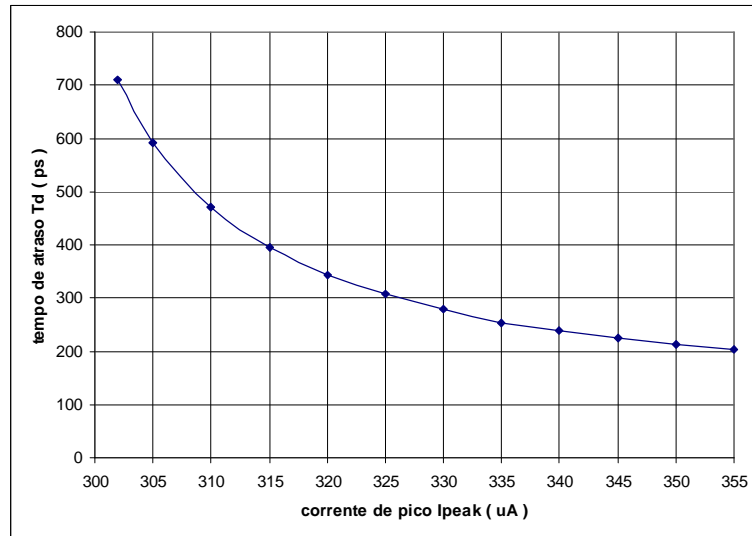


Figura 33 Comportamento do tempo de atraso T_D em função da corrente de pico I_{PEAK} ; corner SSF, 125°C, $T_P = 20$ ps, $V_{sens} = 0$; $V_{test} = 0$.

aumenta além do valor mínimo capturável, convergindo para um valor bastante inferior ao indicado na tabela.

6.1.4 Funcionamento em repouso

O comportamento do circuito Dyn_P em repouso, sem a ocorrência de um pulso de corrente transitório, determina a mínima taxa de repetição de reset. A fim de validar a estabilidade do circuito sob os corners de processo e temperatura, simulou-se o comportamento do circuito Dyn_P com um período de 200 ns entre pulsos de reset. O tempo máximo entre pulsos de reset é determinado pelo momento onde a tensão de saída cai espontaneamente abaixo de 70 % da tensão de alimentação. A figura 34 mostra o comportamento da tensão de saída *not_out* em repouso, para os diversos corners de processo e temperatura. O corner onde ocorre a menor frequência de repetição de reset é o corner SF a 125 °C, para o qual os pulsos de reset devem ser aplicados a cada 178 ns. A presença ou ausência do transistor-alvo não influencia no comportamento em repouso do circuito. Independentemente do corner de processo e da temperatura, o circuito Dyn_P atende com folga o requisito estabelecido em 50 ns para o tempo máximo entre pulsos de reset. O

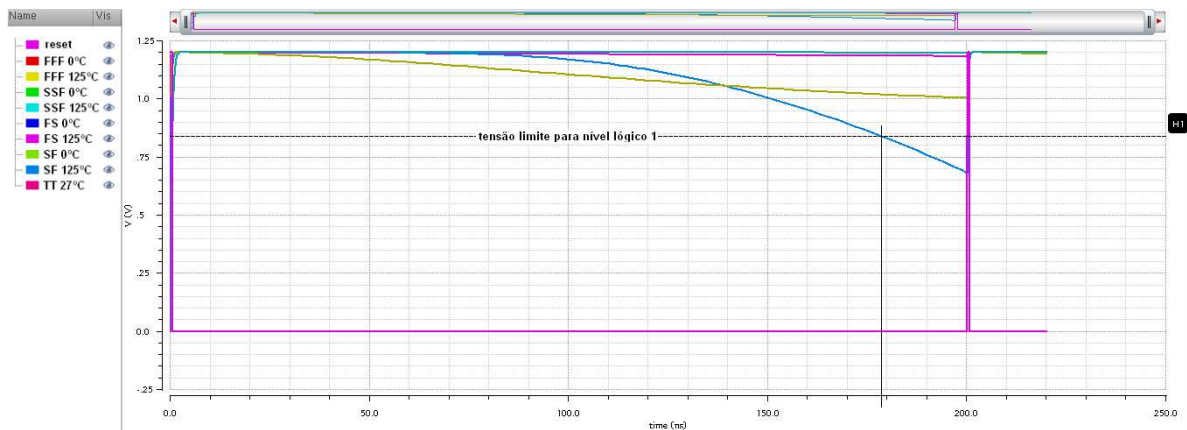


Figura 34 Comportamento da tensão de saída *not_out* em repouso. $V_{sens} = 0$; $V_{test} = 0$.

máximo consumo estático, por sua vez, ocorre no corner FFF a 125°C, onde o consumo do circuito 49,5 ns após a aplicação do pulso de reset é de 437 nA. A maior parte desse consumo é causada pela condução parcial do transistor T5, devido ao progressivo acúmulo de carga na sua porta devido à presença das correntes de fuga em T2, T3 e T5.

6.2 SENSOR DYN_N

As simulações individuais executadas para os sensor Dyn_N também destinam-se a mostrar o efetivo desempenho do circuito, sem considerar a influência do buffer, permitindo avaliar a total potencialidade do sensor Dyn_N tal como se ele fosse implantado em um circuito. As simulações foram efetuadas excitando o circuito com um pulso transitório com $T_p = 20$ ps a uma tensão de alimentação de 1,2 V.

6.2.1 Funcionamento sob pulso de corrente, sem transistor-alvo

A simulação do funcionamento do sensor Dyn_N sem a presença do transistor-alvo destina-se a mostrar o desempenho do circuito desconsiderando a contribuição das capacitâncias parasitas acrescentadas pelo transistor-alvo ao nó *bulk*. O circuito de teste é mostrado na figura 35. A operação do sensor é mostrada na figura 36. Tal como para o sensor

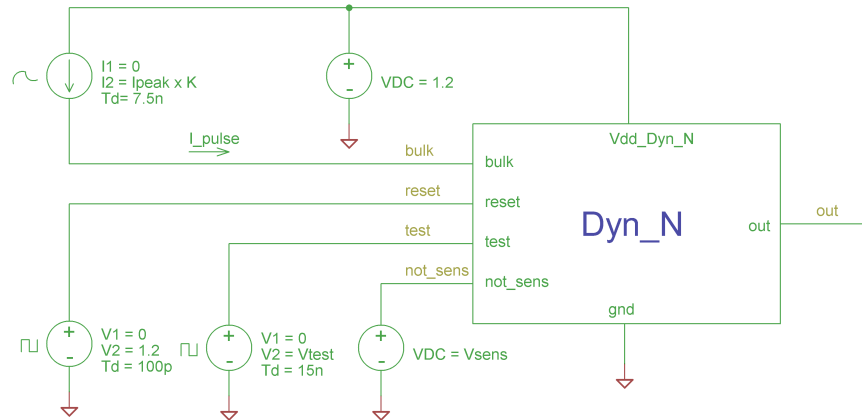


Figura 35 Circuito de teste para o sensor Dyn_N sem a presença do transistor-alvo.

Dyn_P, o pulso de corrente transitório I_{pulse} é gerado por uma fonte de corrente dupla exponencial, parametrizada com o valor da corrente de pico I_{peak} e as constantes de tempo τ_r e τ_f . A parametrização da fonte de corrente está pormenorizada no Apêndice. As demais condições de teste estão indicadas na própria figura.

Variando-se a corrente de pico da fonte de corrente utilizada para gerar o pulso de corrente transitório, pode-se verificar o comportamento da tensão de saída out . A figura 37 mostra o resultado obtido para incrementos de $5 \mu A$ no parâmetro I_{peak} , conforme demais condições de teste indicadas.

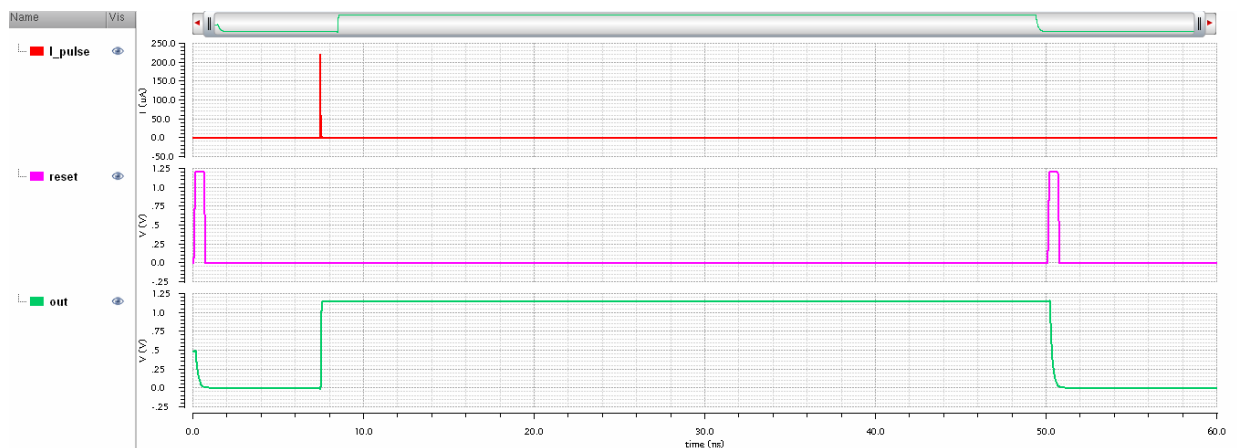


Figura 36 Operação do sensor Dyn_N . Corner TT, 27 °C, $V_{not_sens} = 1.2 \text{ V}$, $V_{test} = 0$, $I_{peak} = 220 \mu A$.

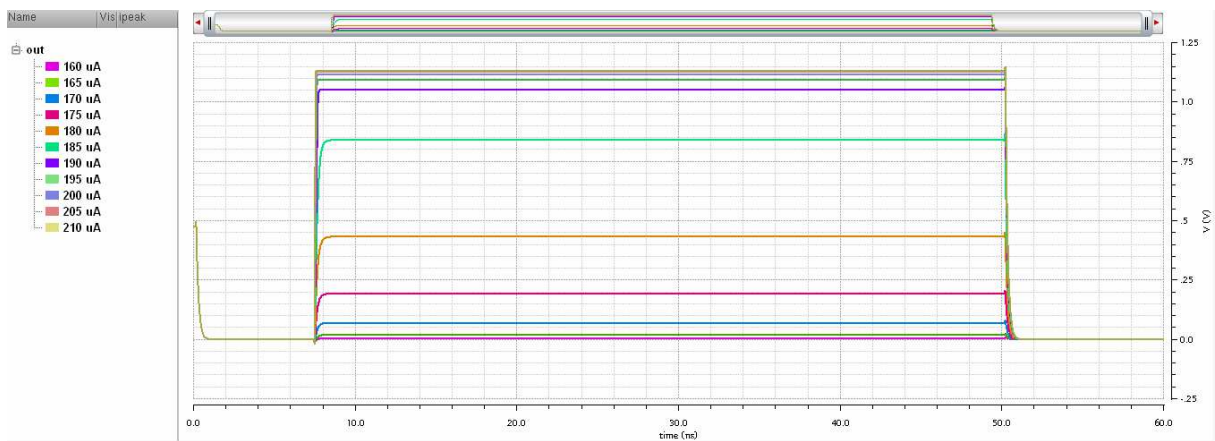


Figura 37 Tensão de Tensão de saída *out* em função do parâmetro *Ipeak*. Corner TT, 27 °C, $V_{not_sens} = 1.2\text{ V}$, $V_{test} = 0$.

Tal como para o sensor Dyn_P, observa-se que a tensão de saída excursions por valores que representam níveis lógicos indefinidos entre os limites de não-deteccção e plena deteccção exibindo uma dependência em relação ao valor de pico da corrente transitória. Conforme apresentado na figura, abaixo de 160 μA não se observa a resposta do sensor. Acima de 190 μA nota-se que a tensão de saída *out* varia muito pouco, em virtude do transistor T5 encontrar-se em forte condução.

A sensibilidade do sensor Dyn_N também foi avaliada nos corners de processo e temperatura, considerando-se como mínimo valor de corrente capturável aquele onde a tensão de saída *out* permanece abaixo do limite estabelecido para nível 1 CMOS, que é maior ou igual a 70% da tensão de alimentação. A tabela 9 apresenta os valores encontrados para a mínima corrente capturável onde a corrente de pico *Ipeak* foi variada em passos de 1 μA , em função da variação do processo e da temperatura. A fim de levar em consideração a influência das correntes de fuga no processo de armazenamento dinâmico, considerou-se também que o nível lógico deveria se manter dentro da faixa estabelecida no intervalo de 50 ns, correspondente ao máximo período de repetição de reset escolhido.

Tabela 9 Mínimas correntes capturáveis em função do processo e da temperatura. $V_{not_sens} = 0$, $V_{test} = 0$

Corner de Processo	Mínima corrente de pico a 0 °C, $T_P = 20$ ps	Mínima corrente de pico a 125 °C, $T_P = 20$ ps
FFF	224 μ A	172 μ A
SSF	156 μ A	139 μ A
FS	222 μ A	180 μ A
SF	170 μ A	143 μ A

6.2.2 Funcionamento sob pulso de corrente, com transistor-alvo

A simulação do funcionamento do sensor Dyn_N com a presença do transistor-alvo destina-se a mostrar o desempenho do circuito considerando a contribuição das capacitâncias parasitas acrescentadas pelo transistor-alvo ao nó *bulk*. O circuito de teste é mostrado na figura 38.

A presença do transistor-alvo modifica as correntes mínimas capturáveis, cujos valores sofrem majoração em função da capacitância parasita introduzida pela presença do transistor-alvo. Os valores de corrente mínima capturável, obtidos através de simulações executadas sob as mesmas condições utilizadas para a avaliação do sensor Dyn_N sem transistor-alvo, são

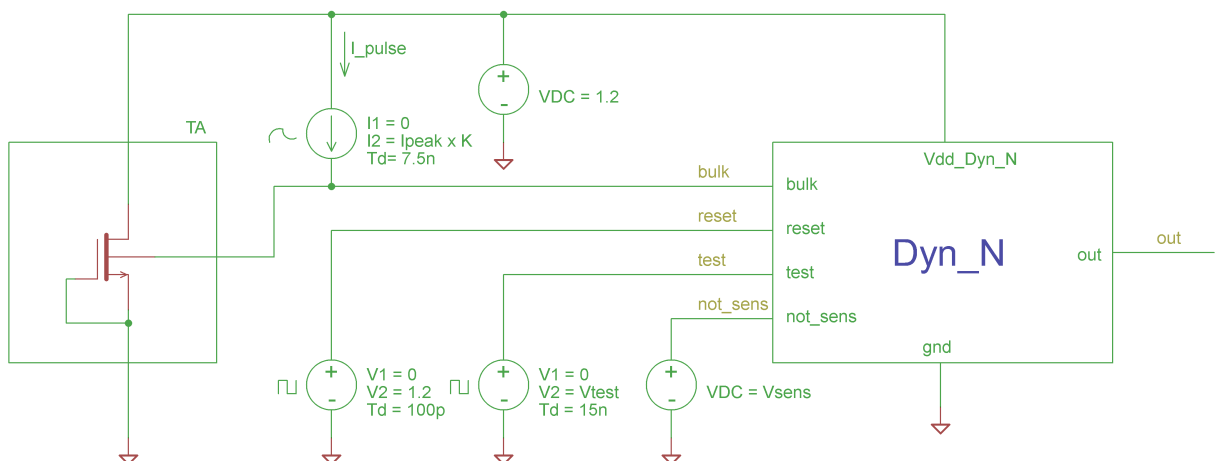


Figura 38 Circuito de teste para o sensor Dyn_N com a presença do transistor-alvo.

apresentados na tabela 10. Comparando-se as tabelas 6 e 7 com as tabelas 9 e 10 verifica-se que o impacto da presença do transistor-alvo é muito maior no sensor Dyn_N do que no sensor Dyn_P. Em ambos os sensores, o maior impacto ocorre no corner SSF a 0° C, com uma relação de correntes mínimas capturáveis com transistor-alvo / sem transistor-alvo de 2,89 para o sensor Dyn_P e de 4,52 para o sensor Dyn_N.

Essa diferença pode ser atribuída à maior capacitância parasita adicionada pelo poço do transistor-alvo NMOS. Embora os transistores-alvo PMOS e NMOS tenham as mesmas dimensões W e L, a área de poço do transistor NMOS é de 11,89 μm^2 enquanto que a área de

Tabela 10 Mínimas correntes capturáveis em função do processo e da temperatura. $V_{\text{not_sens}} = 1.2 \text{ V}$, $V_{\text{test}} = 0$

Corner de Processo	Mínima corrente de pico a 0 °C, $T_P = 20 \text{ ps}$	Mínima corrente de pico a 125 °C, $T_P = 20 \text{ ps}$
FFF	684 μA	549 μA
SSF	706 μA	617 μA
FS	726 μA	608 μA
SF	686 μA	588 μA

poço do transistor PMOS é de apenas 3,78 μm^2 . Sendo a capacitância parasita do poço proporcional à área do mesmo, conclui-se que a diferença nos impactos é plenamente justificada. Por último, uma análise das tabelas 7 e 10 mostra que a relação entre a maior e a menor corrente capturável é de 1,27:1 para o sensor Dyn_P e de 1,32:1 para o sensor Dyn_N. Conclui-se, assim, que a influência do processo e da temperatura afeta a sensibilidade de ambos os sensores na mesma proporção.

A tensão de controle $V_{\text{not_sens}}$ permite controlar a sensibilidade do sensor Dyn_N em certa proporção, controlando o estrangulamento do canal do transistor sensor de corrente T0. Para o circuito Dyn_N, uma redução na tensão $V_{\text{not_sens}}$ corresponde a uma redução na

corrente mínima capturável pelo circuito. A tensão V_{not_sens} não pode ser reduzida abaixo do valor prático de $V_{DD} / 2$, sob pena da resistência do canal de T0 resultar demasiadamente elevada, prejudicando a conexão entre o substrato do transistor-alvo e a fonte de alimentação. Os resultados obtidos para o corner TT, 27° C são mostrados na figura 39.

6.2.3 Atraso de propagação entre o pulso de corrente transitório e o sinal de saída

Utilizando-se os circuitos das figuras 35 e 38, sob as mesmas condições de teste já indicadas, encontrou-se os atrasos de propagação T_D entre a ocorrência do pulso de corrente transitório e a correspondente resposta na tensão de saída *not_out*. A medição desse intervalo de tempo foi feita entre os pontos de 50% da corrente de pico e 50% da tensão de alimentação, conforme já mostrado na figura 32, considerando-se que, agora, o pulso de saída é ascendente. A tabela 11 apresenta os valores obtidos para o tempo de atraso de propagação T_D em função do corner de processo e da temperatura, considerando-se a mínima corrente capturável em cada situação, conforme apresentado nas tabelas 9 e 10. Os valores apresentados na tabela 11 representam a situação de pior caso para o tempo de atraso em cada corner, pois o tempo de atraso diminui à medida que o valor de pico da corrente transitória

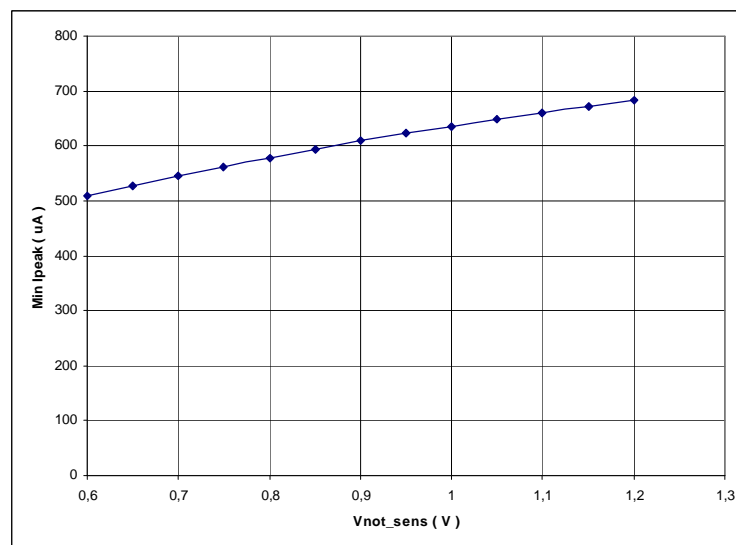


Figura 39 Mínima corrente capturável em função da tensão de controle V_{not_sens} ; TT, 27° C, $V_{test} = 0$.

Tabela 11 Tempos de atraso de propagação para a mínima corrente capturável em função do corner de processo, da temperatura e do circuito de teste.

Corner de Processo	Tempo de atraso T_D a 0° C		Tempo de atraso T_D a 125° C	
	Sem transistor-alvo	Com transistor-alvo	Sem transistor-alvo	Com transistor-alvo
FFF	144 ps	194 ps	161 ps	277 ps
SSF	362 ps	487 ps	332 ps	635 ps
FS	149 ps	236 ps	244 ps	346 ps
SF	159 ps	335 ps	177 ps	397 ps

aumenta além do valor mínimo capturável. A figura 40 mostra o comportamento do tempo de atraso T_D para o circuito com transistor-alvo, corner SSF a 125° C, em função da corrente de pico I_{PEAK} . Pode-se ver que o tempo de atraso de propagação entre a ocorrência do pulso de corrente transitório e a correspondente resposta do circuito é sensivelmente reduzido à medida que a corrente de pico aumenta além do valor da mínima corrente capturável. Esse comportamento se repete para todos os corners de processo e temperatura, razão pela qual os tempos de atraso apresentados representam a situação de pior caso.

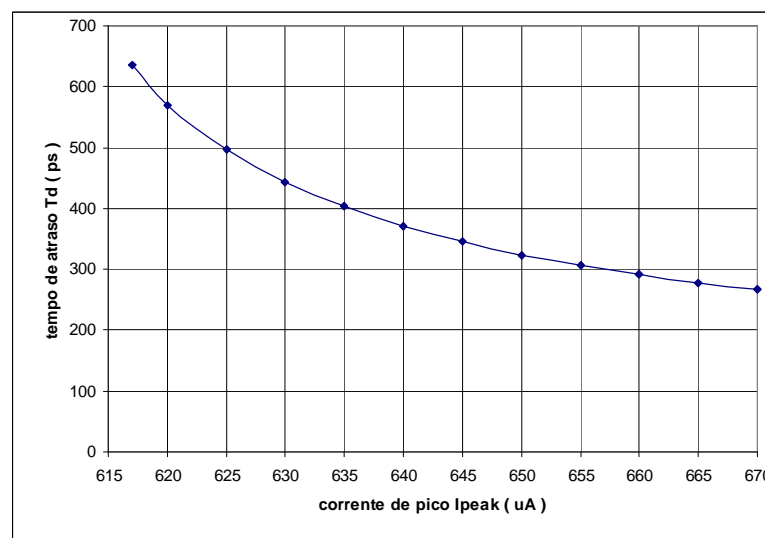


Figura 40 Comportamento do tempo de atraso T_D em função da corrente de pico I_{PEAK} ; corner SSF, 125°C, $T_P = 20$ ps, $V_{not_sens} = 1.2$ V; $V_{test} = 0$.

6.2.4 Funcionamento em repouso

O comportamento do circuito Dyn_N em repouso, sem a ocorrência de um pulso de corrente transitório, determina a mínima frequência de repetição de reset. A fim de validar a estabilidade do circuito sob os corners de processo e temperatura, simulou-se o comportamento do circuito Dyn_N com um período de 200 ns entre pulsos de reset. O tempo máximo entre pulsos de reset é determinado pelo momento onde a tensão de saída aumenta espontaneamente acima de 30 % da tensão de alimentação. A figura 41 mostra o comportamento da tensão de saída *out* em repouso, para os diversos corners de processo e temperatura.

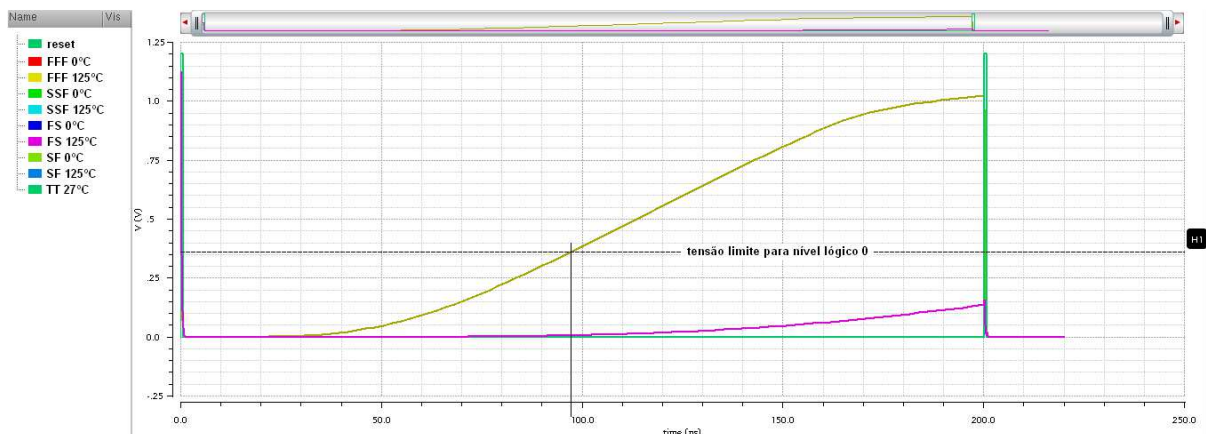


Figura 41 Comportamento da tensão de saída *out* em repouso. $V_{sens} = 1,2 \text{ V}$; $V_{test} = 0$.

O corner que estabelece a menor taxa de repetição de reset é o corner FFF a 125 °C, para o qual os pulsos de reset devem ser aplicados a cada 97 ns. Novamente, a presença ou ausência do transistor-alvo não influencia no comportamento em repouso do circuito.

Independentemente do corner de processo e da temperatura, o circuito Dyn_N também atende com folga o requisito estabelecido em 50 ns para o tempo máximo entre pulsos de reset. O máximo consumo estático também ocorre no corner FFF a 125°C, onde o consumo do circuito, 49,5 ns após a aplicação do sinal de reset, é de 1,37 μA . Novamente, a maior parte

desse consumo é causada pela condução parcial do transistor T5, devido ao acúmulo progressivo de carga em sua porta.

6.3 CIRCUITOS DYN_P E DYN_N COM BUFFER DE SAÍDA

6.3.1 Funcionamento do buffer de saída

O circuito de teste para a simulação do circuito do buffer é mostrado na figura 42. A carga imposta à saída é representada por uma resistência de 10 M Ω em paralelo com uma capacitância de 20 pF. O propósito dessa carga é o de simular a presença da ponteira de prova, acrescida das capacitâncias parasitas associadas ao pad interno ao chip e ao pino de conexão externa do circuito integrado. A figura 43 mostra as formas de onda de entrada e saída para a operação típica a 27 °C. As formas de onda de entrada e saída são detalhadas na figura 44.

A tabela 12 apresenta os diversos tempos de atraso de propagação T_D para os vários corners de processo e temperatura, medidos entre os pontos $V_{INPUT} = 600$ mV e $V_{OUTPUT} = 600$ mV da figura 44. A função de transferência do buffer é mostrada na figura 45, onde se verifica que a transição entre os níveis 0 e 1 ocorre num intervalo de tensão de entrada de apenas 25 mV, independentemente do corner de processo e da temperatura.

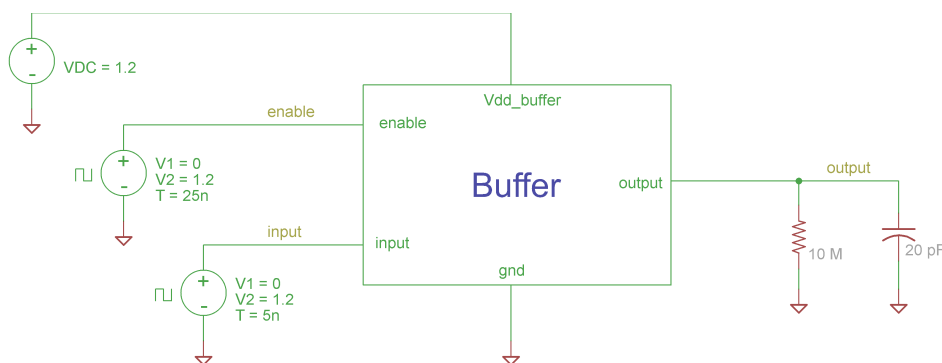


Figura 42 Circuito de teste para o buffer.

Tabela 12 Tempos de atraso de propagação em função do corner de processo e da temperatura

Corner de Processo	Temperatura (° C)	Atraso de Propagação (ps)	
		Transição 0 → 1	Transição 1 → 0
TT	27	285	286
FFF	0	188	204
SSF	0	434	410
FS	0	279	290
SF	0	283	278
FFF	125	216	233
SSF	125	501	469
FS	125	319	332
SF	125	325	318

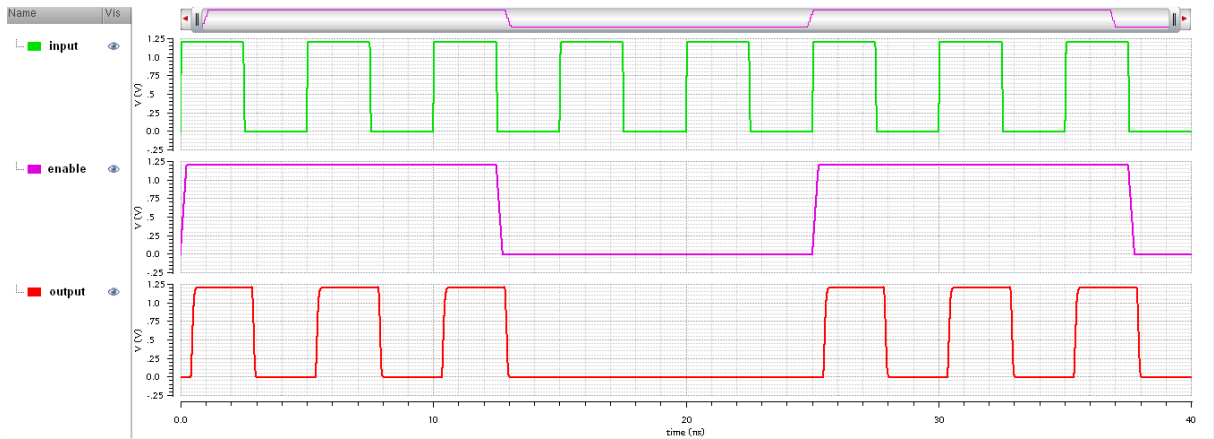


Figura 43 Formas de onda de teste, mostrando as entradas e a saída.

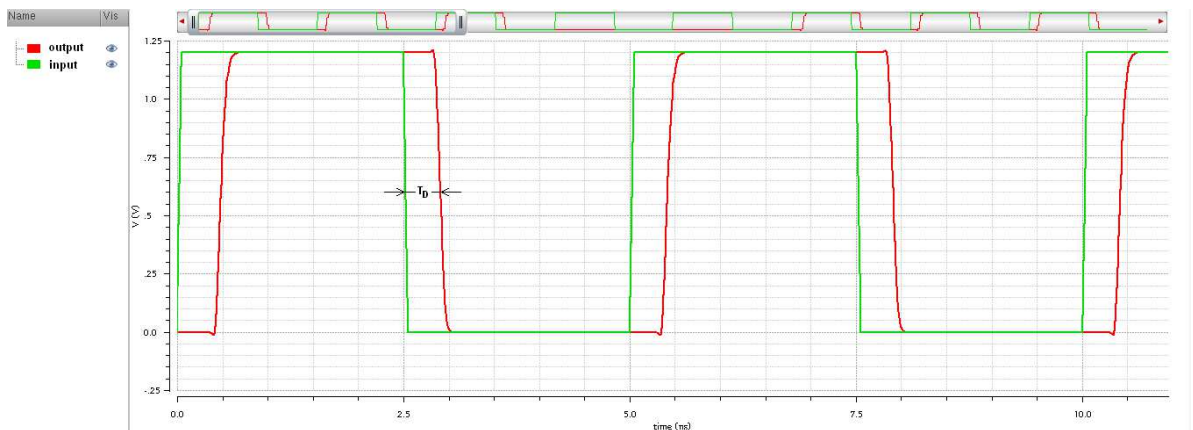


Figura 44 Formas de onda de entrada e saída, TT, 27° C.

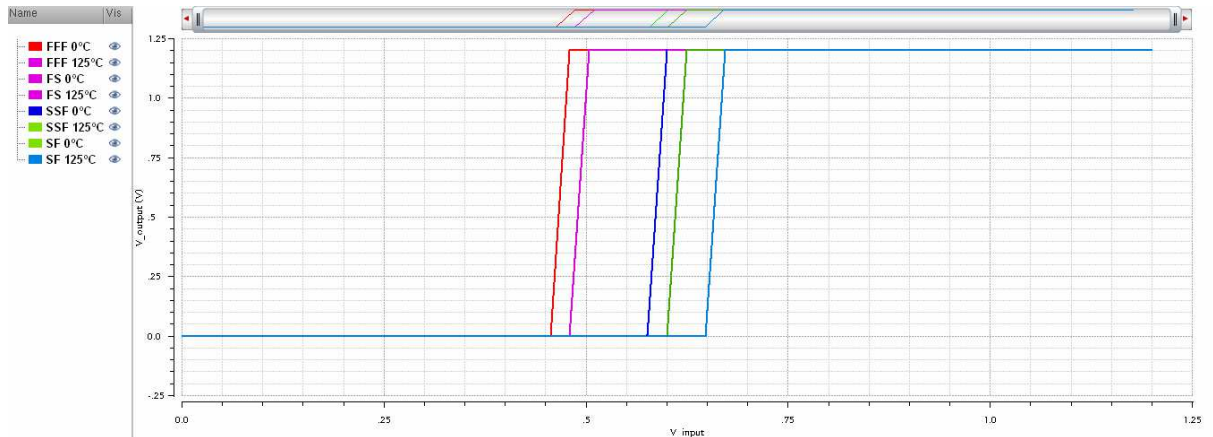


Figura 45 Função de transferência do buffer, em função do corner de processo e da temperatura.

6.3.2 Influência do buffer de saída no funcionamento dos sensores Dyn_P e Dyn_N

A presença do buffer de saída não é necessária para o funcionamento dos sensores DynBICS. Entretanto, visto que os sensores são implementados na forma de um circuito integrado para posterior ensaio sob irradiação, torna-se necessário amplificar a corrente de saída dos sensores de modo a permitir a conexão de uma ponta de prova ao circuito. As dimensões dos transistores utilizados nos sensores não permitem a conexão direta de uma ponta de prova às saídas *out* e *not_out* sem que a velocidade de excursão do sinal de saída fique severamente comprometida. Assim, o buffer age como um meio de compatibilizar a alta impedância de saída dos sensores DynBICS com a impedância essencialmente capacitiva da ponta de prova do instrumento que vai monitorar o sinal presente no pino de saída.

A presença do buffer impacta o desempenho dos sensores no tocante ao atraso de propagação que ocorre entre a ocorrência do pulso de corrente transitório e a correspondente resposta na saída do buffer, pois deve-se acrescer o atraso introduzido pelo buffer ao atraso do próprio sensor. Além disso, a capacitância de entrada do buffer reduz a velocidade de excursão dos sinais de saída *out* e *not_out*. Esse aumento no atraso de propagação não é importante do ponto de vista do circuito integrado protótipo, pois o que se busca é a

comprovação da sensibilização dos sensores sob irradiação e, não, utilizar o sinal de saída para ativar um mecanismo de recomputação, para o qual o tempo de resposta é importante.

O ganho proporcionado pela cadeia de inversores existente no buffer propicia uma pequena melhoria na sensibilidade dos sensores, ao mesmo tempo que atenua sensivelmente o comportamento proporcional à corrente de pico que os sinais *out* e *not_out* exibem quando a corrente transitória apresenta um valor de pico intermediário entre a não-deteção e a plena deteção. O limiar de decisão no valor de I_{peak} passa a ser tão pequeno como $1 \mu\text{A}$, conforme mostram as figuras 46 e 47.

Com a presença do buffer, os níveis lógicos na saída passam a ser definidos pelos limites estabelecidos pela curva de transferência do buffer e, não mais, pelos limites teóricos

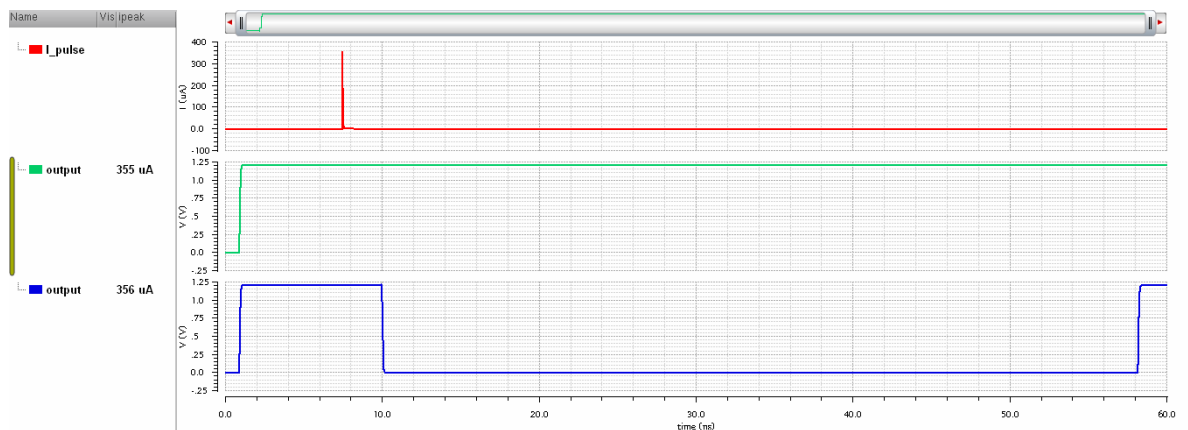


Figura 46 Comportamento da saída output; buffer + sensor Dyn_P, SF, 0° C.

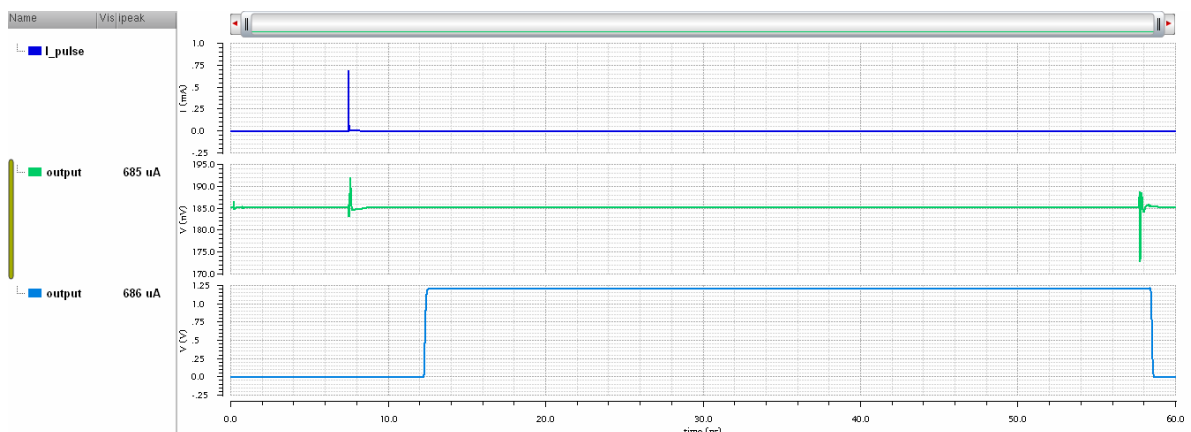


Figura 47 Comportamento da saída output; buffer + sensor Dyn_N, FS, 0° C.

(nível 0: $V \leq 30\% V_{DD}$, nível 1: $V \geq 70\% V_{DD}$) aplicados aos sinais *out* e *not_out*. Com isso, há um aumento aparente na sensibilidade dos sensores, o qual é devido simplesmente pela mudança no critério de decisão na atribuição do nível lógico da saída. A tabela 13 mostra a alteração ocorrida nos valores limites de detecção (melhor e pior caso), simulados em passos de $1 \mu\text{A}$, para os circuitos com transistor-alvo, com e sem a presença do buffer.

Tabela 13 Variação dos valores limites mínimos de detecção; $T_P = 20 \text{ ps}$

Corner	Dyn_P		Dyn_N	
	sem buffer	com buffer	sem buffer	com buffer
SF, 0°C	367 μA	356 μA		
FS 125°C	288 μA	277 μA		
FFF 125°C			549 μA	524 μA
FS 0°C			726 μA	686 μA

A mudança no critério de decisão para a atribuição do nível lógico na saída é evidenciada tendo como exemplo o sensor Dyn_N na simulação do corner FS, 0°C. O menor valor capturável, sem a presença do buffer, foi estabelecido em $726 \mu\text{A}$ com o critério nível 1: $V_{OUT} \geq 70\% V_{DD}$ (840 mV). Com a presença do buffer, o limiar de decisão ($V_{IN} = 50\%$ de V_{DD}) passa a ser 490 mV aproximadamente, conforme a figura 45. Com essa mudança, o mínimo valor capturável é reduzido para $686 \mu\text{A}$; uma diferença de $40 \mu\text{A}$.

6.4 COMPORTAMENTO DOS SENSORES DYNBICS SOB OUTRAS CONDIÇÕES DE TESTE

É conveniente verificar o funcionamento dos sensores DynBICS sob condições de teste diferentes daquelas estabelecidas para o projeto ($V_{DD} = 1,2 \text{ V}$; $T_P = 20 \text{ ps}$), a fim de poder avaliar a influência da tensão de alimentação e da largura de pulso T_P da corrente transitória no desempenho dos sensores desenvolvidos. Para tanto, variando-se esses dois parâmetros, efetuou-se simulações com os circuitos Dyn_P e Dyn_N, sem buffer, com transistor-alvo, para os corners de maior e menor sensibilidade em cada caso.

6.4.1 Sensibilidade em função da largura de pulso T_P

Utilizando-se os circuitos de teste das figuras 29 e 38, com $V_{DD} = 1,2\text{ V}$, simulou-se o funcionamento dos sensores Dyn_P e Dyn_N sob diferentes larguras de pulso. Os resultados são mostrados nas figuras 48 e 49.

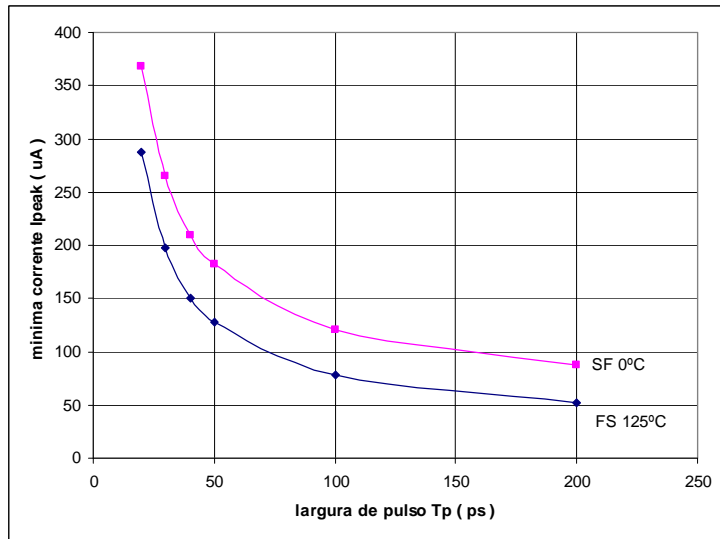


Figura 48 Mínima corrente capturável em função da largura de pulso T_P para o sensor Dyn_P; $V_{sens} = 0$; $V_{test} = 0$.

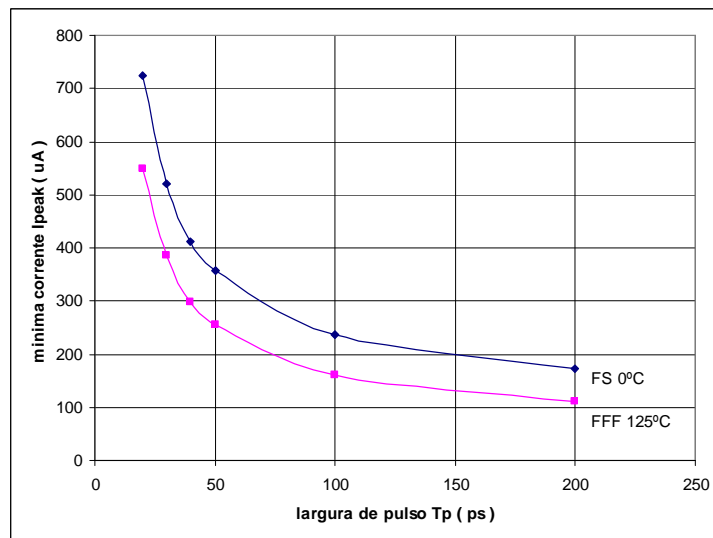


Figura 49 Mínima corrente capturável em função da largura de pulso T_P para o sensor Dyn_N; $V_{sens} = 1,2\text{ V}$; $V_{test} = 0$.

Os resultados mostram que a sensibilidade dos sensores DynBICS é fortemente influenciada pela largura de pulso T_p . A grande variação na sensibilidade dos circuitos para pulsos mais curtos do que 50 ps evidencia que o pulso de corrente transitório necessita, primeiramente, descarregar a capacitância parasita de poço até a tensão de limiar do transistor T2, para que o processo de armazenagem dinâmica possa ser ativado.

6.4.2 Influência da tensão de alimentação

A influência da tensão de alimentação foi investigada para uma variação de 10% na tensão de alimentação (limites 1,08 V e 1,32 V), considerando-se os corners onde a sensibilidade apresentou os valores máximo e mínimo. Embora a variação típica de uma fonte de alimentação seja de apenas +- 5 %, optou-se por uma variação maior a fim de verificar a robustez dos circuitos. Os circuitos de teste são aqueles mostrados nas figuras 29 e 38, onde os critérios de decisão para o nível lógico nas saídas *not_out* e *out* foram nível 0: $V \leq 30\% V_{DD}$ e nível 1: $V \geq 70\% V_{DD}$ (324 mV e 756 mV para $V_{DD} = 1,08$ V; 396 mV e 924 mV para $V_{DD} = 1,08$ V). A tabela 14 e as figuras 50 e 51 mostram os resultados obtidos. A largura de pulso foi mantida em 20 ps; as demais condições de teste estão descritas nas figuras.

Tabela 14 Mínima corrente capturável Ipeak em função do corner de processo, da temperatura e da tensão de alimentação

Circuito	Corner	Min Ipeak @ $V_{DD} = 1,08$ V	Min Ipeak @ $V_{DD} = 1,2$ V	Min Ipeak @ $V_{DD} = 1,32$ V	$\frac{\Delta I_{peak}}{I_{peak_{1,2V}}} \times 100\%$
Dyn_P	FS 125°C	278 μ A	288 μ A	297 μ A	6,6 %
	SF 0°C	347 μ A	367 μ A	386 μ A	10,6 %
Dyn_N	FFF 125°C	564 μ A	549 μ A	536 μ A	5,1 %
	FS 0°C	739 μ A	726 μ A	713 μ A	3,6 %

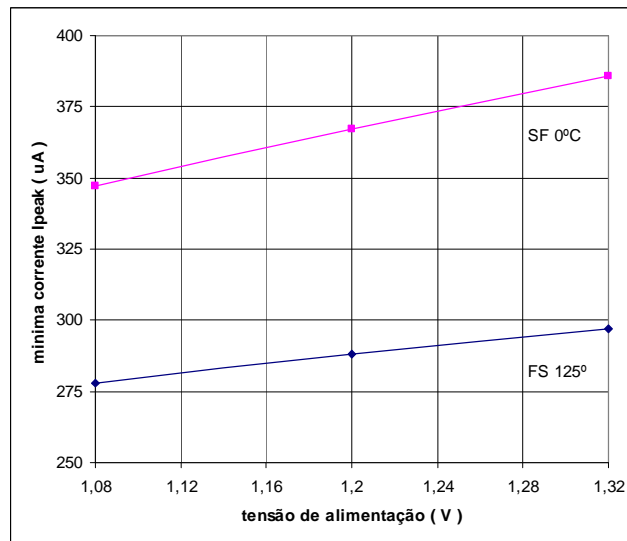


Figura 50 Mínima corrente Ipeak capturável em função da tensão de alimentação para o sensor Dyn_P. Vsens = 0; Vtest = 0.

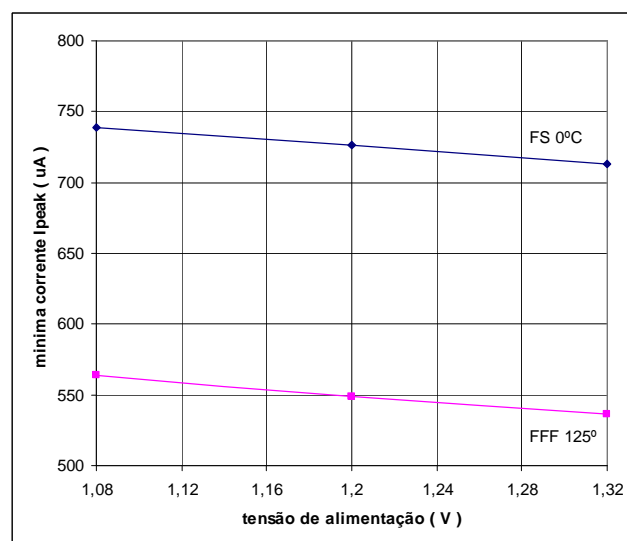


Figura 51 Mínima corrente Ipeak capturável em função da tensão de alimentação para o sensor Dyn_N. Vsens = 1,2 V; Vtest = 0.

Observa-se que a máxima variação na sensibilidade ocorre para o sensor Dyn_P no corner SF a 0°C. Não obstante, a influência da tensão de alimentação na sensibilidade é reduzida, revelando uma variação menor do que a correspondente variação na tensão de alimentação. A tensão de alimentação influi também na taxa de repetição de reset, conforme mostram as figuras 52 e 53. Para o sensor Dyn_P, na situação de pior corner (SF, 125°C), o

tempo limite de retenção, além do qual a saída ultrapassa o limiar de decisão do nível lógico, é de 193 ns para $V_{DD} = 1,08$ V e 165 ns para $V_{DD} = 1,32$ V. Para o sensor Dyn_N, cujo pior corner em repouso é o FFF a 125°C, esses períodos mínimos passam para 114 ns a $V_{DD} = 1,08$ V e 83 ns a $V_{DD} = 1,32$ V. Em nenhuma das situações os circuitos deixam de atender o período máximo de repetição de reset de 50 ns. Conclui-se que, tanto com respeito à sensibilidade, quanto ao funcionamento em repouso, uma variação de +/- 10% na tensão de alimentação não descaracteriza a operação dos sensores Dyn_P e Dyn_N.

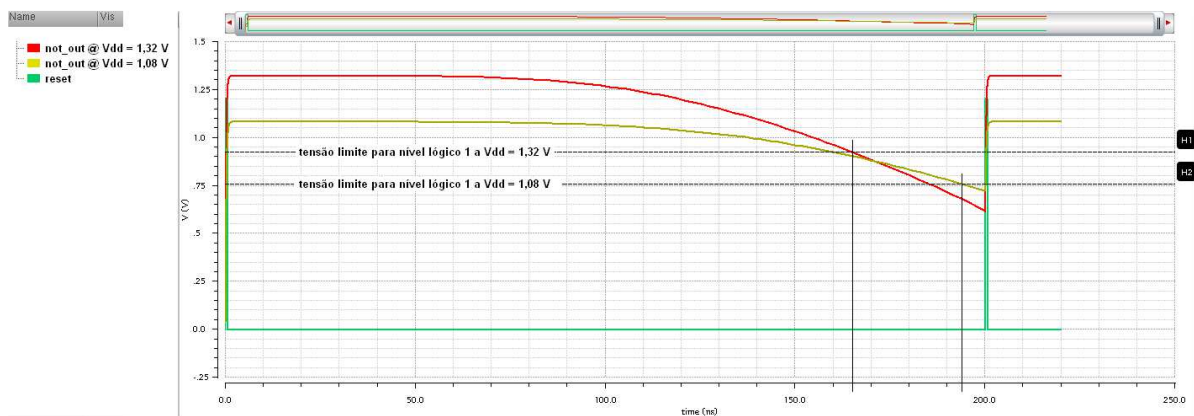


Figura 52 Comportamento da saída *not_out* em repouso para o sensor Dyn_P em função da tensão V_{DD} na situação de pior corner. $V_{sens} = 0$; $V_{test} = 0$.

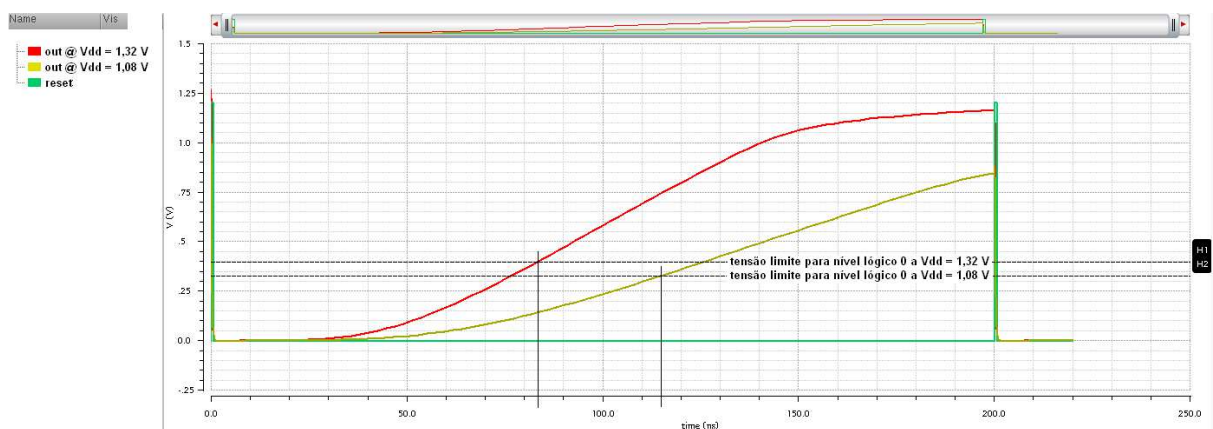


Figura 53 Comportamento da saída *out* em repouso para o sensor Dyn_N em função da tensão V_{DD} na situação de pior corner. $V_{sens} = 1,2$ V; $V_{test} = 0$.

6.4.3 Testabilidade dos sensores Dyn_P e Dyn_N

O funcionamento dos sensores Dyn_P e Dyn_N quanto à capacidade de detectar e registrar a ocorrência de um pulso de corrente transitório pode ser verificado eletricamente através do sinal V_{test} . Esse sinal ativa a condução do transistor T1, permitindo que uma corrente flua através do transistor T0, simulando a incidência de uma partícula ionizante. Esse teste é feito levando-se o sinal V_{test} a nível lógico 1 e verificando o comportamento das saídas correspondentes a cada sensor, que devem reagir conforme o esperado para que cada sensor possa ser considerado funcional. Em operação normal, o sinal V_{test} permanece sempre em nível 0.

A fim de evitar que a capacitância parasita do dreno do transistor T1 impactasse na capacitância parasita dos nós *bulk / not_bulk*, empregou-se transistores com $W = 280\text{nm}$ e $L = 120\text{ nm}$. Simulações efetuadas com o sensor Dyn_P revelam que o sinal V_{test} consegue acionar adequadamente a saída *output* correspondente em todos os corners e temperaturas na situação de sensibilidade mínima com $V_{sens} = 0$. Já para o sensor Dyn_N, foram encontradas combinações de corners e temperaturas nas quais a saída *output* correspondente não é acionada, revelando que a largura escolhida para T1 revelou-se insuficiente. A fim de evitar a utilização de um transistor mais largo, que acrescentaria mais capacitância parasita ao nó *bulk*, optou-se por realizar o teste dos sensores a uma tensão $V_{sens} = 600\text{ mV}$. Com isso, a sensibilidade do sensor Dyn_N é aumentada suficientemente para que o sensor seja acionado pelo sinal V_{test} em todos os corners e temperaturas. Simultaneamente, essa situação se revela confortável ao permitir testar ambos os sensores ao mesmo tempo. Cabe lembrar que $V_{sens} = 600\text{ mV}$ representa o valor recomendado que permite a simultânea operação de ambos os sensores, pois não se recomenda que V_{sens} seja maior do que 600 mV para o sensor Dyn_P e menor do que 600 mV para o sensor Dyn_N.

6.5 RESULTADOS COMPARATIVOS

A comparação direta dos resultados obtidos nas simulações dos sensores DynBICS com os circuitos previamente publicados é dificultada pelo fato destes últimos terem sido implementados em tecnologias diferentes da utilizada nos DynBICS. Além disso, os circuitos anteriores foram testados em condições diversas daquelas às quais os DynBICS foram submetidos. Assim, a fim de eliminar a variação nos resultados em função da tecnologia e das diferentes condições de teste, replicou-se os sensores descritos em (ZHANG, 2010) na tecnologia CMRF8SF, onde cada um dos sensores recebeu um transistor-alvo de mesmo tamanho daqueles usados nos sensores DynBICS. Assegurando-se igualdade de tecnologias e condições de teste, foi possível chegar a um resultado comparativo entre os circuitos DynBICS e aqueles propostos na bibliografia citada.

As dimensões dos transistores foram extraídas com base no layout proposto por (ZHANG, 2010), onde todos os transistores são mínimos ($W = 180 \text{ nm}$; $L = 180 \text{ nm}$) à exceção de T1 e T6 ($W = 3 \text{ }\mu\text{m}$; $L = 180 \text{ nm}$) e T7 ($W = 1 \text{ }\mu\text{m}$; $L = 180 \text{ nm}$). Da comparação entre o diagrama esquemático e o layout apresentados, descobriu-se que o transistor T7 do sensor para transistores NMOS é, na verdade, um transistor PMOS². A fim de equiparar o desempenho desses circuitos com os sensores DynBICS, adotou-se os tamanhos mínimos disponíveis na tecnologia CMRF8SF ($W = 160 \text{ nm}$; $L = 120 \text{ nm}$) para todos os transistores, exceto T1 e T6, dimensionados para $W = 3 \text{ }\mu\text{m}$; $L = 120 \text{ nm}$ e T7, dimensionado para $W = 1 \text{ }\mu\text{m}$; $L = 120 \text{ nm}$. As figuras 54 e 55 mostram os circuitos dos sensores Zhang_P e Zhang_N. Os circuitos de teste são apresentados nas figuras 56 e 57, com o funcionamento dos sensores sendo mostrados nas figuras 58 e 59.

Os resultados das simulações estão apresentados nas tabelas 15 e 16, mostrando os valores de I_{peak} mínimo e tempo de atraso para o corner típico e para aqueles que

² Comparar a figura 55 com as figuras 6 e 11, bem como as figuras 3 e 4 de (Zhang, 2010).

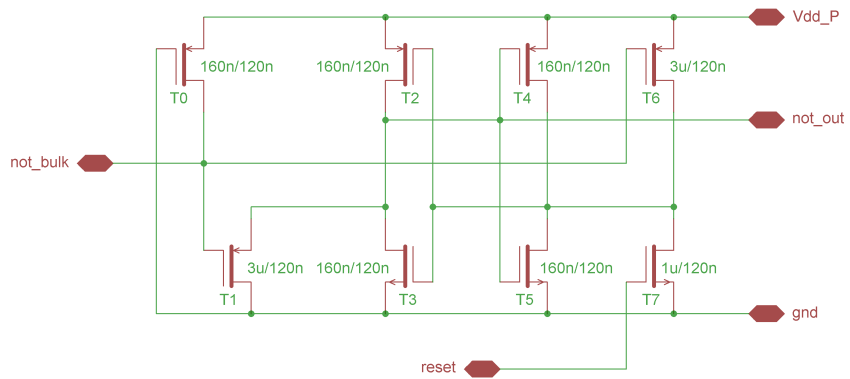


Figura 54 Diagrama esquemático do sensor para transistores PMOS segundo (ZHANG, 2010); dimensões dos transistores adaptadas para a tecnologia CMRF8SF.

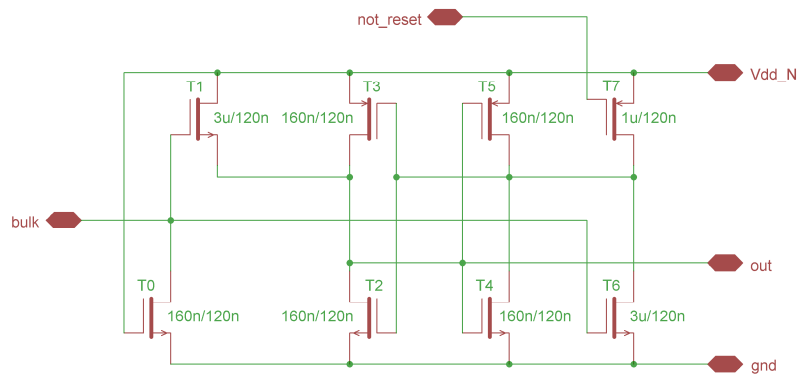


Figura 55 Diagrama esquemático do sensor para transistores NMOS segundo (ZHANG, 2010); dimensões dos transistores adaptadas para a tecnologia CMRF8SF.

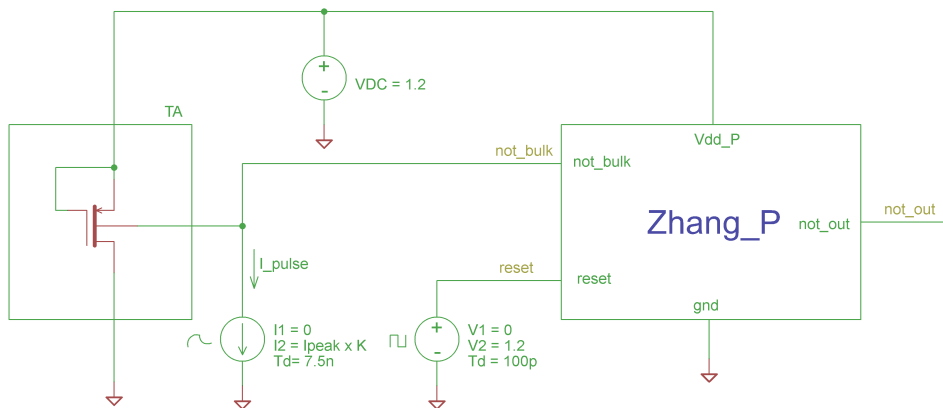


Figura 56 Circuito de teste para o sensor da figura 54.

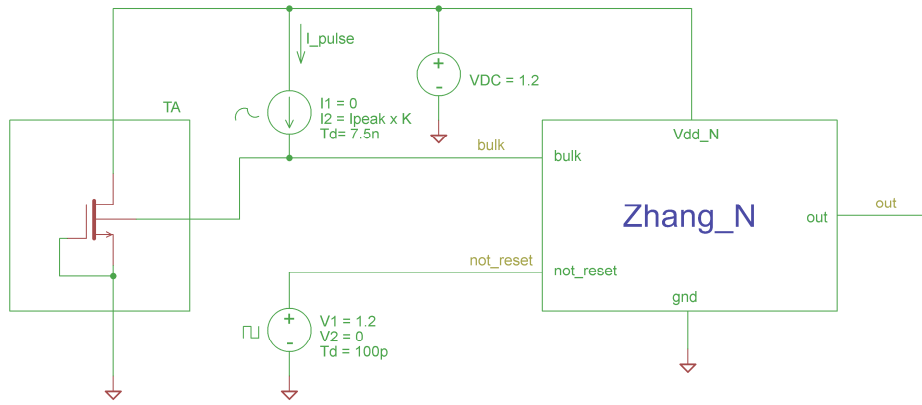


Figura 57 Circuito de teste para o sensor da figura 55.

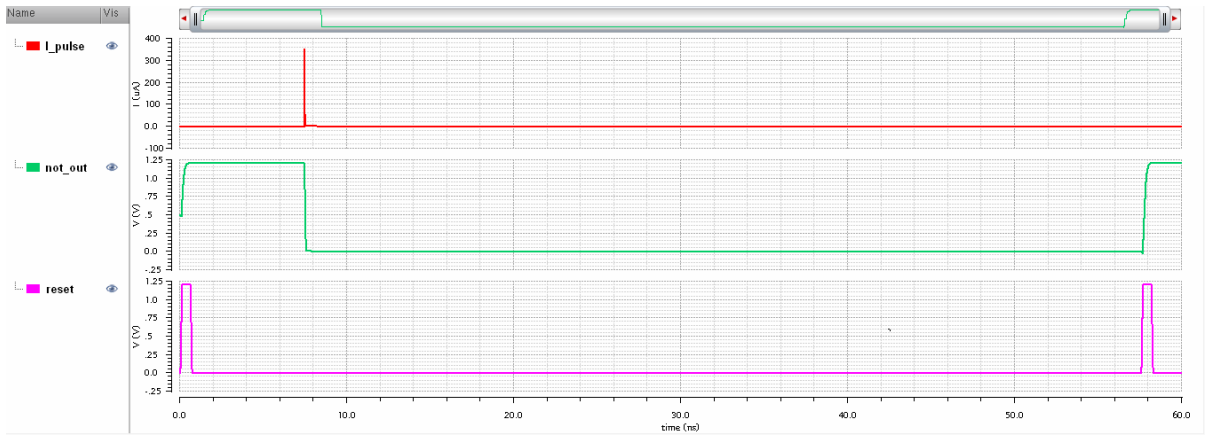


Figura 58 Funcionamento do sensor Zhang_P.

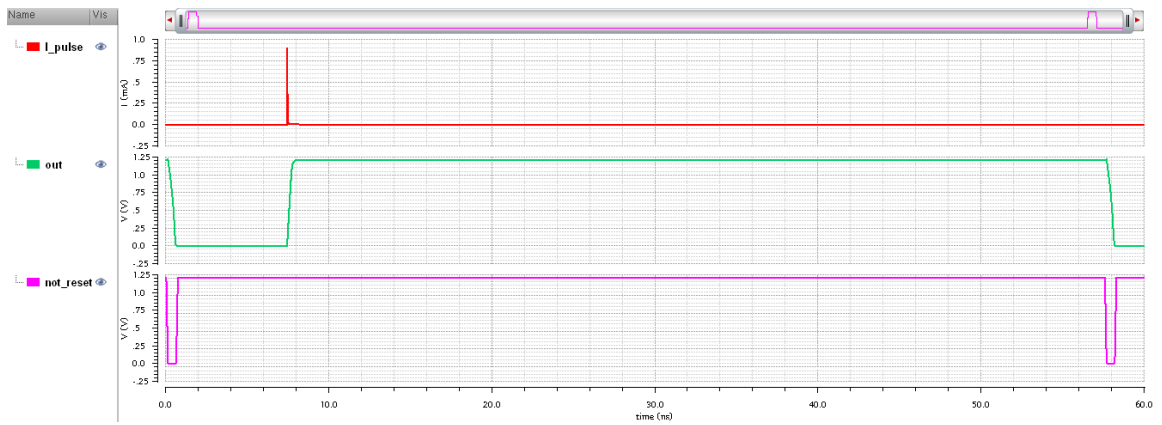


Figura 59 Funcionamento do sensor Zhang_N.

Tabela 15 Resultados comparativos para a mínima corrente capturável entre os sensores Dyn_P e Zhang_P ; $V_{DD} = 1,2$ V; $V_{sens} = 0$; $V_{test} = 0$.

Corner	Dyn_P		Zhang_P $W_{T0} = 160\text{nm}$		Zhang_P $W_{T0} = 280\text{nm}$	
	I _{peak}	T _D	I _{peak}	T _D	I _{peak}	T _D
FS 125°C	288 μA	331 ps	473 μA	401 ps	559 μA	273 ps
TT 27°C	338 μA	358 ps	492 μA	328 ps	564 μA	257 ps
SF 0°C	367 μA	344 ps	497 μA	356 ps	566 μA	334 ps

Tabela 16 Resultados comparativos para a mínima corrente capturável entre os sensores Dyn_N e Zhang_N ; $V_{DD} = 1,2$ V; $V_{sens} = 1,2$ V; $V_{test} = 0$.

Corner	Dyn_N		Zhang_N $W_{T0} = 160\text{nm}$		Zhang_N $W_{T0} = 280\text{nm}$	
	I _{peak}	T _D	I _{peak}	T _D	I _{peak}	T _D
FFF 125°C	549 μA	277 ps	817 μA	493 ps	926 μA	540 ps
TT 27°C	683 μA	305 ps	872 μA	425 ps	947 μA	790 ps
FS 0°C	726 μA	236 ps	881 μA	730 ps	1006 μA	953 ps

representam a melhor e a pior sensibilidade dos sensores DynBICS. Os limites de decisão para os sinais de saída *out* e *not_out* dos sensores Dyn_P e Dyn_N foram nível 1: $V \geq 70\% V_{DD}$ e nível 0: $V \leq 30\% V_{DD}$. Os circuitos das figuras 54 e 55 foram também simulados com $W_{T0} = 280$ nm, que é a dimensão utilizada nos circuitos DynBICS. Os modelos extraídos *av_extracted_C_only_coupled*, necessários às simulações, foram obtidos a partir dos layouts apresentados nas figuras 60 e 61.

Para a avaliação do consumo de corrente quiescente foram utilizados os circuitos de teste das figuras 29, 38, 56 e 57 fazendo-se $I_{peak} = 0$ e medindo-se a corrente fornecida pela fonte de alimentação, a qual foi ajustada em 1,2 V. Foram efetuadas medições apenas a 125°C, posto que representam a pior situação em cada corner. Os resultados obtidos estão apresentados nas tabelas 17 e 18. Para os sensores Zhang_P e Zhang_N, não se verificou

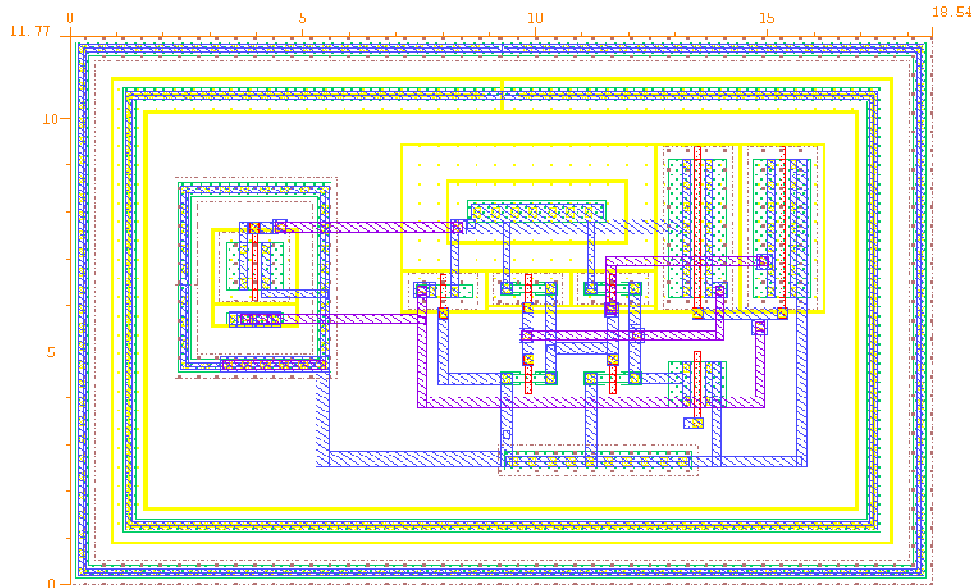


Figura 60 Layout do sensor Zhang_P.

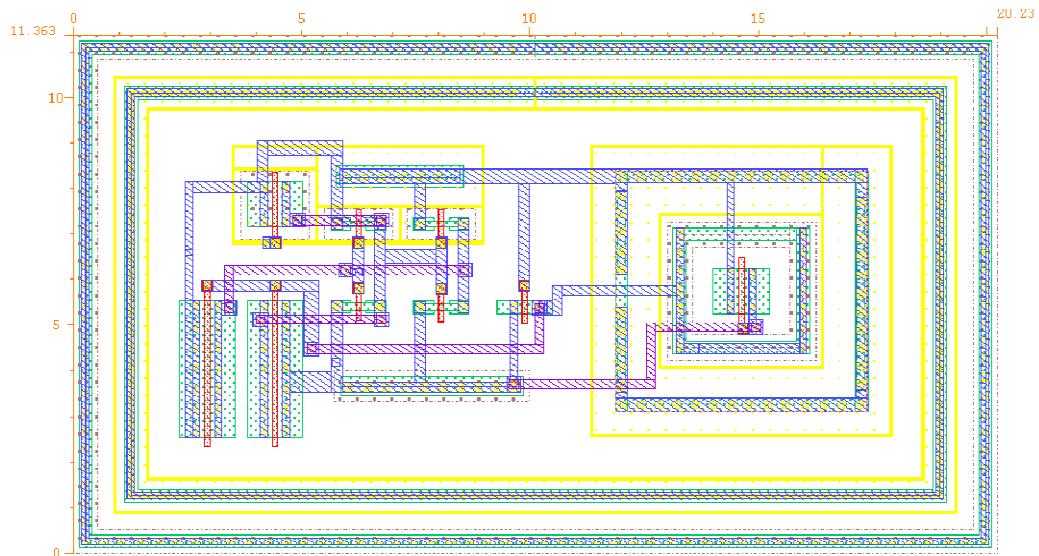


Figura 61 Layout do sensor Zhang_N.

diferença no valor da corrente quiescente entre os circuitos simulados com $W_{T0} = 160$ nm e $W_{T0} = 280$ nm. Com relação aos circuitos DynBICS, o acúmulo progressivo de carga na porta do transistor T5 faz com que esse transistor entre em condução parcial em alguns corners, notadamente em temperaturas elevadas. Por esse motivo, a medição da corrente quiescente dos circuitos DynBICS foi feita no limiar da aplicação do 2º pulso de reset, conforme figuras 26 e 36, aos 49,5 ns após a aplicação do 1º pulso de reset. Apesar do cuidado em efetuar certa

Tabela 17 Corrente quiescente a 125°C; circuitos Dyn_P e Zhang_P; Vsens = 0; Vtest = 0.

Corner	Dyn_P	Zhang_P
FFF	437 nA	177 nA
SSF	3,88 nA	21,5 nA
FS	51,1 nA	55,8 nA
SF	25,7 nA	75,0 nA
TT	27,1 nA	52,2 nA

Tabela 18 Corrente quiescente a 125°C; circuitos Dyn_N e Zhang_N; Vsens = 1,2 V; Vtest = 0.

Corner	Dyn_N	Zhang_N
FFF	1,37 μ A	329 nA
SSF	801 pA	9,32 nA
FS	60,3 nA	145 nA
SF	6,26 nA	22,7 nA
TT	16,0 nA	56,8 nA

compensação dos efeitos das correntes de fuga no nó de armazenamento, a mesma não foi levada à perfeição, fazendo com que o efeito da carga acumulada na porta de T5 pela ação das correntes de fuga seja refletido na corrente quiescente drenada pelo circuito. Isso faz com que o consumo de corrente quiescente do circuito aumente ao longo do tempo, razão pela qual a corrente quiescente dos sensores Dyn_P e Dyn_N, no corner FFF a 125°C, é exageradamente elevada em comparação com os sensores Zhang.

Pode-se observar que, mesmo sendo o efeito das correntes de fuga imperfeitamente compensado, os sensores DynBICS têm um consumo de corrente quiescente menor do que os circuitos Zhang em todos os demais corners. Excluindo-se o efeito da condução parcial de T5, o consumo no corner FFF a 125°C cai a 101 nA para o circuito Dyn_P e para 117 nA para o circuito Dyn_N, indicando que uma melhor minimização dos efeitos das correntes de fuga

presentes no nó de armazenagem permitiria que os circuitos DynBICS pudessem apresentar correntes quiescentes próximas a esses valores.

O aumento na taxa de repetição de reset causa uma redução no consumo de corrente quiescente por limitar o período de acumulação de cargas no nó de armazenagem a um tempo mais curto. A taxa de repetição de reset que iguala o consumo dos circuitos DynBICS ao consumo dos circuitos Zhang, no corner FFF a 125° C, é de um pulso a cada 22 ns para o sensor Dyn_P e de um pulso a cada 31 ns para o sensor Dyn_N. Nessas taxas de repetição de reset, o consumo quiescente dos sensores DynBICS nos demais corners é ainda menor do que o apresentado nas tabelas 17 e 18. Observe-se que a taxa de repetição de reset de 20 MHz é resultado de uma escolha arbitrária para um valor de referência de projeto. A taxas de repetição de reset mais realistas com a frequência de clock efetivamente usada na tecnologia 130 nm – 3,0 Ghz conforme (DELEGANES, 2002) – os sensores DynBICS exibem um consumo de corrente quiescente vantajoso em relação aos circuitos previamente analisados, em todos os corners e temperaturas considerados.

Por último, é interessante comparar as áreas de silício ocupadas pelos diversos circuitos, a fim de observar a economia de espaço proporcionada pelos circuitos DynBICS. As figuras 62 e 63 permitem comparar os tamanhos dos sensores Dyn_P e Dyn_N com os sensores Zhang_P e Zhang_N, desprovidos dos transistores-alvo e dos anéis de guarda. A área ocupada pelo circuito Dyn_P é de 34,11 μm^2 , representando 52% da área ocupada pelo circuito Zhang_P, que é de 64,88 μm^2 . Para o circuito Dyn_N, desconsiderando a área ocupada pelos dois inversores necessários para a obtenção dos sinais *not_reset* e *not_test*, a área ocupada é de 36,52 μm^2 , representando 64% da área ocupada pelo circuito Zhang_N, que é de 56,46 μm^2 . Mesmo considerando a presença dos inversores, o circuito Dyn_N ainda é vantajoso – o layout completo ocupa apenas 52,00 μm^2 . Ainda que em todos os layouts haja margem para uma maior compactação dos dispositivos, é visível que os circuitos DynBICS

são inerentemente mais econômicos em termos de área ocupada, por utilizarem transistores menores e em menor número quando comparados com os circuitos propostos por (ZHANG, 2010).

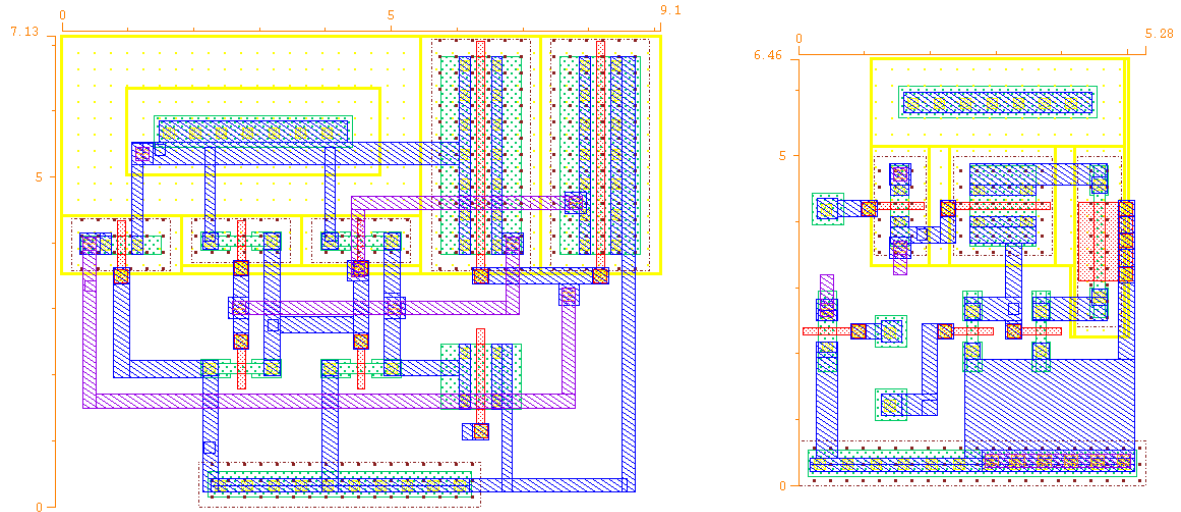


Figura 62 Layouts desenvolvidos para os circuitos Zhang_P (esquerda) e Dyn_P (direita), desprovidos dos transistores-alvo e dos anéis de guarda, para comparação das áreas ocupadas.

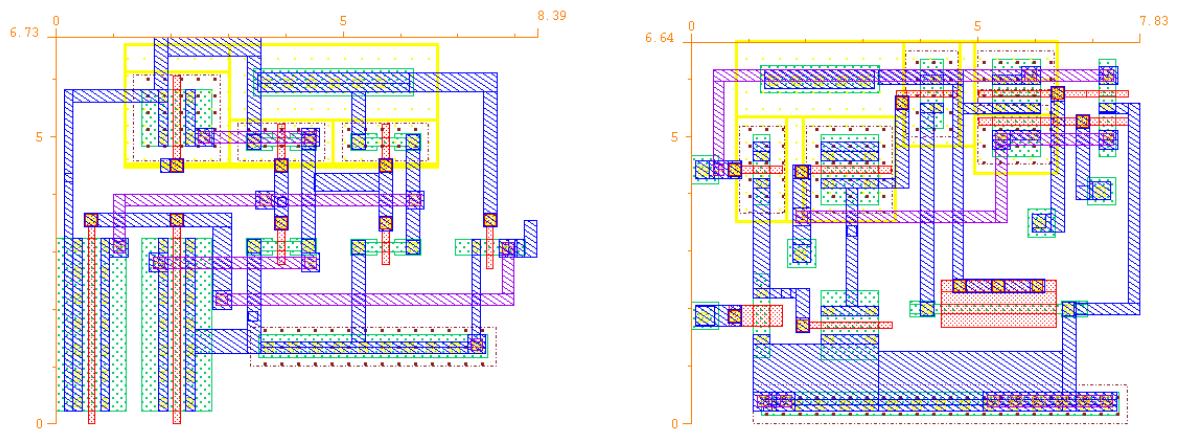


Figura 63 Layouts desenvolvidos para os circuitos Zhang_N (esquerda) e Dyn_N (direita), desprovidos dos transistores-alvo e dos anéis de guarda, para comparação das áreas ocupadas.

7 CONCLUSÃO

Este trabalho apresentou um novo circuito sensor de corrente adequado à técnica Bulk-BICS, o qual utiliza uma célula de memória dinâmica. As versões destinadas à monitoração das correntes de poço em transistores PMOS e NMOS foram apresentadas na forma dos circuitos e layouts desenvolvidos. Os resultados das simulações efetuadas comprovam a validade dos circuitos nas situações de piores corners de processo e temperatura, dentro das condições de teste especificadas, mostrando que os circuitos aqui apresentados representam um sensível melhoramento em relação aos previamente propostos na literatura.

Os sensores DynBICS propostos são adequados à detecção de correntes dentro dos valores mencionados na literatura, para larguras de pulso tão curtas quanto 20 ps e exibem tempos de resposta adequados às taxas de clock máximas implementáveis na tecnologia 130 nm. Observa-se que a operação dos sensores DynBICS é fortemente influenciada pela capacitância parasita do poço monitorado, que é função da quantidade e tamanho dos transistores sob monitoração. O número de transistores monitorados determina a sensibilidade do circuito, definida como a capacidade de detectar e armazenar adequadamente a informação da ocorrência de um pulso de corrente transiente. A sensibilidade do circuito, que determina o menor valor de corrente capturável, é função da largura de pulso da corrente transitória e depende do corner de processo e da temperatura. Os efeitos combinados dessas duas variáveis fazem com que a variação na mínima corrente capturável, considerando-se a presença do transistor-alvo, varie numa faixa de 1:1,27 no caso do sensor Dyn_P e numa faixa de 1:1,32 para o caso do sensor Dyn_N, nas condições de tensão de alimentação nominal, mínima sensibilidade e largura de pulso igual a 20 ps.

O uso de uma célula de memória dinâmica implica na necessidade de se impor uma taxa mínima de repetição de reset, a fim de evitar que as correntes de fuga presentes em torno do nó de armazenamento prejudiquem a correta operação do circuito. Nenhuma técnica

especial para a minimização dos efeitos dessas correntes foi utilizada; mesmo assim, foi obtido uma estabilidade em repouso e sob memorização suficiente para permitir o emprego dos sensores DynBICS em sistemas digitais utilizando uma frequência de clock de 20 MHz, em todos os corners de processo e de temperatura avaliados.

A operação dos circuitos propostos é relativamente imune à variação na tensão de alimentação. A influência de uma variação de $\pm 10\%$ na tensão de alimentação não afeta sensivelmente o funcionamento do circuito, tendo sido verificada uma variação máxima no valor da mínima corrente capturável de $\pm 5\%$ em relação à sensibilidade sob tensão nominal.

Em comparação com o circuito proposto por (ZHANG, 2010), os circuitos DynBICS propostos apresentam uma melhor sensibilidade, um menor tempo de resposta e ocupam uma menor área de silício, tendo um consumo de corrente quiescente menor em todos os corners e temperaturas exceto no corner FFF a 125°C , considerando-se uma taxa de repetição de reset de um pulso a cada 50 ns. Essa característica pode vir a ser melhorada através de uma melhor compensação do efeito das correntes de fuga presentes na célula de armazenamento.

A proposta dos sensores DynBICS contribui significativamente para a implementação eficiente da técnica Bulk-BICS em sistemas digitais comerciais de grande porte, com a disponibilidade de um sensor minimamente invasivo – comprovadamente pequeno, sensível, rápido e com mínimo consumo de corrente. O layout desenvolvido não teve a preocupação de ser otimizado ao máximo, nem a compensação dos efeitos da corrente de fuga em torno do nó de armazenagem foi levada ao extremo da técnica. Da mesma forma, a influência do tamanho do transistor-alvo na sensibilidade dos circuitos DynBICS, bem como o seu funcionamento quando associados a um circuito lógico de prova também não foram avaliados. Esses pontos, acrescidos ao teste dos circuitos sob irradiação, deixam espaço para trabalhos futuros.

REFERÊNCIAS

- BALEN, T. R. **Efeitos da Radiação em Dispositivos Analógicos Programáveis (FPAAs) e Técnicas de Proteção.** 2010. 206 f. Tese (Doutorado em engenharia) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.
- BAUMANN, R. C. Soft Errors in Advanced Semiconductor Devices – Part I: The three Radiation Sources. **IEEE Transactions on Device and Materials Reliability**, New York, v. 1, n. 1, p. 17-22, Mar. 2001.
- DELEGANES, D. et al. Designing a 3GHz, 130 nm, Intel Pentium 4 Processor. In: SYMPOSIUM ON VLSI CIRCUITS, 2002, Honolulu. **Digest of Papers...** Gaithersburg: Widerkehr and Associates, 2002. p.130-133.
- DODD, P. E. Production and Propagation of Single-Event Transient in High-Speed Digital Logic ICs. **IEEE Transactions on Nuclear Science**, New York, v. 51, n. 6, p. 3278-3284, Dec. 2004.
- FELTHAM, D. B. I. et al. Current Sensing for Built-in Testing of CMOS Circuits. In: INTERNATIONAL CONFERENCE ON COMPUTER DESIGN: VLSI IN COMPUTERS AND PROCESSORS, 1988, Rye Brook. **Proceedings...** New York: IEEE, 1988. p.454-457.
- GILL, B et al. An Efficient BICS Design for SEUs Detection and Correction in Semiconductor Memories. In: DESIGN, AUTOMATION AND TEST IN EUROPE, 2005, Munich. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 2005. p.592-597.
- IBM CORPORATION. **CMOS8RF (CMRF8SF) Design Manual.** Essex Junction: IBM Microelectronics Division, 2010, 580 p.
- KIM, J. B.; SUNG, J. H.; KIM, J.. Design of a Built-In Current Sensor for IDDQ Testing. **IEEE Journal of Solid-State Circuits**, New York, v. 33, n. 8, p. 1266-1272, Aug. 1998.
- LEE, K.-J.; TANG, J.-J. A Built-in Current Sensor Based on Current-Mode Design . **IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing**, New York, v. 45, n. 1, p. 133-137, Jan. 1998.
- LEITE, F. R. **Estudo e Implementação de um Microcontrolador Tolerante à Radiação.** 2009. 73 f. Dissertação (Mestrado em engenharia) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2009.
- LISBOA, C. A. et al. Using Built-in Sensors to Cope with Long Duration Transient Faults in Future Technologies. In: INTERNATIONAL TEST CONFERENCE, 2007, Santa Clara. **Proceedings...** Washington: International Test Conference, 2007. p.1-10.

LO, J.-C.; DALY, J. C.; NICOLAIDIS, M. Design of Static CMOS Self-Checking Circuits Using Built-in Current Sensing. In: INTERNATIONAL SYMPOSIUM ON FAULT-TOLERANT COMPUTING, 22., 1992, Boston. **Digest of Papers...** Los Alamitos: IEEE Computer Society Press, 1992. p.104-111.

LU, C.-W.; LEE, C. L.; CHEN, J.-E. A Fast and Sensitive Built-in Current Sensor for IDDQ Testing. In: INTERNATIONAL WORKSHOP ON IDDQ TESTING, 1996, Washington. **Digest of Papers...** Los Alamitos: IEEE Computer Society Press, 1996. p.56-58.

MAY, T. C.; WOODS, M. H. Alpha-Particle-Induced Soft Errors in Dynamic Memories. **IEEE Transactions on Electron Devices**, New York, v. 26, n. 1, p. 2-9, Jan. 1979.

MESSENGER, G. C. Collection of Charge on Junction Nodes from Ion Tracks. **IEEE Transactions on Nuclear Science**, New York, v. 29, n. 6, p. 2024-2031, Dec. 1982.

MIURA, Y. An IDDQ Sensor Circuit for Low-Voltage ICs. In: INTERNATIONAL TEST CONFERENCE, 1997, Washington. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1997. p.938-947.

NARSALE, A. **Variation Tolerant Hierarchical Voltage Monitoring Circuito for Soft Error Detection**. 2008. 46 f. Dissertação (Mestrado em engenharia) – Department of Electrical and Computer Engineering, Arts, Science and Engineering, University of Rochester, Rochester, New York, 2008.

NETO, E. H. et al. Using Bulk Built-in Current Sensors to Detect Soft Errors. **IEEE Micro**, Los Alamitos, v. 26, n. 5, p. 10-18, Sept. 2006.

NETO, E. H.; KASTENSMIDT, F. L.; WIRTH, G. Tbulk-BICS: A Built-in Current Sensor Robust to Process and Temperature Variations for Soft Error Detection. **IEEE Transactions on Nuclear Science**, New York, v. 55, n. 4, p. 2281-2288, Aug. 2008.

RUBIO, A et al. A Built-in Quiescent Current Monitor for CMOS VLSI Circuits. In: EUROPEAN DESIGN AND TEST CONFERENCE, 1995, Paris. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1995. p.581-585.

SIMIONOVSKI, A.; WIRTH, G. I. A Bulk Built-in Current Sensor for SET Detection with Dynamic Memory Cell. In: LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS, 3., 2012, Playa Del Carmen. **Proceedings...** New York: IEEE, 2012. p.1-4.

SUTHERLAND, I. E., SPROULL, B.F.; HARRIS, D. L. Deriving the Method of Logical Effort. In: **Logic Effort: Designing Fast CMOS Circuits**. Waltham: Morgan Kaufmann, 1999. p. 41-57. ISBN: 9781558605572

VARGAS, F.; NICOLAIDIS, M. SEU-tolerant SRAM design based on current monitoring. In: INTERNATIONAL SYMPOSIUM ON FAULT-TOLERANT COMPUTING, 24., 1994, Austin. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1994. p.106-115.

WIRTH, G.; FAYOMI, C. The Bulk Built In Current Sensor Approach for Single Event Transient Detection. In: INTERNATIONAL SYMPOSIUM ON SYSTEM-ON-CHIP., 2007, Tampere. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 2007. p.1-4.

WIRTH, G. Bulk Built-in Current Sensors for Single Event Transient Detection in Deep-Submicron Technologies. **Microelectronics Reliability**, Oxford, v. 48, n. 5, p. 710-715, May 2008.

ZHANG, Z. et al. A New Bulk Built-in Current Sensing Circuit for Single-Event Transient Detection. In: CANADIAN CONFERENCE ON ELECTRICAL AND COMPUTER ENGINEERING, 23., 2010, Calgary. **Proceedings...** New York: IEEE, 2010. p.1-4.

APÊNDICE:

Configuração da Fonte de Corrente Exponencial no Simulador Cadence Virtuoso

APENDICE : CONFIGURAÇÃO DA FONTE DE CORRENTE EXPONENCIAL

APRESENTAÇÃO

O conteúdo deste apêndice visa mostrar como configurar a fonte de corrente exponencial disponível na biblioteca *analogLib* do simulador Virtuoso, de forma a simular corretamente o pulso de corrente induzido pela incidência da partícula ionizante conforme expresso pela equação 1.

FORMULÁRIO DE CONFIGURAÇÃO DA FONTE IEXP NO SIMULADOR VIRTUOSO

A configuração da fonte de corrente exponencial é feita através de um formulário contendo 19 campos, dos quais serão considerados apenas aqueles necessários para as simulações transientes. A figura 64 mostra o formulário contendo todos os campos. Os campos a serem preenchidos são :

- a) Current 1 : **0**;
- b) Current 2 : esse campo corresponde ao valor de I_0 da equação 1. Especificar **ipeak * k** ;
- c) Delay time 1 : especificar o intervalo de tempo desejado entre o início da simulação e a ocorrência do pulso de corrente;
- d) Damping factor 1 : especificar **tau_rise** ;
- e) Delay time 2 : especificar o mesmo valor utilizado em (c);
- f) Damping factor 2 : especificar **tau_fall** .

Ao efetuar as simulações, será necessário fornecer o valor das quatro variáveis utilizadas através do painel de controle do simulador. As variáveis **tau_rise** e **tau_fall** correspondem às constantes de tempo τ_R e τ_F , respectivamente; a variável **ipeak** corresponde à corrente de pico desejada para o pulso. O valor da variável **k** precisa ser determinado como

Property	Value	Display
Library Name	analogLib	off
Cell Name	iexp	off
View Name	symbol	off
Instance Name	I0	off

User Property	Master Value	Local Value	Display
Ivsignore	TRUE		off

CDF Parameter	Value	Display
Noise file name		off
Number of noise/freq pairs	0	off
DC current		off
AC magnitude		off
AC phase		off
XF magnitude		off
PAC magnitude		off
PAC phase		off
Multiplier		off
Delay time		off
Current 1		off
Current 2		off
Delay time 1		off
Damping factor 1		off
Delay time 2		off
Damping factor 2		off
Temperature coefficient 1		off
Temperature coefficient 2		off
Nominal temperature		off

Figura 64 Formulário de parâmetros da fonte de corrente iexp.

função das constantes de tempo τ_R e τ_F , conforme será mostrado em seguida. A figura 65 mostra o formulário preenchido, tal como foi utilizado nas simulações deste trabalho.

DETERMINAÇÃO DO FATOR K

O valor de I_0 na equação 1 não corresponde ao valor de pico máximo atingido pelo pulso de corrente. Nas simulações, é interessante excitar os circuitos com um pulso de corrente cujo valor de pico é previamente escolhido, sendo então necessário estabelecer uma

CDF Parameter	Value	Display
Noise file name		off
Number of noise/freq pairs	0	off
DC current		off
AC magnitude		off
AC phase		off
XF magnitude		off
PAC magnitude		off
PAC phase		off
Multiplier		off
Delay time		off
Current 1	0 A	off
Current 2	ipeak*k A	off
Delay time 1	7.5n s	off
Damping factor 1	tau_rise s	off
Delay time 2	7.5n s	off
Damping factor 2	tau_fall s	off
Temperature coefficient 1		off
Temperature coefficient 2		off
Nominal temperature		off

Figura 65 Formulário da fonte de corrente i_{exp} preenchido, conforme utilizado nas simulações deste trabalho.

relação entre este valor desejado e o valor de corrente efetivamente utilizado pelo simulador no campo “Current 2“. O fator k depende apenas das constantes de tempo τ_R e τ_F e deve ser determinado levando em consideração as constantes de tempo desejadas em cada simulação.

Fazendo-se $I_0 = I_{peak} * k$ e substituindo-se na equação 1 tem-se :

$$I_P(t) = I_{peak} * k * (e^{-(t/\tau_F)} - e^{-(t/\tau_R)}) \quad (2)$$

Derivando-se a equação 2 e igualando-se a zero, obtém-se o ponto onde ocorre o pico de corrente t_{peak} :

$$t_{peak} = \frac{\tau_F * \tau_R}{\tau_F - \tau_R} * \ln\left(\frac{\tau_F}{\tau_R}\right) \quad (3)$$

Substituindo-se (3) em (2) encontra-se o valor da corrente de pico máximo :

$$I_P(t = t_{peak}) = I_{peak} = I_{peak} * k * \left(e^{-\frac{\tau_F * \tau_R * \ln(\frac{\tau_F}{\tau_R}) * \frac{1}{\tau_F}}{\tau_F - \tau_R}} - e^{-\frac{\tau_F * \tau_R * \ln(\frac{\tau_F}{\tau_R}) * \frac{1}{\tau_R}}{\tau_F - \tau_R}} \right) \quad (4)$$

Rearranjando-se (4) e simplificando-se os termos I_{peak} obtém-se :

$$k = \frac{1}{\left(\frac{\tau_F}{\tau_R} \right)^{-\frac{\tau_R}{\tau_F - \tau_R}} - \left(\frac{\tau_F}{\tau_R} \right)^{-\frac{\tau_F}{\tau_F - \tau_R}}} \quad (5)$$

DETERMINAÇÃO DA LARGURA DE PULSO T_P

A largura de pulso T_P pode ser determinada sabendo-se previamente as constantes de tempo τ_R e τ_F e o valor do fator k . A largura de pulso, conforme figura 1, é definida como o intervalo de tempo entre os pontos t_1 e t_2 onde a corrente $I(t)$ atinge o valor $I_{peak} / 2$. Assim, partindo de (2), tem-se :

$$I_P(t = t_1, t = t_2) = \frac{I_{peak}}{2} = I_{peak} * k * \left(e^{-(t/\tau_F)} - e^{-(t/\tau_R)} \right) \quad (6)$$

Rearranjando-se (6) e simplificando-se os termos I_{peak} obtém-se uma equação transcendente :

$$e^{-(t/\tau_F)} - e^{-(t/\tau_R)} = \frac{1}{2 * k} \quad (7)$$

A equação 7 permite obter os instantes t_1 e t_2 por solução numérica iterativa, isolando-se a variável t na forma de t_1 e t_2 :

$$t_1 = -\tau_R * \ln\left(e^{-(t_1/\tau_F)} - \frac{1}{2 * k}\right) \quad (8)$$

$$t_2 = -\tau_F * \ln\left(e^{-(t_2/\tau_R)} + \frac{1}{2 * k}\right) \quad (9)$$

Uma vez obtidos os valores de t_1 e t_2 , obtém-se T_P através de :

$$T_P = t_2 - t_1 \quad (10)$$

CONSTANTES DE TEMPO EM FUNÇÃO DA LARGURA DE PULSO DESEJADA

Conforme mostrado, a determinação do fator k e da largura de pulso T_P é direta, tendo-se os valores das constantes de tempo τ_R e τ_F . Será tratado aqui o problema inverso – determinar as constantes de tempo em função da largura de pulso desejada.

Da análise das formas de onda mostradas em várias referências (DODD, 2004; WIRTH, 2007; WIRTH, 2008), observa-se que o valor da constante de tempo τ_R é bastante pequeno e independente da tecnologia considerada – o valor utilizado nas simulações deste trabalho foi de 2,0 ps, sendo o valor de 5,0 ps usado por várias referências constantes na tabela 2. Dessa forma, conclui-se que a largura do pulso é essencialmente dependente da constante de tempo τ_F , já que o valor de τ_R é conhecido. O problema, enfim, reside em calcular o valor necessário da contante de tempo τ_F para que o pulso de corrente simulado tenha uma dada largura de pulso T_P .

O cálculo manual de τ_F em função de T_P é tarefa demorada, visto ser um processo iterativo. É necessário escolher um valor inicial para τ_F , calcular o fator k e determinar o intervalo T_P correspondente. Com o resultado obtido, escolher novo valor para τ_F e repetir o

processo, até que um valor adequado seja encontrado. Evidentemente, o processo não é prático.

É possível, entretanto, utilizar o simulador Virtuoso para simular o pulso de corrente e extrair a largura de pulso e o fator k diretamente. A simulação iterativa do valor da variável τ_r permite obter os resultados desejados rapidamente. Um possível roteiro para essa tarefa pode ser estabelecido como segue, partindo-se de um esquemático que contenha a fonte de corrente i_{exp} configurada como mostrado anteriormente e cuja simulação transiente esteja preparada para a visualização da respectiva forma de onda de corrente :

- a) ajustar k para 1.0;
- b) ajustar i_{peak} para 100u (100 μ A);
- c) ajustar τ_r para o valor desejado;
- d) ajustar τ_f para a largura de pulso desejada ($\tau_f \leftarrow T_P$);
- e) simular o pulso de corrente;
- f) medir o valor de pico;
- g) usando um marcador horizontal ajustado para a metade do valor de pico encontrado, determinar a largura de pulso T_P ;
- h) corrigir o valor ajustado para τ_f , usando o valor obtido por :

$$\tau_{f_{novo}} \leftarrow \tau_{f_{anterior}} * \frac{T_{P_{desejado}}}{T_{P_{obtido}}} \quad (11)$$

- i) retornar ao item (e), iterando até que o erro ($T_{P_{obtido}} - T_{P_{desejado}}$) seja aceitável.

Uma vez encontrado um valor de τ_f satisfatório, o valor do fator k pode ser obtido diretamente dividindo-se o valor de 100 μ A (utilizado na variável i_{peak}) pelo valor de pico do pulso, medido na forma de onda simulada.

Os valores utilizados nas simulações deste trabalho, para as variáveis τ_r , τ_f e k , em função da largura de pulso desejada, estão apresentados na tabela 19. Os valores obtidos para k e τ_f foram inicialmente determinados pela simulação iterativa e posteriormente verificados utilizando-se as eqs. 5 e 10, com o uso das eqs. 8 e 9.

Tabela 19 Valores de τ_f , τ_r e k utilizados na configuração da fonte de corrente iexp que simula o pulso de corrente transitório.

Largura de pulso nominal T_P (ps)		τ_r (ps)	τ_f (ps)	k	
nominal	real			medido	calculado
20	20,071	2	20	1,435	1,435
30	29,799	2	33	1,276	1,275
40	40,782	2	48	1,198	1,198
50	50,186	2	61	1,163	1,161
100	99,330	2	130	1,085	1,084
200	199,820	2	273	1,045	1,045