

INTRODUÇÃO

Este trabalho propõe uma nova ferramenta para estimar o atraso e consumo de portas lógicas CMOS. O principal objetivo do trabalho é integrar modelos analíticos em uma ferramenta de criação de células automática para melhorar o processo de caracterização de portas lógicas. Os resultados obtidos com a ferramenta não possuem grandes perdas de precisão quando comparados com os resultados da simulação elétrica, e apresentam um menor tempo de execução. Quando integrada com uma aplicação que gera redes de transistores automaticamente, como a ferramenta SwitchCraft [1], é possível comparar o atraso e o consumo de potência de funções logicamente equivalentes que apresentem diferentes arranjos de transistores, como visto na Fig. 1.

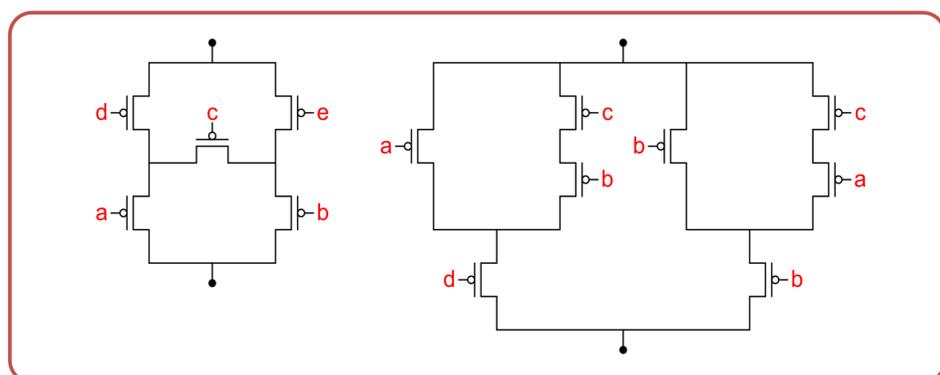


Figura 1 : Funções logicamente equivalentes com diferentes arranjos de transistores.

ESTIMATIVA DO ATRASO DA PORTA LÓGICA

Para estimar o atraso da porta, um arco deve ser escolhido. Um arco é definido como a mudança de um sinal de entrada que resulta em uma transição da saída. De acordo com o arco, uma estimativa da variação de voltagem sobre as capacitâncias é calculada. A corrente elétrica é estimada usando o modelo de transistor conhecido como α -power. Considerando que a análise matemática de portas complexas é uma tarefa difícil, a ferramenta proposta comprime a rede de transistores. Ao realizar a compressão, todos os transistores que não chaveiam são reduzidos a um transistor eletricamente equivalente, como mostrado na Fig. 2. O atraso da porta é estimado com base nesses valores iniciais.

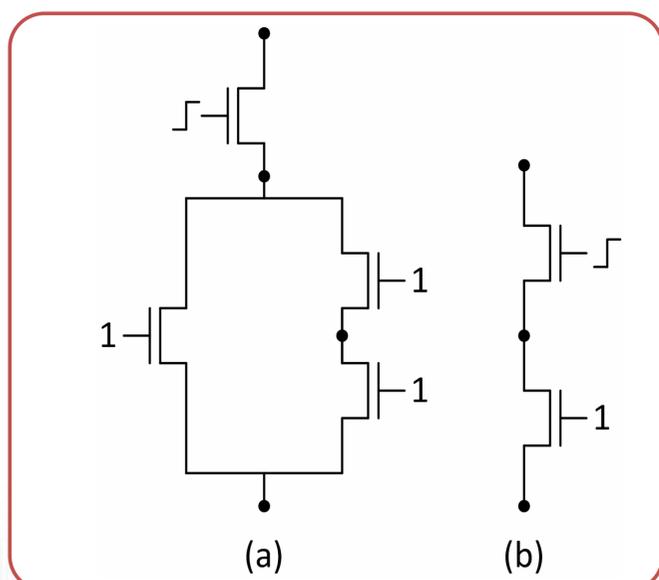


Figura 2 : Rede original (a) e após compressão (b).

Referências

- [1] V. Callegaro, F. de Souza Marques, C. E. Klock, L. Da Rosa Jr, R. P. Ribas, A. I. Reis, "SwitchCraft: a framework for transistor network design," SBCCI '10 Proceedings of the 23rd Symposium on Integrated Circuits and System Design, 2010.
- [2] P. F. Butzen, L. S. Jr. da Rosa, E. J. D Chiappetta Filho, A. I. Reis, R. P. Ribas, "Standby power consumption estimation by interacting leakage current mechanisms in nanoscaled CMOS digital circuits," Microelectronics Journal, vol. 41, issue 4, Apr. 2010, pp. 247-255.

ESTIMATIVA DO CONSUMO DE POTÊNCIA

O consumo dinâmico intrínseco de uma porta lógica CMOS possui dois componentes principais: curto-circuito e carga. Para estimar o consumo dinâmico intrínseco de uma porta lógica CMOS é necessário calcular os valores das capacitâncias nos nodos intermediários do circuito. A partir do cálculo dessas capacitâncias, é possível estimar o consumo intrínseco da porta.

Para estimar o consumo estático, a ferramenta utiliza o método apresentado em [2]. Para cada possível vetor de entrada, a corrente de *subthreshold* e a corrente de óxido de *gate* da porta são consideradas, assim como a interação entre elas.

MÉTODOS DE ESTIMATIVA PROPOSTOS

Os métodos de estimativa propostos são baseados nos passos descritos na Fig. 3.

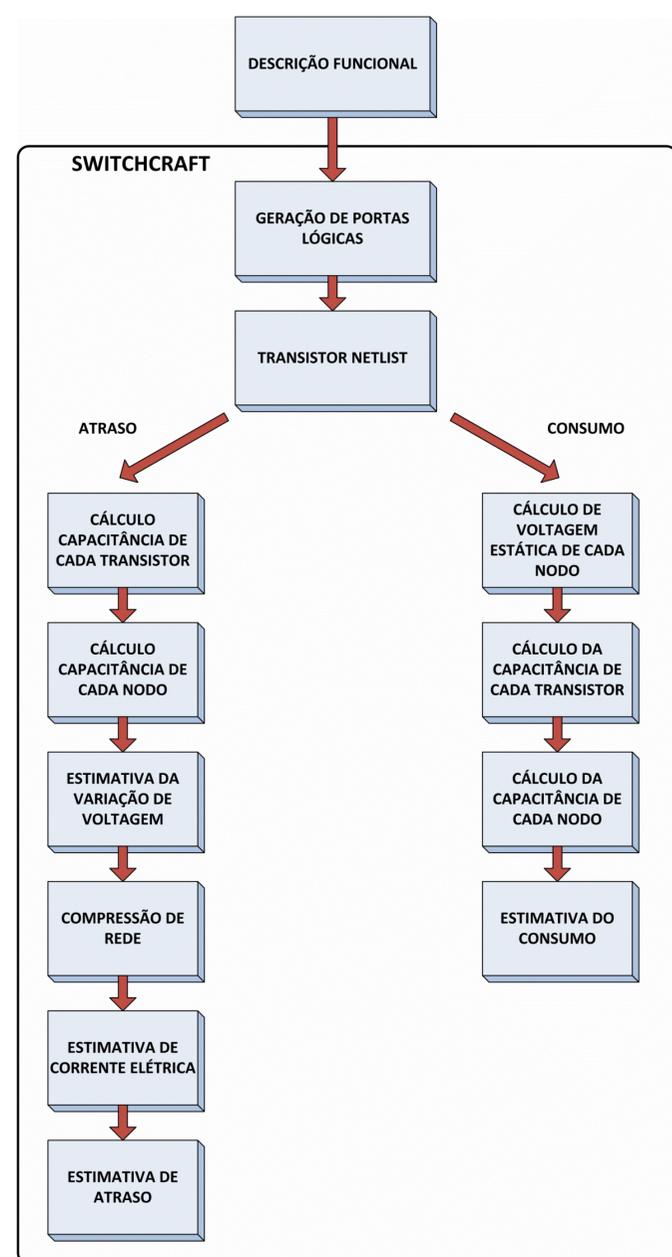


Figura 3 : Passos principais para estimativa do atraso e consumo de potência da porta lógica.

TRABALHO FUTURO

Os módulos estão em desenvolvimento e ainda não foram integrados com a ferramenta SwitchCraft. Trabalhos futuros avaliarão o uso dos módulos propostos em um fluxo *standard cell* e integrarão os módulos na ferramenta SwitchCraft, a fim de implementar um fluxo *library-free*.

AGRADECIMENTOS

Pesquisa parcialmente financiada pela Nangate Inc. em um acordo de pesquisa Nangate/UFRGS, pelas agências de financiamento Brasileiras CAPES e CNPq, pela FAPERGS ("grant" 11/2053-9 - Pronem) e pela Comunidade Europeia "Seventh Framework Programme" ("grant" 248539 - Synaptic).