

O fluxo de projeto baseado em *standard cells* é muito utilizado na concepção de circuitos VLSI devido à relação entre custo, tempo de projeto e desempenho. Esta metodologia apresenta um meio termo entre projetos *full custom* e projetos com lógica programável (ex. FPGA). Projetos baseados em células (portas lógicas) costumam ser mais baratos (caros) e com pior (melhor) desempenho do que projetos *full custom* (lógica programável).

No fluxo de projeto baseado em células é necessário conhecer os valores de área, atraso e consumo da célula. Essa caracterização geralmente é realizada através de ferramentas de simulação elétrica, como SPICE. Apesar de precisa, a extração dos dados através de simulação pode ser muito demorada. Portanto, muitos trabalhos propõem modelos analíticos para estimar o atraso e a dissipação de potência em células. Estes modelos devem ser mais rápidos e sem grandes perdas de precisão quando comparados com simulação elétrica.

Este trabalho apresenta uma nova ferramenta para a estimativa de atraso e consumo de portas CMOS. O objetivo principal é integrar modelos analíticos para agilizar o processo de caracterização de portas lógicas genéricas. Os modelos de atraso e consumo estão em desenvolvimento no laboratório de pesquisa LogiCS do Instituto de Informática da UFRGS (www.inf.ufrgs.br/logics). A ferramenta gera de forma automatizada estimativas com o compromisso de manter uma boa relação entre a precisão dos valores obtidos e o custo computacional.

O trabalho desenvolvido pode ser descrito, de forma geral, nas seguintes etapas. Dada uma porta a ser analisada, o primeiro passo é encontrar os arcos. Um arco é definido como a transição de apenas um valor de entrada que resulta em transição do valor da saída com as outras entradas em um valor fixo. Para encontrar os arcos, os minitermos e os maxtermos da função lógica são analisados. Um arco existe para cada par minitermo e maxtermo que tem distância de Hamming igual a um. A partir de um arco, são estimadas as tensões estáticas nos nodos da rede. O algoritmo percorre a rede através das chaves ligadas. Os nodos de referência possuem valores iniciais '1' para a alimentação (*Vdd*) e '0' para o terra (*Gnd*). Iniciando por eles, a tensão é induzida de um nodo para outro. Se dois valores diferentes são induzidos no mesmo nodo então um alerta ou erro é mostrado. É importante lembrar que uma chave NMOS (PMOS) conduz mal o valor lógico '1' ('0'). Esta má condução é indicada definindo o "1 fraco" (H) e o "0 fraco" (L) como valores transmitidos nestas situações.

Conhecendo os arcos, os valores estáticos das tensões na situação inicial e final, bem como os parâmetros que representam a tecnologia utilizada, a ferramenta pode aplicar as equações definidas pelos modelos analíticos e obter valores para o desempenho elétrico da porta.

A ferramenta encontra-se em fase final de desenvolvimento. Ela será integrada em um ambiente de geração automática de redes e portas lógicas chamado SwitchCraft, desenvolvido pelo LogiCS. Desta forma, será possível comparar o desempenho de diferentes portas com funções lógicas equivalentes. Além disso, a integração ou automatização de novos modelos será facilitada neste ambiente proposto, permitindo assim que diferentes modelos possam ser comparados sob a mesma plataforma computacional.