

047

AVALIAÇÃO DOS IMPACTOS DO USO DE SOMADORES COMO MACRO FUNCTIONS EM UM PROJETO DE COMPRESSOR JPEG. *Giovano da Rosa Camaratta, Fábio Daitx, Luciano Agostini, Sergio Bampi (orient.) (UFRGS).*

Esse artigo apresenta uma variação no projeto de um compressor de imagens JPEG baseline em tons de cinza proposto, implementado e validado em trabalhos anteriores. As modificações do projeto visam explorar recursos adicionais do FPGA para aumentar o desempenho e diminuir a utilização de recursos, através da substituição dos somadores da arquitetura original por somadores Macro Function da biblioteca IEEE. A arquitetura do compressor, apresentada nesse artigo, foi descrita em VHDL e sintetizada em três implementações distintas para FPGAs Flex10KE da Altera. O compressor JPEG é pipelineizado e tem uma latência mínima de 238 ciclos de relógio, considerando o pipeline totalmente preenchido. Com as alterações propostas neste trabalho, a frequência máxima de operação atingiu 45,05MHz, sendo 24% maior que a frequência original, permitindo o processamento de até 147 imagens de 640x480 pixels por segundo. Foram utilizadas 4612 células lógicas para a síntese completa do compressor JPEG, o que representou um acréscimo de apenas 2,01% em relação à arquitetura original. Além disso, também foi realizada uma análise do módulo da DCT-2D, que é a parte mais crítica do projeto. A análise mostrou que o somador MFA obteve sempre a melhor relação desempenho/custo de hardware, embora o MFA perca um pouco em desempenho para somadores CSA e HetA. Os resultados obtidos foram satisfatórios, considerando o estímulo ao trabalho que foi encontrar vantagens na utilização dos somadores mais simples de serem utilizados na descrição do código em VHDL.