

## Sessão 45

### Microeletrônica B

**383**

**DESENVOLVIMENTO DE UM CONVERSOR BINÁRIO/BCD EFICIENTE EM TERMOS DE ÁREA, DESEMPENHO E POTÊNCIA.** *Vinicius de Souza Dutra, João Wagner Lopes de Oliveira, Fernanda Lima Kastensmidt (orient.) (UERGS).*

Este trabalho mostra o desenvolvimento de um conversor binário/BCD em linguagem VHDL (*VHSIC Hardware Description Language*) e sua implementação no FPGA Spartan-IIE da Xilinx. O objetivo deste trabalho é prover de modo eficiente a utilização dos displays de 7 segmentos presentes na placa de prototipação. O algoritmo utilizado é baseado em deslocamentos, somas e comparações. Dado um número de entrada de  $n$ -bits a ser convertido, é necessário um contador capaz de contar até  $(n - 3)$ , sendo esse o número de deslocamentos para a esquerda. Cada *nibble* é constantemente comparado. Caso esse seja maior que 5, soma-se 3 ao valor do *nibble*. Na primeira implementação, cada contagem utiliza 2 ciclos de relógio, por exemplo, para  $n=16$ , são necessários 13 deslocamentos e conseqüentemente a conversão demora 26 ciclos. Devido à sua limitação temporal, foram estudadas e sugeridas alternativas para melhorar o desempenho e o consumo de potência. O custo em área foi medido em número de *look-up tables* (LUT's) e *flip-flops*. O desempenho leva em consideração o número de ciclos de relógio utilizados na conversão e o atraso da lógica interna do FPGA. Para o cálculo da potência utilizou-se a ferramenta XPower da Xilinx, onde o conversor foi simulado para um conjunto de números a serem convertidos.