

AVALIAÇÃO E COMPARAÇÃO DE ARQUITETURAS DE CIRCUITOS ARITMÉTICOS.

Leonardo Henrique Bonet Zordan, Felipe de Souza Marques, Vinícius Pazzuti Correia, Renato Perez Ribas, Andre Reis (orient.) (UFRGS).

Este trabalho visa realizar uma análise comparativa a respeito de algumas arquiteturas de circuitos aritméticos. As duas categorias de circuitos aritméticos abordadas no estudo foram os somadores e os multiplicadores. Em relação aos circuitos somadores, as arquiteturas estudadas foram o "*carry-look-ahead adder*", "*carry-save adder*" e também alguns somadores nos quais busca-se um alto desempenho, como "*ling adders*". Em relação aos circuitos multiplicadores, foram realizados estudos a respeito dos três principais tipos de implementação de multiplicadores paralelos: geração simultânea de produtos parciais e redução simultânea, geração simultânea de produtos parciais e redução iterativa, e arrays iterativos de células. O objetivo do estudo destas diversas arquiteturas de circuitos aritméticos é gerar um quadro onde somadores e multiplicadores poderão ser comparados em relação a diversos parâmetros, como atraso, área ocupada, número de células, entre outros. Para facilitar o levantamento destes parâmetros será utilizada a ferramenta ELIS, desenvolvida por membros do grupo, que é capaz de gerar circuitos somadores e multiplicadores, criar arquivos de entrada para o simulador SPICE a fim de avaliar atrasos, bem como levantar os demais parâmetros necessários.