

402

ESTUDO DE TÉCNICAS FORMAIS DE VERIFICAÇÃO PARA O PROJETO DE SISTEMAS DIGITAIS. *Artur Bartmann Arns, Luis da Cunha Lamb (orient.)* (Departamento de Informática Teórica, Instituto de Informática, UFRGS).

Técnicas formais de verificação são utilizadas na descrição de sistemas, especificação de suas propriedades e verificação da satisfatibilidade entre descrição e especificação. As crescentes necessidade e exigência da indústria microeletrônica por garantias de correção no processo de desenvolvimento de circuitos digitais têm impulsionado a pesquisa de técnicas formais eficientes (nominalmente lógicas temporais, provadores de teoremas e sistemas de “model checking”) para a verificação de sistemas de hardware e software. Model checking é uma técnica em que a descrição é feita em termos de um modelo em alguma lógica temporal e a verificação deste modelo é realizada de maneira automatizada. As atuais técnicas de “symbolic model checking” (model checking com o uso de OBDDs – “ordered binary decision diagrams”) permitem a verificação de complexos sistemas de hardware. Este projeto de pesquisa tem como objetivos o estudo e a aplicação de técnicas formais baseadas em symbolic model checking ao projeto de sistemas digitais. (FAPERGS/IC).