

232

AVALIAÇÃO DE ATRASO DE CIRCUITOS CMOS ATRAVÉS DE SIMULAÇÕES SPICE.*Leonardo Henrique Bonet Zordan, Vinícius P. Correia, Felipe S. Marques, Renato P. Ribas, Andre Inacio Reis (orient.)* (Departamento de Informática Aplicada, Instituto de Informática, UFRGS).

Este trabalho visa caracterizar, através de simulações SPICE, o atraso crítico de circuitos baseados em células CMOS. O atraso de um caminho entre uma entrada e uma saída de um circuito integrado é dado pela soma dos atrasos das portas lógicas que compõem este caminho. Caso não se conheça previamente o atraso destas portas, pode-se fazer uma simulação elétrica deste caminho para medir seu atraso total, que será dado pela diferença de tempo entre uma mudança de sinal de entrada e uma conseqüente mudança da saída correspondente. O atraso de um caminho guarda uma relação com alguns parâmetros topológicos da rede de transistores que o compõe. Estes parâmetros podem ser, por exemplo, o número de portas lógicas ao longo do caminho e o número de transistores em série internamente a cada porta. A simulação extensiva de caminhos com uma variação significativa destes parâmetros permitirá estabelecer os limites para a validade desta relação entre parâmetros topológicos e o atraso de um circuito. Para facilitar estas simulações será usada a ferramenta ELIS, desenvolvida pelo grupo, que é capaz de mapear circuitos com diferentes restrições topológicas, bem como gerar o arquivo para simulação SPICE dos caminhos críticos. Uma vez estabelecidos os limites da validade desta relação, através das simulações SPICE, ela poderá ser usada em outras aplicações, para se obter uma estimativa antecipada do atraso de caminhos, em função apenas dos parâmetros topológicos. Estas aplicações incluem a avaliação a priori do atraso de circuitos CMOS sem necessidade de simulação SPICE, bem como para o mapeamento de circuitos com parâmetros topológicos (usando a ferramenta ELIS) que levem a um atraso mínimo do circuito final. (PIBIC/CNPq-UFRGS).