

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

JERSON PAULO GUEX

**Utilizando Folding no Projeto de Portas  
Lógicas Robustas à Variabilidade de  
Processo**

Dissertação apresentada como requisito parcial  
para obtenção do grau de Mestre em  
Microeletrônica

Prof. Dr. Ricardo Reis  
Orientador

Porto Alegre, abril de 2013

## CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Guex, Jerson Paulo

Utilizando Folding no Projeto de Portas Lógicas Robustas à Variabilidade de Processo / Jerson Paulo Guex. – Porto Alegre: PGMICRO da UFRGS, 2013.

90 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR–RS, 2013. Orientador: Ricardo Reis.

1. Leiaute de células. 2. Variabilidade de processo . 3. DFM. 4. Folding de transistores. 5. Microeletrônica. I. Reis, Ricardo. II. Título.

Banca Examinadora:

Dra. Cecília Mezzomo, ST Microelectronics, Grenoble, França.

Prof. Dr. Marcelo de Oliveira Johann, PGMICRO, UFRGS, Porto Alegre, Brasil.

Prof. Dr. Tiago Roberto Balen, PGMICRO, UFRGS, Porto Alegre, Brasil.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Pró-Reitor de Coordenação Acadêmica: Prof. Rui Vicente Oppermann

Pró-Reitora de Pós-Graduação: Prof. Aldo Bolten Lucion

Diretor do Instituto de Informática: Prof. Luis da Cunha Lamb

Coordenador do PGMICRO: Prof. Gilson Inácio Wirth

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“Comece fazendo o que é necessário,  
depois o que é possível,  
e de repente você estará fazendo o impossível.”*

— SÃO FRANCISCO DE ASSIS

## AGRADECIMENTOS

Agradeço primeiramente a Deus por ter me acompanhado durante todos os dias de minha vida. Agradeço aos meus pais pelo total e incondicional apoio mesmo à distância, principalmente nos momentos de tristeza e apatia pela saudade de casa. Agradeço a todos os meus familiares pelo incentivo a seguir adiante, mas sem esquecer das origens e dos valores em que fui criado.

Agradeço aos meus colegas de jornada. Colegas que tive o prazer de conviver durante dois anos. Colegas que demonstraram amizade e acolhida. Agradeço profundamente o apoio que todos vocês me propiciaram, nas horas de alegria e de dificuldades, sua companhia e amizade sincera. Muito obrigado colegas dos Laboratórios 67-217, 67-219, 67-232. Um agradecimento especial para os mestrandos, mas mais do que isso, amigos Carolina Metzler, Fabio Walter, Walter C. Bartra pela companhia, apoio e incentivo durante esta jornada. Agradeço também aos bolsistas Davi Fagundes e Luigi Ferreira pela amizade e apoio.

Agradeço a minha grande amiga Cristina Meinhardt pela contínua ajuda e suporte ao trabalho que desenvolvi, pelas críticas, por me mostrar o que estava certo e o que estava errado, mas principalmente pelo seu comprometimento em me ajudar na medida do possível a concluir este mestrado com sucesso.

Agradeço ao programa PGMICRO pela oportunidade da realização deste mestrado. Agradeço a CAPES pelo financiamento de bolsa de estudo.

Agradeço ao meu orientador Prof. DR. Ricardo Reis pela dedicação, pelas dicas e críticas no decorrer destes dois anos, que mesmo de longe conseguia nos atender.

Um agradecimento mais do que especial a aquela que infelizmente não está mais entre nós, mas seu amor por mim sempre me fez seguir em frente. Obrigado vó por toda a atenção que me dedicou durante todos esses anos.

Meus sinceros agradecimentos a todos. **MUITO ABRIGADO!**

# SUMÁRIO

<b>LISTA DE ABREVIATURAS E SIGLAS</b> . . . . .	7
<b>LISTA DE FIGURAS</b> . . . . .	8
<b>LISTA DE TABELAS</b> . . . . .	10
<b>RESUMO</b> . . . . .	11
<b>ABSTRACT</b> . . . . .	12
<b>1 INTRODUÇÃO</b> . . . . .	13
<b>1.1 Motivação</b> . . . . .	14
<b>1.2 Objetivo do Trabalho</b> . . . . .	15
<b>1.3 Organização do Trabalho</b> . . . . .	15
<b>2 VARIABILIDADE DE PROCESSO</b> . . . . .	17
<b>2.1 Classificação da Variabilidade de Processo</b> . . . . .	17
<b>2.2 Efeitos sobre os Parâmetros do Modelo</b> . . . . .	20
2.2.1 Dopagem Aleatória Discreta (RDD) . . . . .	21
2.2.2 <i>Line-Edge Roughness</i> (LER) . . . . .	22
2.2.3 Rugosidade de Interface e Variação de Espessura de Óxido . . . . .	22
2.2.4 Polimento Químico e Mecânico (CMP) . . . . .	23
<b>3 PROJETO VOLTADO A MANUFATURA (DFM)</b> . . . . .	25
<b>3.1 Off Axis Illumination (OAI)</b> . . . . .	29
<b>3.2 Optical Proximity Correction (OPC)</b> . . . . .	29
<b>3.3 Intensidade de Iluminação</b> . . . . .	31
<b>3.4 Sub-Resolution Assist Feature (SRAF)</b> . . . . .	31
<b>3.5 Phase Shift Mask (PSM)</b> . . . . .	31
<b>3.6 Leiautes Regulares</b> . . . . .	33
3.6.1 Trade-Off . . . . .	34
3.6.2 Classificação da Regularidade . . . . .	34
3.6.3 Dobramento de transistores ou <i>Folding</i> . . . . .	36
<b>4 CARACTERIZAÇÃO DA VARIABILIDADE DE PROCESSO</b> . . . . .	37
<b>4.1 Modelamento de Pelgrom</b> . . . . .	37
<b>4.2 Modelando Descasamento por Fontes Sistemática e Aleatórias</b> . . . . .	39
<b>4.3 Modelamento Utilizando Análise de Componente Principal (PCA) ou Multivariável</b> . . . . .	40

<b>4.4</b>	<b>Modelamento por Variação de Corrente</b>	43
4.4.1	Modelamento para fontes de corrente digitais	43
4.4.2	Fontes de Corrente	44
<b>4.5</b>	<b>Controle da Variabilidade da Tensão de Sub-Limiar</b>	45
<b>4.6</b>	<b>Variação da Tensão de Limiar devido a Flutuação da Espessura do Óxido</b>	46
<b>4.7</b>	<b>Variabilidade Considerando Contexto de Projeto</b>	47
<b>4.8</b>	<b>Modelamento Utilizando Distribuição Multivariada Normal</b>	48
<b>4.9</b>	<b>Caracterização Baseada em Forma de Onda Independente para Modelamento de Porta (WiM)</b>	49
<b>4.10</b>	<b>Substituição de Transistores por Estruturas Paralelas, Seriais ou Mistas</b>	50
<b>5</b>	<b>PROPOSTA E METODOLOGIA</b>	52
<b>5.1</b>	<b>Proposta</b>	52
<b>5.2</b>	<b>Metodologia</b>	53
5.2.1	Escolha das Funções	53
5.2.2	Criação dos Leiautes	53
5.2.3	Alteração do Modelo e Simulação	55
<b>6</b>	<b>RESULTADOS</b>	59
<b>6.1</b>	<b>Comparando a Técnica de Folding Sobre os Experimentos Envolvendo Portas Complexas</b>	59
<b>6.2</b>	<b>Folding sobre Células Básicas</b>	61
<b>6.3</b>	<b>Comparação entre Circuitos com Células Complexas e Células Básicas (NAND, NOR, INVERSOR)</b>	63
<b>6.4</b>	<b>Desvantagens da Utilização de Folding</b>	64
<b>7</b>	<b>CONCLUSÃO</b>	69
	<b>REFERÊNCIAS</b>	70
<b>8</b>	<b>APÊNDICE A LEIAUTES DE PORTAS COMPLEXAS SEM FOLDING CRIADAS</b>	75
<b>9</b>	<b>APÊNDICE B LEIAUTES DE PORTAS COMPLEXAS COM FOLDING CRIADAS</b>	79
<b>10</b>	<b>APÊNDICE C NETLIST EXTRAÍDO COM O PADRÃO DSPF DE UMA PORTA XOR DE 2 ENTRADAS UTILIZANDO FOLDING</b>	83

## LISTA DE ABREVIATURAS E SIGLAS

ASIC	Circuito integrado de aplicação específica
BEOL	Back end of Line
CD	Dimensões Críticas (menor dimensão da tecnologia)
CMOS	Metal Óxido Semicondutor Complementar
CMP	Polimento Químico Mecânico
DSPF	Detailed Standard Parasitic Format
EUVL	Luz Ultravioleta Extrema
FEOL	Front End of Line
FPGA	Field Programable Gate Array
IC	Circuito Integrado
MOSFET	Transistor de Efeito de Campo Metal Óxido Semicondutor
NBTI	Negative Bias Temperature Instability
$T_{ox}$	Espessura do Óxido de porta
$V_{th}$	Tensão de Limiar
VLSI	Very Large Scale Integration

## LISTA DE FIGURAS

Figura 2.1:	Rede cristalina de silício com dopagem após processo de <i>annealing</i> . . . . .	19
Figura 2.2:	Exemplo de rugosidade entre a interface difusão/canal . . . . .	22
Figura 2.3:	Processo de CMP. Fonte (HANYANG, 2011). . . . .	24
Figura 2.4:	Processo de CMP. Fonte (HANYANG, 2011). . . . .	24
Figura 3.1:	Comprimento de onda utilizado no processo de Litografia (INTEL, 2011) . . . . .	26
Figura 3.2:	Processo do <i>Off Axis Illumination</i> . Fonte (ASML, 2011a). . . . .	29
Figura 3.3:	Fluxo hipotético desde o projeto até o processo envolvendo OPC . . . . .	30
Figura 3.4:	Aplicação da técnica de OPC sobre a estrutura . . . . .	30
Figura 3.5:	Técnica SRAF aplicada sobre uma estrutura . . . . .	32
Figura 3.6:	<i>Phase Shift Mask</i> (PSM). Fonte (ASML, 2011b) . . . . .	32
Figura 3.7:	a)Leiaute sem regularidade, b) Leiaute apresentando regularidade e com a adição de linhas <i>dummy</i> de polisilício, ambos leiautes desprezando roteamento em metal (SUBRAMANIAM et al., 2008) . . . . .	33
Figura 3.8:	Granularidade fina de um bloco regular . . . . .	35
Figura 3.9:	Granularidade pequena de um bloco regular . . . . .	35
Figura 3.10:	Granularidade média de um bloco regular . . . . .	36
Figura 3.11:	Granularidade grande de um bloco regular baseado em um circuito hipotético . . . . .	36
Figura 4.1:	Discriminação da distância entre duas áreas distintas . . . . .	38
Figura 4.2:	Relação entre parâmetros físicos e elétricos . . . . .	39
Figura 4.3:	Níveis hipotéticos de aceitação de variação de um circuito a partir de uma PDF qualquer . . . . .	42
Figura 4.4:	Contexto utilizado para simulação da variabilidade sobre uma célula . . . . .	48
Figura 4.5:	Contribuição da Variabilidade Sistemática e Aleatória . . . . .	49
Figura 5.1:	Diagrama dos Cornes de Desempenho de um Circuito . . . . .	53
Figura 5.2:	Fluxograma das Etapas Executadas Durante o Experimento . . . . .	54
Figura 5.3:	Funções Lógicas Implementadas em Leiaute . . . . .	55
Figura 5.4:	Leiautes de um Inversor mostrando regularidade para a camada de polisilício. . . . .	56
Figura 8.1:	Porta complexa CG2 sem folding . . . . .	75
Figura 8.2:	Porta complexa CG3 sem folding . . . . .	76
Figura 8.3:	Porta complexa CG10 sem folding . . . . .	77
Figura 8.4:	Porta complexa CG11 sem folding . . . . .	78



Figura 9.1:	Porta complexa CG2 com folding . . . . .	79
Figura 9.2:	Porta complexa CG3 com folding . . . . .	80
Figura 9.3:	Porta complexa CG10 com folding . . . . .	81
Figura 9.4:	Porta complexa CG11 com folding . . . . .	82

## LISTA DE TABELAS

Tabela 2.1:	Variabilidade Espacial Aproximada . . . . .	20
Tabela 6.1:	Resultados obtidos comparando o pior atraso encontrado usando corne de simulação TT. . . . .	60
Tabela 6.2:	Resultados obtidos comparando o pior atraso encontrado usando corne de simulação SS. . . . .	60
Tabela 6.3:	Resultados obtidos comparando o pior atraso encontrado usando corne de simulação FF. . . . .	61
Tabela 6.4:	Resultados obtidos para variação de potência RMS para o corne de simulação TT . . . . .	61
Tabela 6.5:	Resultados obtidos para variação de potência RMS para o corne de simulação SS . . . . .	62
Tabela 6.6:	Resultados obtidos para variação de potência RMS para o corne de simulação FF . . . . .	62
Tabela 6.7:	Comparação dos piores atrasos normalizados sobre portas básicas com e sem <i>Folding</i> . . . . .	63
Tabela 6.8:	Variação de potência RMS normalizada para células básicas com e sem <i>Folding</i> . . . . .	64
Tabela 6.9:	Comparação entre o pior atraso de versões com e sem <i>folding</i> em relação versão constituída de portas básicas . . . . .	65
Tabela 6.10:	Comparação da variação de potência RMS de versões com e sem <i>folding</i> em relação a versão constituída de portas básicas . . . . .	66
Tabela 6.11:	Comparação sobre a área total das células com e sem <i>folding</i> . . . . .	67
Tabela 6.12:	Comparação sobre a potência RMS consumida pelas células com e sem <i>folding</i> . . . . .	68

## RESUMO

Este trabalho visa explorar técnicas de projeto de células que possibilitem a minimização dos efeitos da variabilidade de processo sobre o comportamento elétrico dos circuitos integrados. Para este trabalho foram abordados aspectos de regularidade, principalmente na camada de polisilício. A técnica de *folding* foi explorada em conjunto com a regularidade como possível metodologia de projeto voltada para a minimização dos efeitos da variabilidade de processo. Leiautes de portas lógicas complexas e básicas foram criadas utilizando tecnologia em 65nm. Os *netlists* dos leiautes extraídos foram simulados utilizando modelos que refletiam os efeitos da variabilidade sobre os parâmetros tecnológicos mais afetados pela variabilidade de processo. Os parâmetros selecionados para este experimento foram a largura (W) e comprimento (L) do canal do transistor, espessura do óxido de porta ( $T_{ox}$ ) e a mobilidade ( $\mu_0$ ) das cargas. Os dados referentes ao pior caso envolvendo atraso e potência consumida de cada porta foram utilizados como métricas de comparação. Os resultados encontrados demonstram que a utilização da técnica de *folding* juntamente com aspectos de regularidade tornaram os experimentos menos sensíveis às variações do processos de manufatura de circuitos integrados. Essas reduções de sensibilidade chegaram em algumas situações à 33.22% para as portas básicas e de 28.96% para as portas complexas. A adição de *folding* e regularidade da camada de polisilício, trazem desvantagens significativas em área e potência consumida de cada porta. Pelos experimentos realizados é possível verificar aumento superior a 100% em área de algumas portas e de até 20.54% de aumento em potência. A união destas duas técnicas pode ser utilizada para tornar, por exemplo, o caminho crítico de um circuito integrado mais robusto quanto as variações de temporização e de potência.

**Palavras-chave:** Leiaute de células, variabilidade de processo , DFM, folding de transistores, microeletrônica.

## Using Folding to Design Logic Gates Robust to Process Variability

### ABSTRACT

This paper aims to explore for design techniques that allow the minimization of the effects of process variability on the electrical behavior of integrated circuits. To this work were discussed aspects of regularity, especially in poly-silicon layer. The technique of it folding was explored in conjunction with the regularity as possible design methodology aimed to minimizing the effects of process variability. Complex and basic layouts logic gates were built using 65nm technology. The it netlists extracted from layouts of the gates were simulated using models that reflected the effects of variability on the main technological parameters such as  $W$ ,  $L$ ,  $T_x$ ,  $\mu_0$  of the charges. The worst delay of each port and power consumption parameters were used for comparison in this work. The results show that using the it folding with regularity aspects of the experiments turns the layout gates less sensitive to process variations. These sensitivity reductions reached in some situations to 33.22 % for the basic gates and 28.96 % for the complex gates created. This techniques brings significant disadvantages in size and power consumption. For the experiments you can check increase of over 100% in area and up than 20,54% increase in power. These techniques should be used with discretion, especially on projects where there are area or consumption restrictions.

**Keywords:** cell layout, process variability, DFM, transistor folding, microelectronics.

# 1 INTRODUÇÃO

A contínua necessidade por circuitos eletrônicos no dia-a-dia das pessoas faz com que muitos avanços nesta área sejam realizados. Estes avanços consistem basicamente na miniaturização dos transistores para que seja possível de maneira viável a integração na ordem de bilhões de transistores em um único chip, mantendo restrições de consumo e de desempenho. Essa diminuição dos dispositivos implica necessariamente na superação de muitos desafios nas mais diferentes áreas de conhecimento, como química, física, matemática e principalmente, microeletrônica.

Devido às correntes dimensões dos dispositivos, chegando praticamente ao nível atômico, qualquer flutuação que aconteça durante o processo de manufatura constitui em alteração das características físicas e elétricas do dispositivo. Um dos grandes motivos relacionados a essas flutuações reside no processo de manufatura de circuitos integrados, principalmente nas etapas de litografia. A litografia é a etapa responsável pela impressão dos padrões dos transistores sobre a lâmina de silício.

Os processos de litografia, por sua natureza, utilizam luz para a sensibilização do *wafers* mas o grande problema é que os processos de litografia não conseguem acompanhar os avanços na tecnologia de circuitos. Enquanto os nós tecnológicos tendem a cair pela metade em um prazo aproximadamente de 2 anos, os processos de litografia tendem a ter um tendência de evolução menor. Isso acaba gerando uma lacuna entre o comprimento de onda utilizado no processo e as dimensões que devem ser expressas. Um motivo para essa lacuna é o fato de que as novas fontes de luz para o processo, luz ultravioleta extrema de 13.5nm, necessita de um ambiente selado com vácuo quase perfeito. Essa necessidade de haver um vácuo no equipamento torna a sua produtividade, *wafers* por hora, muito baixos, não compensando seus custos de implantação (EUV\_ASML, 2011).

Devido a esse descompasso entre o avanço tecnológico e a atualização dos processos litográficos, os transistores acabam sofrendo com problemas relacionados às suas geometrias e por consequência suas características elétricas (JHAVERI, 2007). Para combater esses problemas, uma série de técnicas voltadas a realçar os contornos e técnicas de construção das máscaras, foram inseridas durante as etapas de litografia. Contudo, a indústria reconhece que as etapas de litografia estão sob muito estresse no momento e novas soluções litográficas estão sendo pesquisadas.

Outro problema decorrente da redução da escala de fabricação dos circuitos integrados é a dificuldade de manter determinadas características fixas, como por exemplo, a quantidade de dopantes dentro do canal do transistor que determina a tensão de  $V_{th}$  do mesmo. Para tecnologias acima de 130nm é possível verificar a presença de milhares de átomos dopantes dentro do canal do transistor e variações para mais ou menos não resultavam em um impacto significativo sob o desempenho do transistor. Mas para transistores de 32nm, por exemplo, é possível encontrar menos de 100 átomos (KUHN, 2008) dopantes no ca-

nal. Qualquer variação para cima ou para baixo deste número reduzido de dopantes pode causar mudanças significativas sobre as características elétricas do transistor, fazendo com que a tensão  $V_{th}$  do transistor mude.

Diante destes fenômenos, muitos estudos estão sendo conduzidos com o objetivo de criar técnicas mais eficientes de construção dos circuitos integrados. Uma área que concentra grandes esforços por parte de pesquisadores do mundo todo é a caracterização das fontes de variação do processo de manufatura dos circuitos integrados que sejam eficientes em termos de resultados e tempo de computação. Devido às atuais dimensões dos transistores as simulações vão de uma linha determinística para uma área completamente estatística, tornando essencial a computação destes dados em tempos reduzidos.

Circuitos de altíssima escala de integração (VLSI), denominação dada quando o grau de integração é superior a 1 milhão de transistores, sofrem mais com os efeitos da variabilidade de processo. Devido ao alto grau de integração dentro de um circuito integrado, é necessário estabelecer metodologias que possam dispor de uma previsibilidade de desempenho pós manufatura do circuito integrado. Essa previsibilidade de desempenho pode ser obtida através da adoção de estruturas regulares na criação dos layouts dos circuitos como demonstra os estudos em (MENEZES et al., 2006) (JHAVERI, 2007) (SUBRAMANIAM et al., 2008) (PILEGGI et al., 2003) (KHETERPAL et al., 2005).

Em (JHAVERI, 2007) é demonstrado que a regularidade de estruturas de layout pode promover uma melhor impressão dos padrões sobre a superfície do *wafer*, principalmente estruturas que possuam dimensões críticas para a tecnologia em questão. Se estruturas regulares são melhor impressas sob o *wafer*, automaticamente há uma redução dos efeitos da variabilidade de processo influenciadas pela litografia. Isso torna a regularidade algo a ser explorado em circuitos com restrições de desempenho alto.

Outro estudo relaciona estruturas paralelas como sendo uma técnica para diminuir os efeitos da variabilidade de processo. Um prévio estudo sobre paralelismo de transistores como alternativa para projeto de circuitos mais tolerantes a variabilidade de processo pode ser visto em (CARDENAS, 2008).

As ideias de regularidade e paralelismo de transistores será explorada neste trabalho como sendo uma alternativa para geração de circuitos mais robustos às variações inseridas nas etapas que envolvem o processo de manufatura.

## 1.1 Motivação

Atualmente grande parte da responsabilidade pela elaboração de técnicas de minimização da variabilidade de processo, presente entre dispositivos do mesmo *die*, entre *dies* do mesmo *wafer* ou mesmo entre *wafers* diferentes, é realizado pelas fábricas. Na sua grande maioria são técnicas corretivas e não preventivas, onde o projetista não possui controle, muito menos retorno sobre possíveis problemas de fabricação que venham a acontecer.

A indústria investe milhões e milhões para aperfeiçoar seus processos de manufatura mas de nada adianta esse investimento se os projetos não atentam para detalhes que podem ser vitais para a obtenção de um rendimento alto, impactando diretamente sobre o preço final do circuito.

Um intercâmbio entre projetistas e engenheiros de manufatura se torna necessária, visando assim, a criação de boas práticas de projeto afim de maximizar a eficiência dos processos de manufatura, resultando em um rendimento maior de circuitos integrados, aptos ao consumo. Estabelecer práticas pode substituir antigos hábitos que favorecem

à degradação de desempenho devido às fontes de variação físicas que comprometem o comportamento elétrico dos dispositivos fabricados.

Baseado nestas afirmações, a principal motivação para este trabalho está na exploração de técnicas de cunho preventivo, que venham a colaborar na criação de circuitos que sofram menos com os efeitos da variabilidade de processo sem comprometer de forma significativa seu desempenho. Técnicas estas que possam ser implementadas durante a fase de projeto e não apenas durante a fase de produção dos circuitos.

## 1.2 Objetivo do Trabalho

O objetivo geral deste trabalho consiste na exploração de técnicas que possam ser utilizadas durante as fases de projeto, capazes de tornar os circuitos projetados mais robustos aos efeitos da variabilidade durante as etapas de fabricação do circuito. A estratégia proposta visa que estas técnicas concedam ao projetista uma garantia de que os circuitos que retornarem da fábrica tenham as especificações de desempenho estabelecidas em projeto, com uma margem de segurança, e não impactando no rendimento. O rendimento é uma métrica sobre o número de circuitos aceitáveis pelo número total de circuitos produzidos.

Procurar-se-á como objetivos específicos, explorar premissas expressas em metodologias para a manufatura de circuitos (DFM), onde se enquadra os esforços para a criação de circuitos mais regulares. Com base nessas premissas, se utilizará estruturas regulares para a criação dos leiautes das portas básicas (NAND, NOR, INVERSORES) e portas complexas utilizadas. Neste contexto buscou-se manter determinada regularidade nas linhas de polisilício para a criação dos leiautes. Juntamente com as estruturas regulares foi acrescentada a técnica de *folding*. O *folding* consiste na paralelização de transistores. O *folding* será explorado neste trabalho como possível técnica para juntamente à regularidade, criar circuitos mais tolerantes aos efeitos da variabilidade de processo. Para este trabalho considerar-se-á as capacitâncias e resistências parasitas dos leiautes.

## 1.3 Organização do Trabalho

O restante deste trabalho está organizado da seguinte maneira: o Capítulo 2 faz uma descrição sobre as classificações da variabilidade de processo presentes na literatura, como se manifesta e como implica no desempenho de parâmetros elétricos do circuito.

O Capítulo 3 menciona técnicas utilizadas pela indústria para minimizar os efeitos da variabilidade de processo sobre os circuitos projetados e metodologias possíveis de serem aplicadas em nível de projeto dos circuitos que visam auxiliar a indústria à enfrentar este problema que impacta diretamente no rendimento obtido pós manufatura.

O Capítulo 4 descreve alguns trabalhos relevantes relacionados à caracterização da variabilidade, procurando um modelamento preciso e eficiente em termos de computação. Algumas propostas para utilização de técnicas e metodologias para construção dos leiautes de circuitos mais robustos à variabilidade de processo também são abordados neste capítulo.

O Capítulo 5 relata a proposta do trabalho bem como a metodologia utilizada para a elaboração dos experimentos realizados e a obtenção dos dados que serão futuramente comparados.

No Capítulo 6 são realizadas algumas comparações sobre os experimentos entre os leiautes de portas complexas com e sem a técnica de *folding*, entre as portas complexas e implementações com portas básicas (NAND, NOR, INVERSORES). Comparações entre

os cornes *typical-typical* (TT), *slow-slow* (SS) e *fast-fast* (FF) e sobre a influência dos parasitas do leiaute foram realizadas no Capítulo 6. Os demais cornes não foram mencionados devido a não existência dos arquivos necessários no *design kit* utilizado.

Finalizando, o Capítulo 7 elabora algumas conclusões encontradas durante a execução deste trabalho e através dos resultados obtidos .



## 2 VARIABILIDADE DE PROCESSO

Com o crescente avanço tecnológico, a redução das dimensões dos dispositivos e o aumento da integração em um mesmo circuito integrado, acarretam problemas relacionados à previsibilidade de desempenho dos circuitos. Cada circuito criado pode apresentar um comportamento e desempenho distinto devido a variabilidade durante sua confecção (ORSHANSKY, 2008). Como o processo de manufatura engloba várias etapas, um mínimo desvio nas especificações em uma delas pode acarretar mudanças nas características físicas e comportamentais dos transistores. Isso pode gerar uma queda no desempenho do circuito, consumo anormal de potência ou mesmo tornar o circuito inadequado para seu determinado fim (ORSHANSKY, 2008). Uma grande questão é como lidar com essas variações durante o processo de manufatura. O processo de manufatura é separado em dois grandes grupos FEOL (*Front End of Line*) e BEOL (*Back End of Line*) (ORSHANSKY, 2008). O FEOL é responsável pelas etapas de criação dos transistores como oxidação, dopagem, criação do polisilício, criação dos contatos de dreno e fonte além das etapas de deposição de metais enquanto que o BEOL envolve etapas relacionadas ao encapsulamento do circuito e seu respectivo teste, mas para lidar com as variações é necessário compreender os mecanismos associados à variabilidade de processo bem como suas fontes. Para isso foram criadas classificações que são adotadas na literatura para caracterizar a variabilidade (ORSHANSKY, 2008) (MUTLU; RAHMAN, 2005). Tais classificações são descritas nas seções a seguir.

### 2.1 Classificação da Variabilidade de Processo

A variabilidade de processo pode ser caracterizada de acordo com sua fonte. Sob esse aspecto, o desempenho dos circuitos integrados está relacionado a três principais fatores (NASSIF, 2008).

1. Fatores Ambientais: consistem em variações nas tensões de alimentação dos circuitos e temperatura de operação dos mesmos. Esses fatores são fortemente dependentes do projeto dos circuitos. Tanto tensão quanto temperatura elevadas promovem uma diminuição no tempo de vida do circuito.
2. Fatores de Confiabilidade: estão relacionados com os altos campos elétricos presentes nos dispositivos modernos. Isso desencadeia fenômenos como NBTI (*Negative Bias Temperature Instability*), onde as características dos transistores se alteram com o passar do tempo devido ao seu fator de chaveamento, como por exemplo a tensão de limiar dos transistores, portadores quentes (*hot carrier*), quando um elétron ou lacuna ganha muita energia cinética capaz de romper barreiras estabelecidas pelas interfaces. Por último, o efeito de eletromigração, quando uma densidade de

corrente grande passa por um fio fazendo com que os elétrons se choquem com grande força aos cristais de metal deslocando-os até ao ponto de rompimento do fio. Todos estes fenômenos estão relacionados aos efeitos de envelhecimento dos transistores, . Esses efeitos são fortemente dependentes do projeto e podem demorar meses ou mesmo anos para se manifestarem de forma significativa sobre o circuito.

3. Fatores Físicos: implica na alteração de características elétricas dos dispositivos ativos (MOSFET) e passivos (interconexões). A variabilidade nesse ponto é causada pelas várias etapas de manufatura dos circuitos que estão associadas a uma ampla variedade de mecanismos que podem ser destacados como sistemáticos, dependentes de projeto e aleatórios (NASSIF, 2008).

Os efeitos promovidos pelos mecanismos sistemáticos podem ser percebidos entre chips ou mesmo entre *wafers*. O rápido arrefecimento térmico é um exemplo de variação promovido por um mecanismo sistemático. Os efeitos promovidos por um mecanismo sistemático geralmente são conhecidos pelos projetistas, possibilitando assim a devida minimização de seus efeitos aplicando técnicas de controle. Outro exemplo para um mecanismo sistemático é a variação do comprimento de canal de um transistor.

Alguns mecanismos são classificados com sendo dependentes de projeto, como exemplo é possível destacar a utilização do método de CMP (*chemical mechanical polishing*) que impacta diretamente nos valores de resistência e capacitâncias das interconexões do circuito e é diretamente influenciada pela topografia dos dispositivos vizinhos ao ponto onde se deve polir (NASSIF, 2008), além de afetar as trincheiras de isolamento raso (*Shallow Trench Isolation-STI*) causando erosão e deformação do dielétrico.

Por fim, alguns mecanismos são caracterizados como sendo aleatórios. Esses fenômenos aleatórios não são bem compreendidos. devido a isso é necessário a utilização de cenários que abordem a analogia do pior caso possível para garantir uma margem de segurança entre o projeto e o circuito fabricado. Devido às atuais dimensões dos dispositivos é praticamente impossível obter modelos determinísticos de comportamento dos transistores. Para isso mais e mais métodos estatísticos e probabilísticos estão sendo incorporados nos modelos afim de obter valores condizentes com a realidade (ORSHANSKY, 2008) (WANG et al., 2011) (MEZZOMO et al., 2011) (REID et al., 2011). Um exemplo de um mecanismo aleatório pode ser observado na dopagem aleatória para a fixação dos valores da tensão de limiar dos transistores. Por questões físicas e tecnológicas o processo de implantação de íons dopantes tem uma característica aleatória pois não é possível prever o comportamento do íon em relação a sua posição entre os átomos de silício bem como a quantidade de dopantes ativos projetados em direção da rede cristalina de silício, onde a respectiva posição e quantidade dos átomos dopantes influencia diretamente o resultado final do processo. A Figura 2.1 ilustra uma rede cristalina de silício com uma quantidade de dopantes com suas respectivas posições sobre a estrutura após o processo de *annealing*, processo pelo qual a amostra é aquecida e resfriada a taxas constantes com o objetivo de alcançar uniformidade em toda a rede cristalina. Nesta estrutura é possível verificar que o dopante é do tipo P, deixando uma lacuna, ou ausência de elétron para cada átomo dopante inserido na rede cristalina.

Dentro dos fatores físicos ainda é possível estabelecer algumas subcategorias com relação a localização espacial, posição relativa onde a variabilidade se manifesta. Dentre elas pode-se citar variações físicas de *die* para *die* e variações físicas internas do *die*. As variações de *die*-para-*die* são fortemente independentes do projeto e podem se manifestar

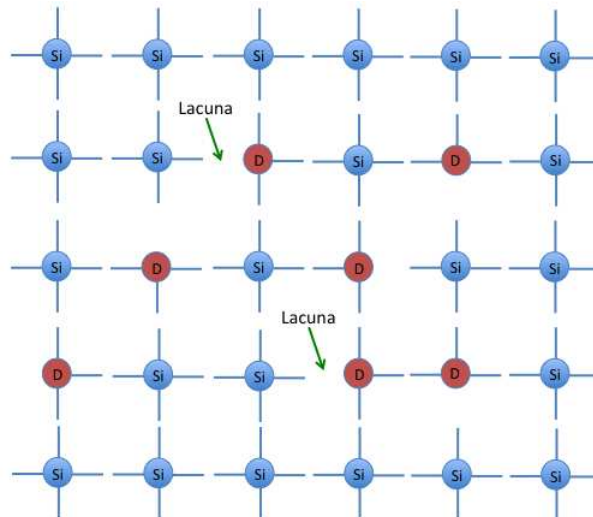


Figura 2.1: Rede cristalina de silício com dopagem após processo de *annealing*

de maneiras e intensidades diferentes entre os *dies*. Elas geralmente são caracterizadas a partir das situações de pior caso. Já as variações internas dos *dies* são as mais estudadas e mesmo assim não possuem uma metodologia genérica efetiva de análise e modelamento (NASSIF, 2001) (WANG et al., 2011) (MEZZOMO et al., 2011) (REID et al., 2011).

A variabilidade de processo pode ser relacionada de acordo com sua dependência espacial, gerando variações sistemáticas diferentes entre vários pontos do domínio espacial. Essa dependência espacial sobre a variabilidade pode ser classificada de acordo com um modelo quantitativo das estruturas (circuitos) influenciadas pela variabilidade. Dessa maneira é possível estabelecer que a variabilidade pode ser localizada (NASSIF, 2008):

1. Lotes de *wafers* produzidos (*lot to lot*): diferenças obtidas de um lote para outro de *wafers* produzidos.
2. De um *wafer* para outro (*Wafer to Wafer*): consiste nas diferenças entre um *wafer* e outro dentro do mesmo lote de *wafers*.
3. Em cada *wafer* (*Within Wafer* ou *inter-die*): diferenças medidas entre cada *die* do *wafer*.
4. Em uma população de *dies* do mesmo *wafer*: variações encontradas numa população de *dies* do mesmo *wafer*. Há 3 diferentes tipos distintos para a clássica interpretação de variações *intra-die*. O primeiro tipo consiste em variações *intra-die* previsíveis devido ao fato do projetista ter informações que possibilite o cálculo da magnitude das variações para cada transistor no *netlist*. O segundo se refere a variações *intra-die* correlacionadas, ou seja, quando o projetista não consegue prever a atual magnitude de variação de um transistor mas consegue estabelecer a magnitude dos efeitos da variabilidade de todos. O terceiro são variações *intra-die* não correlacionadas que consistem na incapacidade do projetista de estabelecer qual a magnitude de variação de qualquer transistor presente no *netlist* (SPRINGER et al., 2006).
5. Entre transistores do mesmo chip (*parametric mismatch*): comumente considerado como variações residuais aleatórias do qual consiste na observação de toda e qualquer variabilidade de cada componente do circuito.

As definições acima podem ser abstraídas em dois grandes grupos: variações locais e variações globais. Variações locais e globais podem ser consideradas as mais importantes formas de análise de variabilidade de processo relacionadas com sua disposição espacial ou temporal, dependendo da abordagem adotada. A variabilidade local consiste em mudanças paramétricas de dispositivos idênticos separados por distâncias relativamente curtas, considera-se distâncias curtas nesse caso algumas centenas de nanômetros. Os itens 4 e 5 descritos acima são considerados locais. Em contrapartida, variações globais se manifestam em dispositivos idênticos separados por uma distância grande, referindo-se a distâncias superiores a vários micrômetros ou separados por intervalos de tempo distintos. Variações globais podem referir os itens 1, 2 e 3 citados acima.

A Tabela 2.1 demonstra uma estimativa aproximada da distribuição da variabilidade de processo de acordo com sua devida classificação.

Tabela 2.1: Variabilidade Espacial Aproximada (NASSIF, 2008)

Hierarquia Espacial	Percentual de Variação
Lote para Lote	35%
Wafer para Wafer	15%
Entre <i>dies</i>	20%
Inter <i>dies</i>	20%
Variações residuais aleatórias	10%

## 2.2 Efeitos sobre os Parâmetros do Modelo

Os dispositivos modernos são extremamente complexos em estrutura, processo dos materiais e condições relacionadas ao próprio processo de manufatura. Isso acaba gerando um aumento significativo na quantidade de variabilidade relacionada ao processo sobre os circuitos.

A complexidade na construção dos dispositivos MOSFETs pode ser associada às etapas envolvidas no processo. A utilização de técnicas como canal de silício tensionado, dopagem areolar nos terminais de fonte-dreno, óxido de porta extremamente finos, junções fonte-dreno muito rasas além de arrefecimento por períodos curtos de tempo (ms), são alguns exemplos que tornam a construção dos dispositivos MOSFETs altamente complexos (SAHA, 2010).

Considerando os efeitos produzidos pelo processo de fabricação, a variabilidade global causa a mudança dos valores médios de alguns parâmetros dos transistores como o comprimento (L) e largura (W), espessura e resistividade das camadas de metal e vias bem como suas capacitâncias intrínsecas, densidade de dopantes e efeitos de corpo. Já a variabilidade local introduz variações sobre os parâmetros do transistor de forma sistemática e aleatória como foi especificado na seção anterior (KUHN et al., 2011).

As maiores fontes de variabilidade de processo estudadas até o momento relacionadas a tecnologias CMOS modernas são: Dopagem Aleatória Discreta (RDD), *Line-Edge Roughness* (LER), rugosidade de interface e variação de espessura de óxido de porta, granularidade do polisilício e a morfologia do dielétrico com alto **k** (SAHA, 2010) (REID et al., 2011).

Essas e muitas outras fontes menos expressivas impactam diretamente na funcionalidade, confiança e rendimento (relação de circuitos bons por circuitos defeituosos ou com grandes desvios de desempenho) dos circuitos, e intensificados devido ao contínuo

decremento de  $V_{DD}$  e o aumento da densidade de integração de transistores em um chip (ORSHANSKY, 2008).

### 2.2.1 Dopagem Aleatória Discreta (RDD)

Em transistores MOSFET, o canal é dopado com átomos para a correção da tensão de limiar. É possível calcular a quantidade de dopantes presentes no canal de acordo com a seguinte formulação (SAHA, 2010):

$$N_{total,canal} \cong N_{CH}(W_{eff}.L_{eff}).x_j \quad (2.1)$$

onde  $W_{eff}$  e  $L_{eff}$  são respectivamente a largura e comprimento efetivos do canal,  $N_{CH}$  é a concentração de dopantes e  $x_j$  é a profundidade relacionada à função estendida de dreno-fonte.

A contínua redução das dimensões dos dispositivos acaba provocando uma redução exponencial sobre a quantidade de átomos dopantes sobre o transistor. De acordo com Kuhn (2008), a quantidade de dopantes no canal de transistores modernos tende a ser pequena o que torna mais difícil seu controle. Como exemplo, um transistor com canal de  $1\mu\text{m}$  possuía em torno de 5000 átomos dopantes. Em comparação a um transistor com canal de 32nm a quantidade de átomos dopantes presentes é inferior a 100 átomos (KUHN, 2008).

Um dos efeitos de RDD é o descasamento de  $V_{TH}$  que é diretamente proporcional à quantidade de átomos dopantes e suas respectivas posições na região ativa do canal. Devido a essa natureza, RDD se torna estatisticamente independente das demais fontes. Esse descasamento pode ser modelado através da formulação de Stolk (KUHN, 2008) (SAHA, 2010):

$$\sigma V_{TH,RDD} = \left( \frac{\sqrt[4]{4q^3 \epsilon_{Si} \phi_B}}{2} \right) \cdot \frac{T_{OX}}{\epsilon_{OX}} \cdot \left( \frac{\sqrt[4]{N}}{\sqrt{W_{eff}.L_{eff}}} \right) = \frac{1}{\sqrt{2}} \cdot \left( \frac{c_2}{\sqrt{W_{eff}.L_{eff}}} \right) \quad (2.2)$$

onde  $q$  representa a carga do elétron,  $\epsilon_{Si}$  e  $\epsilon_{OX}$  são respectivamente a permissividade elétrica do silício e óxido de silício.  $\phi_B$  é o potencial embutido da junção dreno-fonte,  $T_{OX}$  é a espessura do óxido e  $N$  é a concentração de dopantes,  $W_{eff}$  e  $L_{eff}$  são respectivamente a largura e comprimento efetivos do canal.

Outro fator de aumento da variabilidade de processo está relacionado a dopagem do polisilício. Nessas condições o polisilício pode não receber a quantidade adequada de dopantes, além de existir a possibilidade de que haja a penetração de átomos dopantes no óxido de porta ou mesmo parando dentro do canal do transistor (REID et al., 2011).

Uma outra maneira de modelar o descasamento de  $V_{th}$  devido aos efeitos de dopagem aleatória discreta é referenciada por (HOON, 2004):

$$\sigma V_{TH,RDD} = \frac{q}{C_{ox}} \sqrt{\frac{N_a W_{dm}}{3LW}} \quad (2.3)$$

onde  $C_{ox}$  é a capacitância do óxido,  $N_a$  é a concentração de dopantes no substrato,  $W$  e  $L$  são a largura e comprimento do canal do transistor e  $q$  é a constante que representa a carga do elétron e  $W_{dm}$  é a máxima largura da camada de depleção formada (ROY, 2003):

$$W_{dm} = \sqrt{\frac{4\epsilon_{Si}KT \ln\left(\frac{N_a}{n_i}\right)}{q^2 N_a}} \quad (2.4)$$

onde  $\epsilon_{Si}$  é a constante que define a permissividade do silício,  $K$  é a constante de Boltzmann,  $T$  é a temperatura e  $n_i$  é a concentração de portadores intrínsecos, levando em consideração que a variação da tensão de limiar ( $\sigma_{VT}$ ) é inversamente proporcional a raiz quadrada da área  $\sqrt{WL}$ .

### 2.2.2 Line-Edge Roughness (LER)

A LER é uma fonte de variabilidade por causar variações nas dimensões críticas relacionadas com as características de tamanho. LER se tornou um problema que precisa ser controlado devido ao advento da utilização de *subwavelength* nos processo litográficos modernos.

O avanço tecnológico trouxe uma lacuna entre processo e circuito. Enquanto as dimensões dos dispositivos continuam a diminuir, o processo litográfico ficou estagnado, sendo que uma grande parte das empresas utilizam processos litográficos com comprimento de onda  $\lambda$  de 193nm para produção de seus circuitos. Os efeitos de LER tendem a ficar maiores se a diferença entre as dimensões críticas e o comprimento  $\lambda$  dos processos litográficos continuar aumentando ( $\lambda - CD_{min}$ ). LER como o RDD é uma fonte estatisticamente independente (REID et al., 2011).

LER pode causar a degradação de  $V_{TH}$  bem como aumentar a corrente de sub-limiar. O descasamento de  $V_{TH}$  considerando LER depende da variabilidade registrada sobre a largura efetiva do dispositivo ( $W_{eff}$ ). A formulação para a variação de  $V_{TH}$  considerando LER é mostrada na equação 2.5.

$$\sigma V_{TH,LER} \propto \frac{1}{\sqrt{W_{eff}}} < \sigma V_{TH,RDD} \quad (2.5)$$

### 2.2.3 Rugosidade de Interface e Variação de Espessura de Óxido

Uma variabilidade significativa é introduzida durante o processo pela rugosidade do óxido de silício. Para tecnologias abaixo de 65nm o valor de  $T_{OX}$  corresponde a um comprimento contendo poucos átomos de silício. Dessa maneira, uma pequena diferença resulta numa variação consideravelmente grande, podendo em alguns casos passar dos 50%. Esta variação é estatisticamente independente, ou seja, não necessita de outras condições para existir (KUHN, 2008). A imagem 2.2 demonstra o que seria a rugosidade entre a interface difusão/canal.

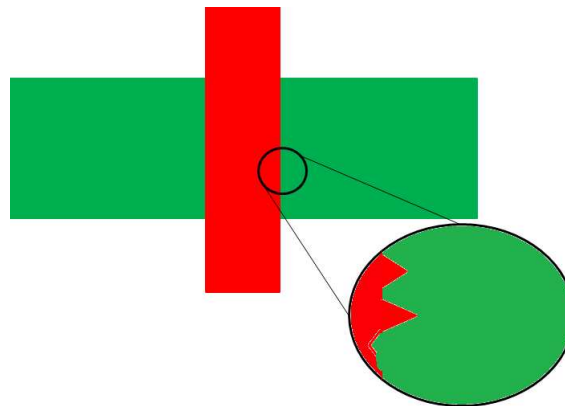


Figura 2.2: Exemplo de rugosidade entre a interface difusão/canal

A variação da espessura do óxido gera uma diferenciação na corrente de gate (Ig). Essa variação na corrente de gate gera uma queda de tensão no *gate* de polisilício causando uma variação significativa na tensão de  $V_{TH}$ .

#### 2.2.4 Polimento Químico e Mecânico (CMP)

O principal objetivo do CMP é a planarização do óxido de silício e das camadas de metal. Essa planarização é necessária para facilitar o processo de implantação de novas camadas de metal e evitar possíveis falhas de implantação de metal devido à topografia do óxido. Uma das funções do processo de planarização é acabar com problemas relacionados a mudanças na dose de exposição e profundidade de foco, do inglês “*Depth of Focus*” (DOF) causado pelo relevo irregular da superfície do *wafer* (SREEDHAR; KUNDU, 2009). O CMP é acometido por dois importantes fenômenos, a erosão e o “*dishing*” (ORSHANSKY, 2008). O fenômeno de *dishing* representa o recuo ou excesso de polimento de uma determinada área do dispositivo, em geral está associada ao dielétrico circundante do dispositivo. Erosão é a perda de espessura do dielétrico circundante comparado com uma superfície limpa, sem qualquer tipo de polimento.

O grau de *dishing* e de erosão depende fortemente do leiaute. Detalhes de construção e implementação do leiaute, detalhes sobre os equipamentos relacionados ao processo, o bloco de polimento, as substâncias abrasivas e a própria uniformidade do wafer são fatores que promovem o aumento da variabilidade durante o processo.

Em geral, *dishing* causa um maior índice de variabilidade sobre linhas de metal muito grandes enquanto que a erosão torna a variação da espessura do óxido problemática principalmente no que diz respeito ao espaçamento entre dielétricos vizinhos a uma linha de metal.

A erosão e o *dishing* podem acarretar efeitos significativos sobre os parâmetros elétricos como capacitâncias e resistências dos fios e interconexões caso não seja bem controlado. Além desses problemas que se originam no processo de CMP, variações na topografia da superfície do *wafer* podem resultar em dificuldades de determinar a espessura dos fios e do óxido. Uma das medidas para diminuir os efeitos de *dishing* e erosão é a adição de linhas de metal auxiliares (*dummy*). Esses *dummys* são usados como auxiliares durante os processos de litografia e de CMP.

A maioria dos processos de CMP podem ser considerados como possuindo 2 estágios distintos. Esses estágios são:

1. O primeiro estágio geralmente faz a remoção do excesso de cobre resultante da galvanoplastia, processo pelo qual íons de metal, neste caso cobre, que se encontra submerso em um substrato é transferido para a superfície do *wafer* através do processo de eletrólise.
2. O segundo estágio é a combinação do bloco de polimento e a lama abrasiva que são utilizados para remover as barreiras de metal criadas pelo processo de galvanoplastia.

A Figura 2.3 esboça de forma simplificada um processo de CMP. Nesta imagem é possível visualizar uma estrutura conhecida como cabeça ou *head* onde é fixado o *wafer* a ser polido. Esta cabeça imprime uma força descendente em direção da lâmina de polimento. Esta lâmina possui uma alimentação contínua de uma lama com agentes abrasivos que interagem com a lâmina para efetivar o polimento. Tanto lâmina quanto cabeça de polimento giram no mesmo sentido sendo que o cabeçote de polimento percorre toda a

superfície da lâmina de polimento. Uma estrutura adicional conhecida como condicionador é necessária para fazer o espalhamento da lama abrasiva de forma homogênea sobre a superfície da lâmina de polimento. O condicionador é vital nesse processo, pois ele é o mecanismo que garante que a erosão e o *dishing* sejam mantidos sob controle.

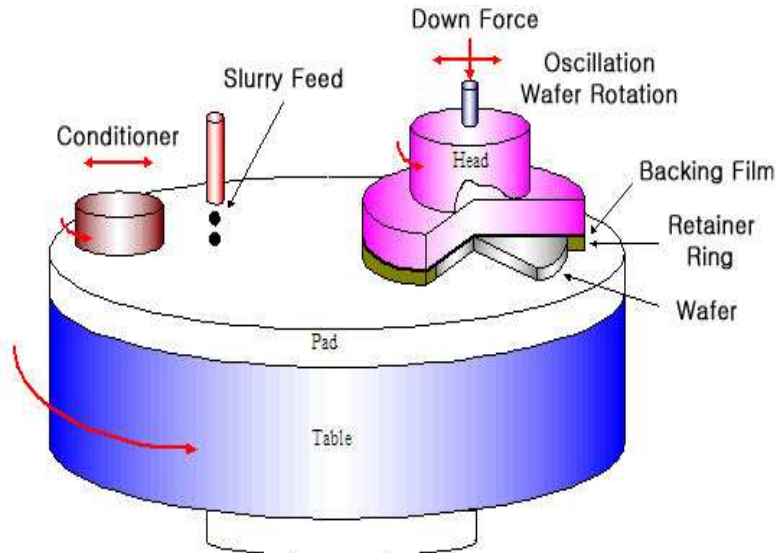


Figura 2.3: Processo de CMP. Fonte (HANYANG, 2011).

Já na Figura 2.4 é possível ver em detalhes a estrutura do cabeçote de polimento e o comportamento da lama abrasiva sobre a superfície do *wafer*. Aqui se verifica que a lama abrasiva acaba aderindo a superfície do *wafer* e com o atrito mecânico provocado pela lâmina de polimento, força os grãos abrasivos da lama a remover pequenas porções do óxido bem como pequenas porções de metal presentes na superfície do *wafer*.

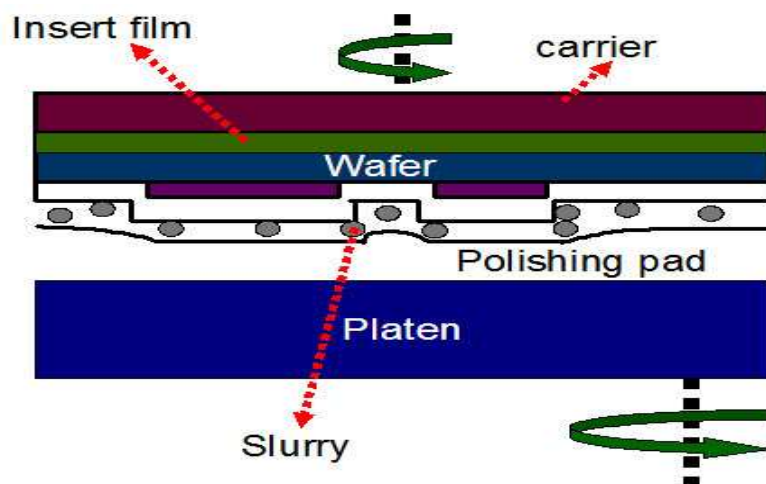


Figura 2.4: Processo de CMP. Fonte (HANYANG, 2011).

Este trabalho irá explorar a relação entre variações locais e globais e seus impactos no comportamento de portas lógicas digitais.



### 3 PROJETO VOLTADO A MANUFATURA (DFM)

Os desafios da litografia, expressa-se litografia aqui não apenas ao ambiente de microeletrônica mas sim no seu conceito genérico, foram expressos pelo físico Inglês John Rayleigh a mais de um século atrás, onde ele modelou os desafios através da seguinte equação:

$$R = k1(NA) \quad (3.1)$$

onde R é a resolução obtida, k1 é uma figura de mérito referente ao comprimento de onda ( $\lambda$ ) da luz, e NA é um valor numérico que representa a abertura da projeção da luz sobre o conjunto de lentes do sistema litográfico (SAWICKI, 2011). Com o avanço das tecnologias, o valor de mérito k1 continua a diminuir. Valores de k1 que são inferiores a 0.5 necessitam obrigatoriamente a aplicação de técnicas de realce de resolução (RET) para todas as etapas litográficas do processo. Esses desafios promovem uma contínua melhoria dos processos de litografia e RET na manufatura dos chips, porém é necessário que os projetistas adotem práticas que minimizem os efeitos da variabilidade de processo sobre os circuitos. Uma boa prática a ser adotada pelos projetistas é a utilização de leiautes regulares na implementação física de seus circuitos. Mais detalhes sobre leiautes regulares pode ser visto na seção 3.6.

Durante a etapa de fotolitografia dos circuitos, há uma tendência de perda da intensidade de iluminação sobre a foto-resina devido ao fator k1. Esta perda de intensidade pode acarretar uma má formação das geometrias dos transistores alterando desta forma seu comportamento funcional, inserindo com isso, variabilidade sistemática sobre o dispositivo. A energia ou dose dispensada em direção da máscara pode promover efeitos diferenciados sobre a foto-resina, já que a mesma pode conter elevações ou declividades em sua topografia, causando deformidades sobre as formas dos dispositivos. As dimensões críticas, menores dimensões da tecnologia, geralmente são as mais afetadas por problemas decorrentes da litografia. Um dos parâmetros mais significativamente afetados pelos efeitos de proximidade óptica (OPE), denominação dada para os efeitos produzidos devido aos processos litográficos, é o comprimento de canal, onde as linhas de polisilício se tornam dependentes das suas vizinhanças no leiaute (ORSHANSKY, 2008) para a determinação das formas geométricas finais das camadas de polisilício.

Um dos principais agentes causadores da variabilidade de processo durante as etapas de litografia é a utilização de *subwavelength*, ou seja, subpartes do comprimento de onda para o processo de impressão dos dispositivos sobre o *waffer*. Ela é diretamente responsável pelos cantos arredondados, variação nas espessuras das linhas de metal e encurtamento no final da linha (KAHNG, 1999). Na Figura 3.1 é observada a tendência de queda nas dimensões dos dispositivos e o descompasso com relação a queda do comprimento de onda. É possível verificar que para transistores de 65nm é utilizada uma onda de aproximada-

mente 3 vezes o seu tamanho para realizar o processo de impressão dos padrões sobre o *wafer*, evidenciando o descompasso entre a etapa litográfica e o nó tecnológico. Para que a utilização de partes da onda seja possível, é necessária a utilização de um conjunto de lentes que alinham o feixe sobre a superfície do *wafer* a ser sensibilizada.

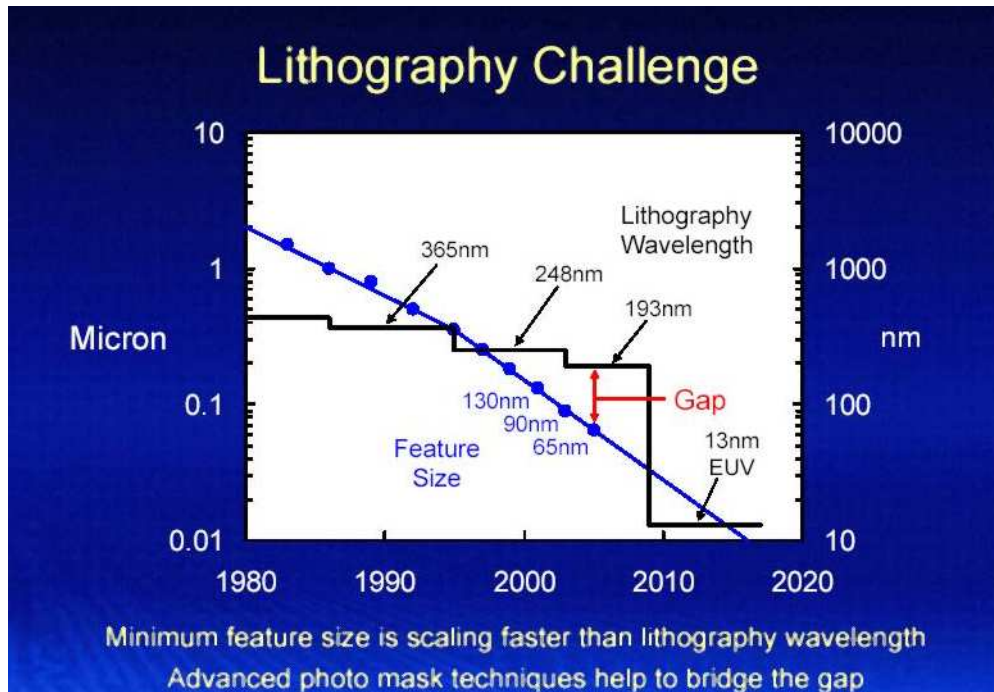


Figura 3.1: Comprimento de onda utilizado no processo de Litografia (INTEL, 2011)

A perda de definição da imagem devido aos problemas de difração (interferência), reflexão e refração da luz, relacionados a impressão dos padrões sobre o *wafer*, em grande parte devido a utilização de *subwavelength*, geram variações nas formas dos dispositivos. Há ainda questões envolvendo mudanças topográficas após o processo de planarização das camadas de metal, sobreposição de erros nas dimensões dos padrões das máscaras e defeitos relacionados a partículas que se depositam de forma aleatórias sobre a máscara ou sobre a superfície do *wafer*.

Com o intuito de combater tais fenômenos, a indústria propõe a utilização de técnicas e metodologias que possam facilitar a implementação de um dado projeto em meio físico de forma mais simples e mais eficiente possível, surge dessa necessidade a ideia de projetos voltados para a manufatura (DFM) (ITRS, 2009).

O DFM consiste em técnicas e boas práticas com a finalidade de tornar os projetos mais resistentes aos problemas que podem ocorrer durante o processo de manufatura, custo de produção e explosão dos dados para a produção das máscaras, propiciando desta maneira a garantia de uma redução dos efeitos da variabilidade advinda do processo bem como aumentando dos rendimentos do processo de fabricação (PRESTON WHITE K.; ATHAY; TRYBULA, 1995).

Dentro das premissas de DFM, as técnicas de realce de resolução ou *Resolution Enhancement Techniques* (RET) foram inseridas. Estas técnicas têm por objetivo fazer com que o leiaute do circuito produzido esteja o mais próximo do leiaute estabelecido em projeto, garantindo que o paradigma “*what you see is what you get*” (WYSIWYG) seja cumprido. Várias técnicas são consideradas como sendo RET, dentre elas as mais importantes são *Off Axis Illumination* (OAI), *Optical Proximity Correction* (OPC), *Sub-*

*Resolution Assist Feature (SRAF)*, *Phase Shift Mask (PSM)*, os quais tem um papel importante na melhoria no processo de impressão e manufatura dos dispositivos (ORSHANSKY, 2008) (JHAVERI, 2007). Outra metodologia relacionada ao DFM é a adoção de estruturas regulares na confecção dos leiautes dos circuitos. Cada uma destas técnicas será explorada na sequência.

O DFM pode ser considerado segundo White(1995) como sendo projeto para fabricação (DFF), que se preocupa com assuntos relacionados à criação das partes individuais de um produto, neste caso, transistores, e projeto para montagem (DFA) que trata como as mais diferentes partes de um produto ou circuito irão se unir. A metodologia DFM possui três principais componentes (STROJWAS, 2006). O primeiro componente é uma modificação na biblioteca de células utilizada para introduzir variantes sobre a caracterização da célula, para endereçar os mecanismos de perda de rendimento. Esta etapa é conhecida como *Yield Stength Variation*. O segundo componente principal é um arquivo de dados contendo a caracterização precisa dos atributos de rendimento da biblioteca. Por fim, o terceiro componente é uma extensão das ferramentas de síntese física para incorporar rendimento nas funções custo da otimização lógica realizada pela ferramenta.

Além de DFM, existem metodologias de projetos voltados para a testabilidade (DFT) e voltados ao rendimento (DFY). DFT tem sido aceito como sendo uma parte importante no projeto de circuitos integrados. Estas metodologias se preocupam com a adição de estruturas ou dispositivos que facilitem o processo de teste de forma automatizada (PRESTON WHITE K.; ATHAY; TRYBULA, 1995). O DFT pode apontar quais as etapas de processo apresentam problemas, possibilitando a manutenção corretiva ou mesmo preventiva. O planejamento de como serão inseridas as estruturas de teste em um projeto é crucial já que testes rápidos são impraticáveis devido a complexidade e extensão dos circuitos nos dias atuais, e somente uma pequena parte das possibilidades de erro são contempladas.

DFY está focado na diminuição dos custos totais por chips funcionais e não apenas no aumento do rendimento de circuitos, já que a maximização do rendimento pode acarretar no aumento dos custos de produção dos chips. DFY engloba o modelamento dos fatores relacionados ao rendimento, caracterização de defeitos de processo e projetos baseados em estruturas menos sensíveis a problemas relacionados ao processo de manufatura que promovem uma diminuição do rendimento (PRESTON WHITE K.; ATHAY; TRYBULA, 1995), usando expressões exponenciais sobre o produto de formulações usando diferentes métodos de distribuição e parâmetros derivados de forma empírica de acordo com dados obtidos na fase de pré-caracterização.

Uma subcategoria do DFM é conhecida como “*Design for Value*” (DFV). Projetos de novos produtos ou circuitos esbarram em 3 fatores principais, a funcionalidade do produto, a proposta de tempo de vida para o produto e o custo de implementação do projeto (GUPTA; KAHNG, 2003). DFV tem por objetivo o controle dos valores totais empregados no projeto, promovendo uma união das demais metodologias em torno de um objetivo comum, custo final e produtividade, garantindo que as possíveis partes do projeto possam ser fabricadas, unidas e testadas utilizando técnicas e processos disponíveis no momento, mantendo os requisitos de desempenho previstos em projeto (PRESTON WHITE K.; ATHAY; TRYBULA, 1995).

Uma fórmula proposta por (GUPTA; KAHNG, 2003) pode expressar de forma simples o valor arrecadado a partir da venda de um circuito com características de desempenho distintos. Essa equação pode ser vista 3.2. Nesta equação, valor corresponde a quantidade total de dólares obtidos com a venda dos circuitos em mercado aberto, a fun-

ção  $v(f)$  corresponde ao valor unitário dos circuitos perante a uma medida de desempenho como potência ou frequência. A função  $rendimento(f)$  representa a relação entre circuitos bons pelo total de circuitos produzidos por lote.

$$Valor = \sum_f v(f) \times rendimento(f) \quad (3.2)$$

Devido à contínua diminuição dos dispositivos, uma maior quantidade de regras relacionadas ao processo são adicionadas para compensar ou endereçar novos fenômenos físicos, químicos e mecânicos que até o momento não eram relevantes ao processo de manufatura. Com isso fica mais difícil alcançar a garantia de que o paradigma "o que você vê é o que você obtêm", que representa o rendimento do projeto, se cumpra com o conjunto de regras de projeto adotadas.

O paradigma "o que você vê é o que você obtêm" do inglês "*what you see is what you get*" (WYSIWYG) foi estendido para que pudesse ser aplicado para as novas tecnologias (JHAVERI, 2007). Engenheiros responsáveis pelo processo introduziram regras de projeto adicionais a fim de considerar problemas ou falhas que possam acontecer durante as fases de litografia, CMP, *etch*, estresse de dielétricos e outros fenômenos físicos, químicos e mecânicos que possam ser relacionados ao processo.

Para tornar o DFM um fator constante nos projetos, alguns desafios para a manufatura de circuitos integrados devem ser considerados e medidas corretivas devem ser inseridas (ITRS, 2009):

1. Desafios arquiteturais: basicamente consiste na adição de estruturas redundantes devido ao baixo rendimento dos circuitos pós manufatura.
2. Desafios lógicos e de circuitos: que a caracterização e modelamento sejam incorporados em ferramentas estatísticas de projeto e que a evolução das análises estatísticas voltadas a otimização não venham a exigir uma complexidade computacional maior e que descasamentos de resultados não introduzam erros e alterem os custos computacionais.
3. Desafios no projeto físico e de leiaute: O contínuo incremento da complexidade das regras de checagem de projeto obrigou as regras a serem um sistema que representa o requerido versus o recomendado. As restrições de resolução impostas pelo equipamento litográfico evidenciam a necessidade de utilização de técnicas de RET das quais será discutido nas próximas seções, como forma de combater os efeitos da variabilidade de processo.
4. Desafios em otimização e previsão de rendimento: o rendimento sobre o projeto de um IC é uma função do produto em específico, de seus atributos de projeto e das probabilidades de falha de etapas específicas de processo (ITRS, 2009). Para isso, a previsão de rendimento precisa estar contemplado nas ferramentas que tratam das etapas de projeto como síntese lógica, posicionamento e roteamento, objetivando a otimização de parâmetros como desempenho, área, potencia e integridade de sinal.

Segundo ITRS (2009), a aplicação de DFM está sujeita a aplicação de duas categorias de requisições necessárias no instante de aplicação das técnicas:

1. Requisição devido a limitações econômicas: associado ao custo elevado da produção das máscaras que compromete inovações de pequenas empresas e mercados emergentes.

2. Requisição devido à variabilidade e limitações da litografia: está diretamente relacionada a dispositivos ativos, passivos e fios. Neste âmbito é incluído variação na tensão de alimentação dos dispositivos, variação da tensão de limiar de transistores de dimensões mínimas associados a células de memória e a variabilidade das dimensões críticas (CD) do comprimento de canal.

### 3.1 Off Axis Illumination (OAI)

A técnica de iluminação fora de eixo (OAI) é uma técnica que proporciona que a luz seja direcionada em determinados ângulos pela máscara. A luz é projetada sobre a máscara que foi previamente construída com materiais que propiciem a inversão da fase da onda de luz. A inversão da fase pode ser de 0 a 180°. Os feixes de luz com ângulos distintos são coletados por lentes de alta precisão que direcionam os feixes sobre a superfície do *wafer*, sensibilizando corretamente a foto-resina (ORSHANSKY, 2008) (JHAVERI, 2007). Esta técnica é muito empregada quando o processo de litografia faz a utilização de luz ultravioleta extrema (EUVL), o qual possui um comprimento de onda de 13.5nm. Esses processos de litografia utilizando EUVL estão se tornando tendência para a construção de circuitos modernos. Porém esta técnica necessita de outras formas de controle, como por exemplo, câmaras seladas a vácuo, devido ao seu comprimento de onda, uma simples partícula de poeira poderia desviar o feixe de luz de sua trajetória.

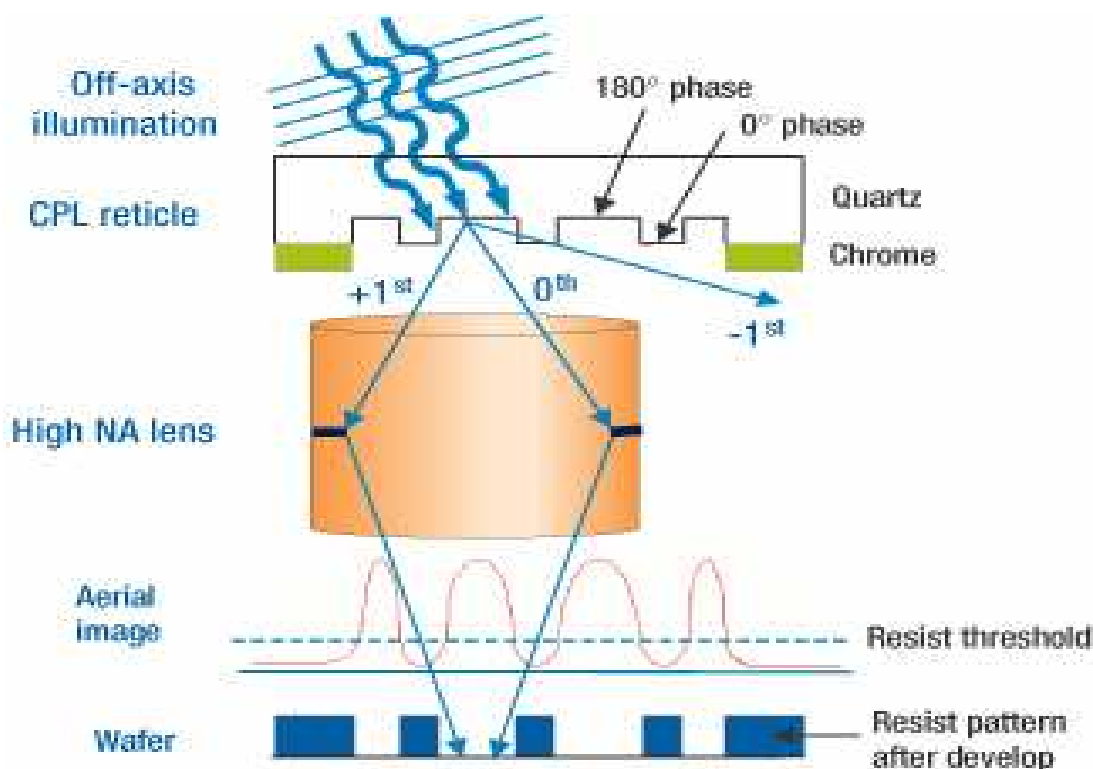


Figura 3.2: Processo do *Off Axis Illumination*. Fonte (ASML, 2011a).

### 3.2 Optical Proximity Correction (OPC)

O OPC é responsável por realizar compensações nas formas do circuito possibilitando a produção de dispositivos cada vez menores. Esta técnica é implementada dentro das fá-

bricas por ferramentas de *Computing Aided Design*(CAD) durante a preparação para a geração das máscaras. Essa ferramenta acrescenta nas linhas de metal e polisilício, retângulos a fim de manter o padrão da linha, evitando assim extremidades arredondadas ou estreitamentos nas linhas devido aos fenômenos de falta de foco provenientes da utilização de *subwavelength* (JIAO, 2008). A imagem 3.3 trás um fluxo hipotético que demonstra de maneira simplificada a incorporação do OPC sobre a máscara que será utilizada nas etapas da manufatura de circuitos.



Figura 3.3: Fluxo hipotético desde o projeto até o processo envolvendo OPC

A técnica de OPC procura inserir retângulos nas extremidades das linhas de metal e de polisilício, regiões de implante e áreas ativas dos transistores, garantindo uniformidade nos padrões transferidos ao circuito. Os retângulos inseridos são conhecidos como serifas e cabeça de martelo ou *hammerhead* e sua aplicação sobre a máscara é dirigido de acordo com um modelo de regras que políam a aplicação do método, que é criado a partir de detalhes do processo ou mesmo através de simulações da litografia (ORSHANSKY, 2008).

Basicamente existem dois tipos de OPC, o baseado em regras de projeto e o baseado em modelos (JIAO, 2008). O OPC baseado em regras de projeto consiste na checagem das regras de limites estabelecidas nos modelos tecnológicos das *foundries*, onde, para cada regra ou conjunto de regras há um procedimento a ser adotado. Os baseados em modelos levam consigo dois grandes problemas: a complexidade de iteração algorítmica, que o torna proibitivo no que se refere a tempo de execução e a explosão dos dados, visto que, a estrutura de dados resultante pode facilmente superar dezenas de *gigabytes*. A Figura 3.4 mostra como o OPC é aplicado sobre o leiaute. O contorno mais escuro representa o formato da máscara uma vez utilizada a técnica de OPC.

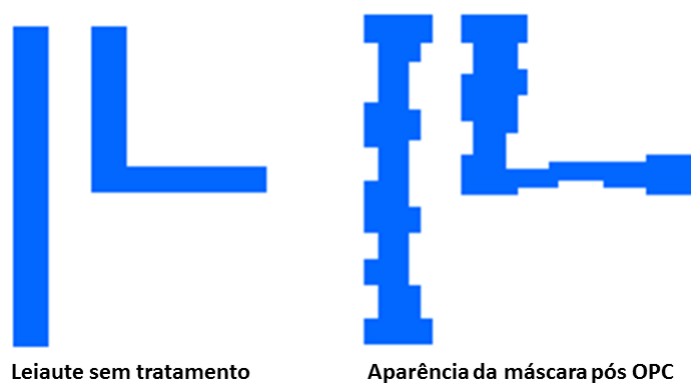


Figura 3.4: Aplicação da técnica de OPC sobre a estrutura

Algoritmos de OPC também procuram diminuir a distância nominal entre o projetado nos leiautes e o que foi retornado da manufatura *Edge Placement Error* (EPE). O EPE consiste na distância entre o contorno imprimível e o contorno alvo, resultado final do processo de manufatura (YU, 2006). Esse controle adicional realizado pelos algoritmos de OPC promovem a diminuição significativa de problemas relacionados a contatos abertos,

porém esses controles acabam gerando uma explosão do volume de dados necessários para a construção das máscaras, aumentando dessa forma a dificuldade de aplicação deste método (KAHNG, 1999). Outro fator considerado é o tempo necessário para execução do OPC, que pode facilmente durar dias se o objetivo é executar o OPC sobre todo o projeto e que o mesmo tenha dimensões consideravelmente grandes (YU, 2006), afetando desta maneira a eficiência da manufatura do chip (JIAO, 2008), ocasionando custos adicionais e demora na confecção das máscaras.

### 3.3 Intensidade de Iluminação

No momento da sensibilização da foto-resina, pode ocorrer diferenças na intensidade de iluminação entre pontos vizinhos da máscara, o qual acaba induzindo a presença de uma variação na geometria do componente. Essa diferença de intensidade de iluminação sobre a superfície da foto-resina acaba trazendo uma sensibilização inadequada ou mesmo insuficiente para os próximos passos do processo de fabricação (utilização de outra máscara para um determinado passo de produção do circuito).

Outro fator que compromete a intensidade de iluminação é a possibilidade do desalinamento entre camadas, ou seja, ocorrer fenômenos como translação, rotação, ampliação e distorção da luz (ORSHANSKY, 2008). A translação consiste no deslocamento das máscaras para cima, baixo ou para os lados. Na rotação, a máscara pode girar sobre seu eixo em diferentes ângulos. Na ampliação a camada atual acaba ficando maior do que a anterior e vice-versa e na distorção, as lentes utilizadas acabam distorcendo o foco da onda sobre a camada sensibilizada promovendo um efeito borrado sobre a área sensibilizada. Todos esses efeitos são controlados por programas de qualidade dentro das *foundries* que consiste na verificação periódica dos equipamentos e máscaras além de observação de chips e *wafers* pós manufatura.

### 3.4 Sub-Resolution Assist Feature (SRAF)

A técnica de SRAF consiste na adição de padrões menores que as dimensões críticas da tecnologia em torno das estruturas gravadas sobre as máscaras. Devido ao fato de as dimensões desses padrões adicionais serem menores que as CD os mesmos não são impressos sobre a foto-resina mas acabam colaborando para a fixação das dimensões do dispositivo. Esta técnica permite a diminuição da perda de foco sobre a máscara e um aumento da área da foto-resina sensibilizada (ORSHANSKY, 2008). A Figura 3.5 mostra a aplicação da técnica de SRAF sobre uma estrutura. É possível verificar que os retângulos são posicionados em volta da estrutura. Isso se repete para todas as estruturas, principalmente na existência de estruturas muito longas.

### 3.5 Phase Shift Mask (PSM)

A técnica de *Phase Shift Mask* (PSM) é uma técnica que permite a troca de fase de 0 ou 180 graus do feixe de luz transmitida em direção da máscara graças à adição de materiais específicos em sua construção (ORSHANSKY, 2008). Esta técnica tem por objetivo principal eliminar os conflitos de fase existentes durante o processo de litografia.

Os conflitos se dão devido às distâncias entre os dispositivos. Por exemplo, considera-se duas constantes positivas  $b < B$  que definem de forma simplificada a relação entre a capacidade de impressão e distância entre duas regiões limpas. Se a distância encontrada

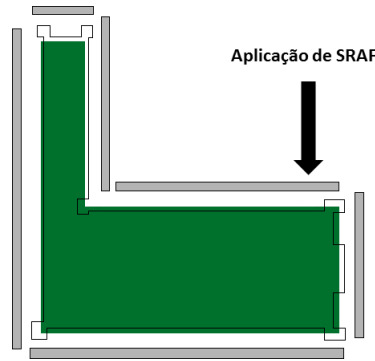


Figura 3.5: Técnica SRAF aplicada sobre uma estrutura

for igual a  $b$  e inferior a  $B$  então este dispositivo está em conflito (KAHNG, 1999).

Isso permite uma melhora no processo de sensibilização da foto-resina, permitindo um ganho significativo sobre as definições de contorno das geometrias dos dispositivos. A Figura 3.6 demonstra como a luz se comporta na presença da técnica. Pelo exemplo, é possível notar que a máscara possui duas áreas de iluminação contendo materiais diferentes, onde, cada material promove a inversão de fase do feixe de luz em relação ao outro. Essa técnica procura atacar os efeitos de desequilíbrio de intensidade de iluminação. Como exemplo, pode considerar a iluminação de um uma área específica interferindo na sensibilização de outra área vizinha sobre a superfície do *wafer* (JHAVERI, 2007). Comumente para exemplificar o que seria um conflito de fase onde o PSM age seria a utilização de estruturas que venham a formar um T. Porém, é altamente recomendável a eliminação de qualquer uma dessas estruturas do leiaute para assegurar uma diminuição dos efeitos provocados pelo desequilíbrio de intensidade de iluminação sobre os circuitos.

Os benefícios da utilização do PSM inclui a redução do comprimento dos Gates e com isso é possível obter um melhor controle sobre as CD em relação ao comprimento dos Gates, promovendo a contínua atualização sobre os níveis tecnológico. Em contrapartida o PSM traz um aumento da complexidade do projeto do leiaute e sua verificação. Essa complexidade de projeto das máscaras é diretamente proporcional a complexidade do projeto em geral, o que acaba promovendo um aumento significativo do custo de produção das máscaras e por consequência o custo final dos chips, e a eficácia da técnica PSM é fortemente dependente dos padrões vizinhos do projeto.

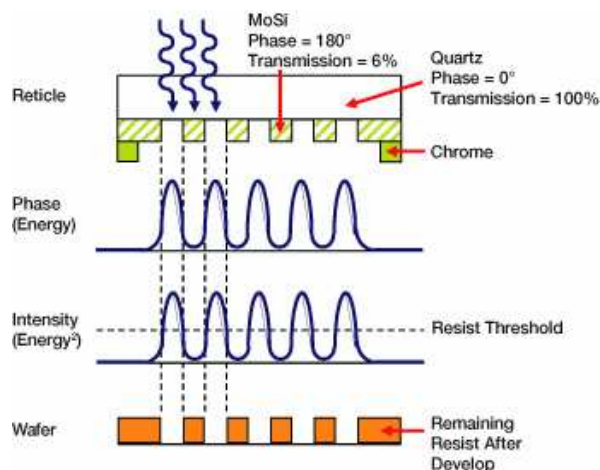


Figura 3.6: *Phase Shift Mask* (PSM). Fonte (ASML, 2011b)



### 3.6 Leiautes Regulares

Um dos motivos relacionados a utilização de estruturas regulares é a necessidade de limitar a quantidade de padrões dos leiautes para as futuras tecnologias objetivando a simplificação da aplicação das técnicas de RET, em especial a criação de formas geométricas que serão suportados pelos processos da manufatura, tornando assim as regras de projeto mais simples colaborando para manter as etapas do processo como a litografia amigável ou “*lithography friendly*”. PILEGGI (2003) afirma que a regularidade pode potencialmente melhorar os resultados obtidos após a manufatura e por consequência aumentar os parâmetros de rendimento dos circuitos. Kheterpal (2005) também sugere a não adoção das dimensões mínimas da tecnologia para criação dos leiautes além de considerar como padrão de regularidade a utilização de linhas retas de polisilício sem alteração de seu comprimento, diminuindo desta forma a variabilidade sistemática. A Figura 3.7 mostra a implementação de dois leiautes de uma porta XOR, uma não regular e a outra utilizando regularidade com adição de linhas *dummy* de polisilício.

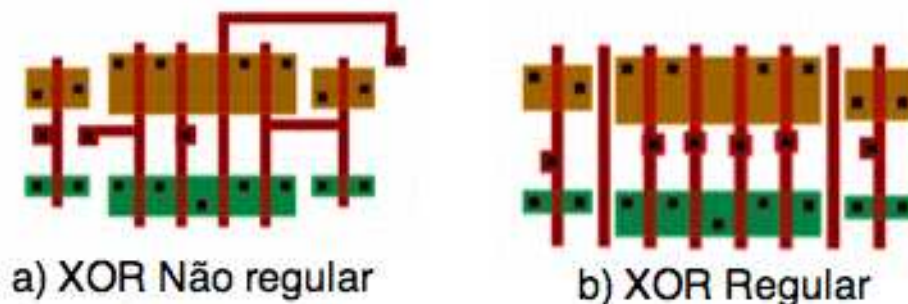


Figura 3.7: a) Leiaute sem regularidade, b) Leiaute apresentando regularidade e com a adição de linhas *dummy* de polisilício, ambos leiautes desprezando roteamento em metal (SUBRAMANIAM et al., 2008)

A regularidade pode ser considerada como sendo micro e macro-regulares. Uma micro-regularidade pode ser expressa pelo número limitado de padrões que implementam um projeto a nível físico. Esse número de padrões limitados pode estar associado a manufaturabilidade de ativos (MOSFET), metais, contatos, vias. Uma macro-regularidade pode ser associada a uma previsibilidade sobre as vizinhanças de uma célula, quando o número de células possíveis de serem alocadas durante o posicionamento é finita e conhecida. A construção de blocos lógicos constituídos por leiautes regulares observando as disposições de micro e macro-regularidade tem sido uma das apostas para a criação de projetos mais resistentes aos efeitos da variabilidade de processo. A proposta feita por (KHETERPAL et al., 2005) consiste na criação de bibliotecas de células contendo blocos regulares que podem conter uma quantidade de lógica variada, dependendo de sua possível aplicação em projeto. Essa forma de projetar circuitos esbarra em um problema relacionado ao incremento de área necessário para a criação do circuito.

É possível considerar regularidade sobre um ASIC utilizando uma metodologia similar às metodologias utilizadas em implementações de células de memória e FPGA. Um exemplo de regularidade pode ser associada a implementação de quaisquer funções lógicas através da associação de portas lógicas do tipo NAND de duas entradas.

As células NAND são implementadas em forma de vetores de portas lógicas das quais

o que diferem umas das outras é a forma de como elas estão conectadas. Isso é conhecido como “*sea of NAND gates*”. O impacto do comportamento médio causado pela variabilidade de processo (variações locais e globais) tende a diminuir devido a existência de elementos idênticos nas vizinhanças, isso garante uma fácil impressão e verificação final. Esse tipo de implementação conhecida como “*sea of NAND gates*” exibe uma macro-regularidade discutida anteriormente, porém os custos de implementação de um ASIC usando essa metodologia se torna proibitivo se forem considerados elementos como área, desempenho e dissipação de potência. Considerando estes aspectos, a adoção de estruturas regulares na concepção dos leiautes dos circuitos é um compromisso contínuo em busca do equilíbrio destas métricas fundamentais para implementação de qualquer projeto de circuitos integrados.

Bibliotecas de células comumente utilizadas na concepção de projetos ASIC são uma demonstração da utilização de macro-regularidade pois as células destas bibliotecas possuem funções limitadas. Para a construção de um circuito é necessário a junção de várias destas células o que torna esse projeto uma estrutura macro-regular.

### 3.6.1 Trade-Off

Para os projetistas físicos, responsáveis pela criação dos leiautes das células, existem três grandes aspectos que devem ser considerados durante a criação: a funcionalidade, a manufaturabilidade e a compactação do leiaute (JHAVERI, 2007).

Pela existência destes padrões considerados não “*lithography friendly*” é necessário promover uma alteração das demais regras, onde elas devem conter um caráter pessimista permitindo uma margem de segurança suficiente para cada padrão que, possivelmente esteja disponível no leiaute, seja impresso no circuito de forma satisfatória. A adoção desses padrões não “*lithography friendly*” promovem de forma inevitável uma punição envolvendo a área do circuito devido ao caráter pessimista nas limitações das regras de desenho.

A utilização de leiautes regulares é um contínuo compromisso entre manufaturabilidade, área e desempenho elétrico. Este compromisso entre os itens citados anteriormente leva o projeto de leiautes regulares a um estado em que otimizações precisam ser realizadas. Estas otimizações podem ser consideradas como a utilização de blocos regulares que implementam uma determinada função lógica. Geralmente os blocos regulares são constituídos por portas lógicas complexas. A utilização de blocos regulares tende a reduzir a quantidade de elementos, com isso, promove uma redução da área do circuito, diminuindo o número de padrões e garantindo as prerrogativas de desempenho.

### 3.6.2 Classificação da Regularidade

O tema regularidade para aplicação em circuitos integrados é bastante amplo, para isso nos itens que se seguem serão mencionados os conceitos mais importantes.

1. Regularidade Geométrica: relaciona-se a utilização de repetidos padrões geométricos na composição do leiaute. (PILEGGI et al., 2003).
2. Regularidade Lógica e de Roteamento: pode ser explorada durante o processo de mapeamento tecnológico, no modo como é realizada a definição das funções lógicas presentes no circuito ou na adoção de técnicas que explorem a regularidade durante o processo síntese (PILEGGI et al., 2003).
3. Regularidade Estrutural: Implica na padronização do gerenciamento de restrições

de projeto encontradas durante o processo de fabricação ou durante a síntese física. São geradas regras que consideram a regularidade de acordo com informações adquiridas através de requisitos físicos, regras de projeto e restrições topológicas, que servirão para a criação do circuito. Tais regras contemplam a regularidade geométrica dos padrões, e características de roteamento que devem ser adotadas durante a síntese (GU; SMITH, 1989).

4. Ortogonalidade: Refere-se a independência funcional entre os menores componentes de lógica. Se a máxima ortogonalidade for aplicada, nenhum outro bloco conseguirá substituir outro de mesma funcionalidade levando em consideração aspectos de granularidade funcional. Conforme Gu (1989) a granularidade de um projeto é definida pela menor função lógica exercida pelo menor componente lógico, ou seja o bloco regular criado. A granularidade de um componente pode ser grossa, grande, média, pequena, ou fina, dependendo do tamanho da complexidade lógica contida no interior do componente. A classificação do grau de granularidade pode ser definida como (ZAHIRI, 2003):

- (a) Granularidade Fina: arquiteturas que adotam a granularidade fina utilizam como componentes principais, elementos básicos como transistores e resistores como é visto na Figura 3.8. As camadas de metal realizam as conexões destes componentes obedecendo a configurações pré-definidas.

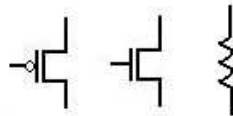


Figura 3.8: Granularidade fina de um bloco regular

- (b) Granularidade Pequena: projetos com granularidade pequena utilizam um pequeno conjunto de componentes responsáveis por funções lógicas básicas como células inversoras, NAND, NOR e *buffers* como mostra a Figura 3.9.

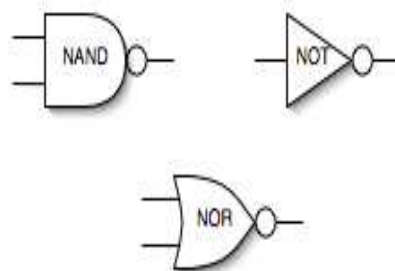


Figura 3.9: Granularidade pequena de um bloco regular

- (c) Granularidade Média: neste tipo de granularidade, os projetos podem adotar componentes compostos por células lógicas genéricas na forma de portas ou multiplexadores, além de contar com um ou dois registradores como é mostrado na Figura 3.10
- (d) Granularidade Grande e Grossa: o objetivo principal da utilização de granularidade grossa é a minimização da área do circuito. Projetos com granularidade

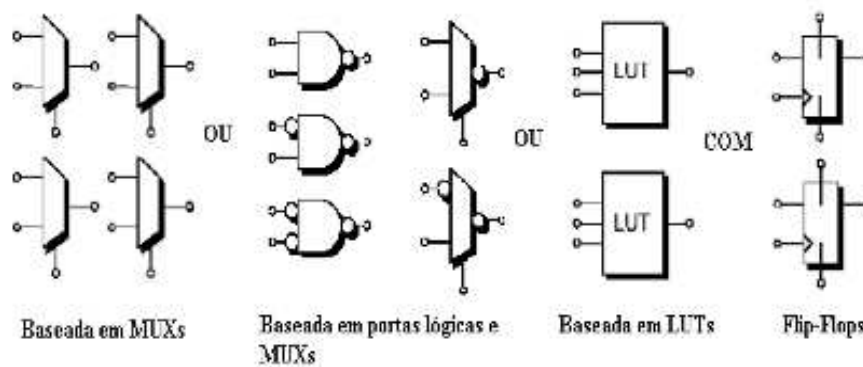


Figura 3.10: Granularidade média de um bloco regular

grande ou grossa favorecem o roteamento ao disponibilizarem menor número de pinos de entrada e saída ao roteador. Entretanto, para essas abordagens é necessário adotar técnicas de mapeamento tecnológico eficientes para obter de forma maximizada as vantagens das funcionalidades oferecidas em cada bloco básico e evitar o desperdício de área interna dos blocos. A granularidade grossa tende a manter um nível razoavelmente grande de lógica como LUTs e multiplexadores como pode ser visto na Figura 3.11.

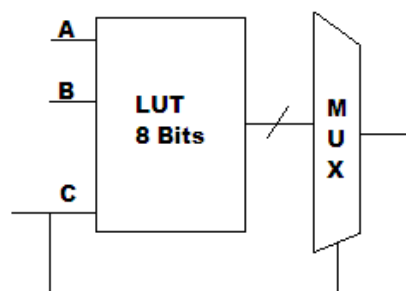


Figura 3.11: Granularidade grande de um bloco regular baseado em um circuito hipotético

### 3.6.3 Dobramento de transistores ou *Folding*

A técnica de *Folding* consiste na paralelização de transistores. Esta técnica é usada na criação de células padrão que possuam dimensões de  $W$  que ultrapassem os limites das bandas das células. A técnica divide um transistor em subpartes de si mantendo o mesmo *gate* para todos. As conexões metálicas são rearranjadas e uma nova porta com a mesma funcionalidade é criada. É possível além disso optar por simplificar fontes ou drenos mantendo dois transistores compartilhando o mesmo nó (fonte, dreno) (BEREZOWSKI, 2001) (KASTENSMIDT et al., 2009) (GUPTA; HAYES, 1998). Esta técnica juntamente com a regularidade de formas são exploradas para fins de criação de layouts mais robustos aos efeitos da variabilidade de processo (locais e globais) visando uma melhor previsibilidade de comportamento elétrico e temporal da porta lógica.

## 4 CARACTERIZAÇÃO DA VARIABILIDADE DE PROCESSO

Neste capítulo serão abordados alguns trabalhos relacionados a caracterização da variabilidade de processo. Quais abordagens são utilizadas para a realização do modelamento e caracterização dos efeitos da variabilidade de processo sobre o comportamento dos circuitos integrados. Outro aspecto que será abordado neste capítulo será a utilização de técnicas de projeto voltadas para a minimização dos efeitos da variabilidade de processo sobre as características elétricas dos circuitos. Este trabalho se insere na busca por técnicas ou metodologias de projeto, visando tornar os circuitos menos sensíveis a variabilidade de processo. O capítulo 5 trará mais informações sobre os experimentos realizados.

### 4.1 Modelamento de Pelgrom

Segundo Pelgrom (1989) o descasamento existente em um circuito é a diferença encontrada entre um conjunto de parâmetros de transistores CMOS, que supostamente deveriam ser idênticos e que estejam próximos uns aos outros. Este descasamento está associado a efeitos completamente aleatórios durante o processo de manufatura do transistor. Isso acaba acarretando em diferenças nas características elétricas e de temporização do dispositivo.

Pelgrom (1989) considera o descasamento de um parâmetro  $P$ , de dois ou mais dispositivos idênticos, como sendo uma relação entre as coordenadas  $(x,y)$  de cada dispositivo sobre a superfície do *wafer*, desde que possuam uma distância de correlação pequena  $D_{(x,y)}$ . Uma representação da distância entre duas áreas  $D_x$  pode ser vista na figura 4.1. É possível fazer a integração dos pontos  $P(x,y)$  das áreas para encontrar os valores médios do parâmetro  $P$  em análise. Através desta integração, é possível encontrar o descasamento entre duas áreas idênticas com coordenadas  $(x_1,y_1)$   $(x_2,y_2)$ , representando dois transistores distintos. Esta integral é dada pela equação 4.1.

$$\Delta P(x_{12}, y_{12}) = \frac{1}{area} \left\{ \int \int_{area(x_1, y_1)} P(x', y') dx' dy' - \int \int_{area(x_2, y_2)} P(x', y') dx' dy' \right\} \quad (4.1)$$

Essa integral pode ser interpretada como sendo uma convolução de funções duplas, que através de uma transformada de Fourier de duas dimensões, é possível separar a dependência geométrica da fonte de descasamento. Uma vez separadas as dependências geométricas, é possível, através de uma análise de Fourier simples, encontrar a função geométrica para um par de retângulos com área  $W*L$ . A função geométrica proposta é expressa pela equação 4.2.

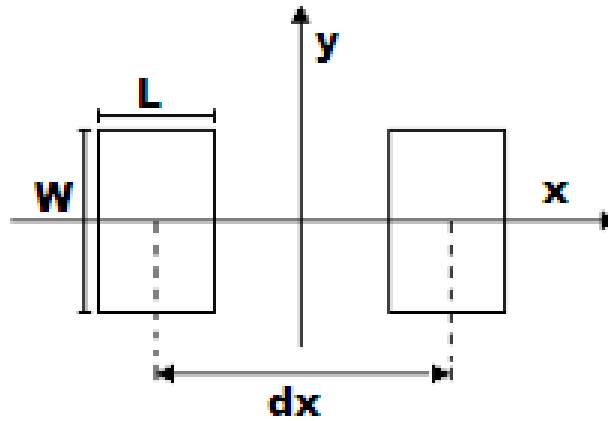


Figura 4.1: Discriminação da distância entre duas áreas distintas

$$G(\omega_x, \omega_y) = \frac{\sin(\omega_x W/2)}{\omega_x L/2} \frac{\sin(\omega_y W/2)}{\omega_y W/2} \{2 \sin(\omega_x D_x/2)\} \quad (4.2)$$

onde  $D_x$  representa a distância centro a centro dos dois retângulos,  $\omega_x$  e  $\omega_y$  representam respectivamente as coordenadas  $x$  e  $y$  no plano e  $W$  e  $L$  representam a largura e comprimento respectivamente dos retângulos. O processo de geração de descasamento sobre um parâmetro  $P$  é de forma espacial, comparado a um ruído branco, ou por variações em pequenas distâncias obedecendo as seguintes situações :

1. O descasamento total de um parâmetro  $P$  é composto por vários eventos únicos gerados pelo processo de descasamento.
2. Os efeitos sobre os parâmetros são tão pequenos que suas contribuições para o parâmetro podem ser resumidas.
3. Os eventos possuem uma correlação entre distâncias muito menor comparada às dimensões dos transistores.

A variância do parâmetro  $\Delta P$  entre dois dispositivos retangulares pode então ser encontrado aplicando a formula descrita em 4.3:

$$\sigma^2(\Delta P) = \frac{A_p^2}{WL} + S_p^2 D_x^2 \quad (4.3)$$

onde  $A_p$  é a área proporcional para o parâmetro  $P$  e  $S_p$  descreve a variação do parâmetro  $P$  considerando o seu respectivo espaçamento.

O modelamento de Pelgrom é aplicado para determinar o tamanho suficiente dos transistores para controlar o descasamento devido a variações aleatórias do processo. Este modelo é bastante empregado em circuitos constituídos de blocos elementares, como por exemplo, amplificadores diferenciais, fontes de corrente e amplificadores de sentido (PI-LEGGI et al., 2008). Este modelamento considera apenas uma fonte de descasamento dominante. A aplicação deste modelo em circuitos que possuam mais de uma fonte de descasamento pode ser uma tarefa difícil, principalmente devido a possibilidade de reprojeto de algumas partes do circuito integrado.

## 4.2 Modelando Descasamento por Fontes Sistemática e Aleatórias

Como já visto na seção anterior, o modelamento de Pelgrom considera que tanto fontes sistemáticas quanto aleatórias de descasamento sejam caracterizadas como sendo aleatórias. Portanto, esse modelamento pode induzir a interpretações equivocadas, pelo simples fato do modelamento não considerar as fontes em separado.

Considerando essa limitação é que surge a proposta de um modelamento espacial do descasamento de parâmetros físicos observado pela dependência entre as vizinhanças (TULUNAY; DUNDAR; ATAMAN, 2002). Este modelamento considera de forma independente componentes de variação aleatória e sistemática. Uma análise sobre a relação entre parâmetros físicos e parâmetros elétricos são levados em conta para a realização do modelamento. Na figura 4.2 é possível verificar a dependência de parâmetros elétricos com relação a parâmetros físicos.

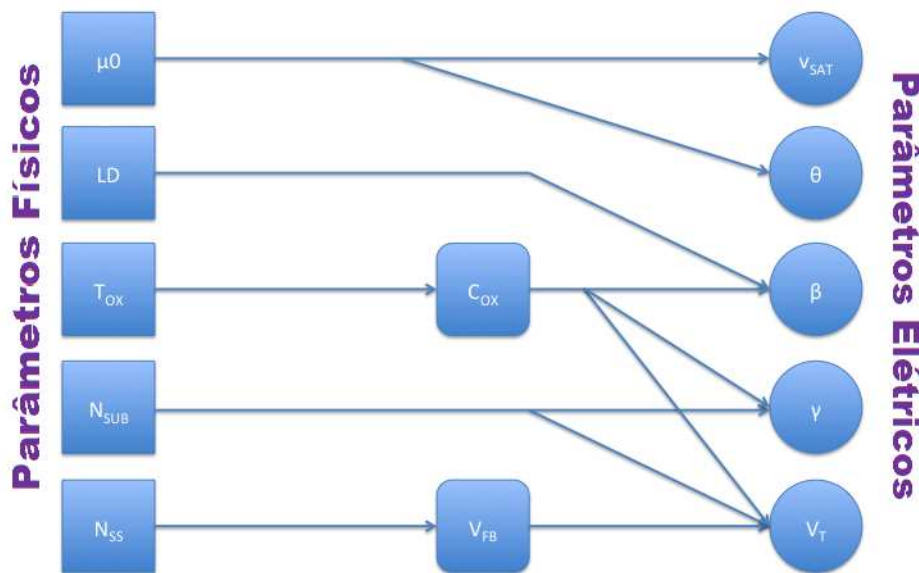


Figura 4.2: Relação entre parâmetros físicos e elétricos

O modelamento da variação da corrente de dreno é expressada em relação à variação dos parâmetros físicos. Essa representação pode ser encontrada na equação 4.4, onde  $x$  e  $y$  são coordenadas do transistor sobre o *wafer*.

$$\sigma^2 \Delta P = f(x, y) + \Delta P \quad (4.4)$$

O primeiro termo da equação representa a variabilidade global sistemática sobre o *wafer*, mas ele é fortemente relacionado a posição do transistor sobre a superfície do *wafer*. O segundo termo da equação se refere a variação local aleatória, onde, sua posição é irrelevante para a análise. O parâmetro  $P$  da equação varia aleatoriamente em torno de seu valor médio. Esta variação aleatória possui um comportamento similar a uma distribuição normal, enquanto que seu valor médio varia dependendo da posição no *wafer*, tendo uma característica determinística (TULUNAY; DUNDAR; ATAMAN, 2002).

A função  $f(x, y)$  da equação 4.4 é utilizada para o modelamento da variabilidade sistemática e é representada pela equação 4.5.

$$f(x, y) = a.(x^2 + y^2) + b.x + c.y + d \quad (4.5)$$

onde os parâmetros  $a$ ,  $b$ ,  $c$  e  $d$  são valores de ajuste calculados para cada parâmetro físico. No caso deste modelamento, os parâmetros físicos utilizados foram o  $T_{OX}$ ,  $L$ ,  $N_{SUB}$  e  $V_{FB}$ .

Para encontrar o componente aleatório da corrente entre dois transistores é utilizada a equação que consiste na raiz quadrada da diferença entre os dois desvios padrões obtidos dos transistores 4.6. Dessa maneira, é possível modelar o descasamento provocado por elementos sistemáticos e aleatórios, contanto que as posições e os devidos tamanhos dos transistores sejam fornecidos.

$$\sigma I_{diff} = \sqrt{\sigma^2 I_{DS1} - \sigma^2 I_{DS2}} \quad (4.6)$$

### 4.3 Modelamento Utilizando Análise de Componente Principal (PCA) ou Multivariável

Métodos de decomposição da variabilidade de processo usando estatísticas retiradas de estruturas de teste em linha de produção tem sido utilizadas. Estes métodos de decomposição tem sido usados como base nos esforços de se criar métodos de caracterização que não necessitem a utilização de qualquer modelo voltado especificamente para a variabilidade de processo. A não adoção de um modelo específico para variabilidade de processo torna este tipo de análise mais simples de ser utilizado (CHO et al., 2008).

Métodos estatísticos são aplicados sobre uma base de dados coletados de estruturas de teste do tipo MIBS (*Manufacturing inline benchmark structure*) de uma fábrica de circuitos, utilizando um processo tecnológico qualquer para a caracterização da variabilidade. Os MIBS são circuitos simples, basicamente constituídos por FETs, osciladores em anel, estruturas de teste resistivo/capacitivo e células de memória tipo SRAM, NAND, NOR (CHO et al., 2008). Estas estruturas propiciam uma boa estimativa dos efeitos da variabilidade sofridos pelo circuito durante sua produção.

A técnica de análise de componente principal (PCA) é utilizada para realizar o tratamento estatístico sobre a base de dados obtidos dos MIBS. A ideia básica por trás do PCA é encontrar dentro de um vetor  $\mathbf{x}$  de dimensões  $\mathbf{m}$  o número máximo de componentes  $\mathbf{yn}$  que explicariam a quantidade de variação do vetor  $\mathbf{x}$ .

Análises de variabilidade de processo são difíceis de serem realizadas usando PCA ordinário devido ao fato de haverem comportamentos correlacionados entre *die-to-die* e *wafer-to-wafer* que se tornam difíceis de compreender ou mesmo modelar (CHO et al., 2008).

Expandindo esta ideia, Cho(2008) faz uma análise limitando o número de componentes principais, criando assim a análise de componentes principais restringidos (CPCA). Componentes que possuam as mesmas propriedades são retirados do conjunto total de componentes. Esta limitação torna a análise mais rápida sem perda de eficiência. A ferramenta proposta em (CHO et al., 2008) implementa um algoritmo de decomposição. Essa ferramenta pega todos os parâmetros das estruturas MIBS que contenham dados insignificantes para a análise e os filtra, removendo-os do conjunto total de parâmetros a serem analisados. Após a remoção, um teste Gaussiano simples baseado em uma análise de Kurtosis detecta as saídas com valores significativos. A análise de Kurtosis diz que a relação entre o quarto momento central para o quadrado da variância é a medição dos picos da distribuição. Essa formulação pode ser vista na equação 4.7:

$$k(x) = \frac{\sum[(x - \bar{x})^4]}{(\sum[(x - \bar{x})^2])^2} \quad (4.7)$$



onde  $\bar{x}$  é o valor médio de  $x$ .

Power (1994) utiliza a técnica estatística de análise de componente principal (PCA) que é considerado como sendo uma análise de multivariável, em seus experimentos. O PCA, neste caso, transforma de forma efetiva qualquer conjunto de parâmetros e suas relações em conjuntos de dados não correlacionados, conhecidos como componentes principais (PC). Neste mesmo ponto, dados ou parâmetros não necessários são descartados, propiciando uma simplificação do modelo a ser analisado.

Os dados que irão passar pela análise PCA devem passar por um processo de seleção ou extração. Existem dois tipos de extração: a direta, que é obtida através de medições das estruturas, ou a não direta, baseada em aproximações feitas através de modelos específicos. A extração direta de parâmetros é mais atrativa por ser mais rápida, precisa e minimiza o número de instâncias de parâmetros extraídos que possuam alguma correlação. Uma das desvantagens deste método, é a necessidade de adaptação dos modelos a cada passo tecnológico e revisão dos procedimentos para obtenção dos dados (POWER et al., 1994).

A extração de parâmetros de forma direta pode não ser uma tarefa fácil de ser executada. Esta dificuldade é devido a possibilidade de existência de parâmetros que sejam de alguma maneira correlacionados. Sabendo da existência destes parâmetros, que de uma forma ou outra se relacionam, é possível tratá-los, mantendo-os unidos durante o processo de análise (POWER et al., 1994).

O objetivo do trabalho de Power (1994) foi a criação de um framework contendo métodos de análise estatística voltada para modelamentos de pior caso. Este trabalho visava a predição precisa de desempenho do circuito integrado sob influência da variabilidade de processo. Para verificar qual é a sensibilidade de desempenho da amostra sobre análise, nomeada de ( $Z$ ), são utilizados fatores previamente identificados pelo PCA através de uma análise de Gradiente. A aplicação das equações de desvio padrão sobre a amostra  $Z$  pode ser prevista se duas características puderem ser confirmadas: os fatores, previamente identificados pelo PCA, não sejam correlacionados; e se o desempenho do circuito e fatores em análise, tenham um comportamento linear (POWER et al., 1994). A equação 4.8 representa o desvio padrão da amostra. Esta equação é válida somente se os parâmetros não forem correlacionados.

$$\sigma_Z = \sqrt{\sum_{j=1}^m \left( \frac{\partial Z}{\partial X_j} \right)^2} \quad (4.8)$$

onde  $X_j$  são fatores independentes relacionados ao processo.

Uma outra maneira de modelar as variações que ocorrem durante o processo de manufatura é simular os circuitos integrados em situações extremas. Com essa abordagem é possível garantir que o circuito integrado preservará um determinado desempenho, se estiver em condições normais de operação. A imagem 4.3 de acordo com (MUTLU; RAHMAN, 2005) mostra uma distribuição de desempenho a partir de uma *Probability Density Function* (PDF), função probabilística que determina a distribuição de desempenho de uma amostra qualquer, neste caso, considerando os efeitos da variabilidade de processo. As PDF representam a natureza estatística das características do processo, possibilitando que parâmetros, bem como suas variações, sejam considerados como variáveis aleatórias, distribuídas em uma dada função.

Essa abordagem é conhecida como análise de Pior Caso e possui 2 limitações graves. A primeira limitação está relacionada com a super ou sub estimativa do impacto da varia-

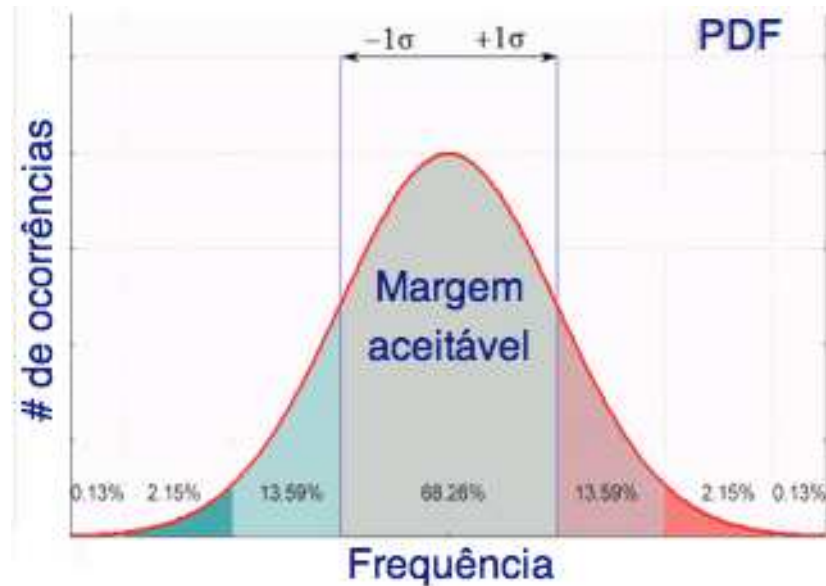


Figura 4.3: Níveis hipotéticos de aceitação de variação de um circuito a partir de uma PDF qualquer

bilidade de processo sobre o desempenho do circuito integrado. Isso aumenta os esforços dos projetistas em encontrar soluções visando corrigir tais situações ou acabar incorrendo em problemas de manufatura, gerando eventual perda de rendimento. A segunda limitação se relaciona ao fato de que o pior caso não considera informações relacionadas a quão robusto é o seu projeto. Devido a essas falhas, vários modelos tentam representar de forma mais precisa e confiável os efeitos da variabilidade de processo sobre circuitos integrados, projetados em tecnologias submicrônicas (MUTLU; RAHMAN, 2005).

MUTLU (2005) propõe uma metodologia que envolve três etapas principais, com objetivo de contornar as deficiências encontradas nas análises de pior caso. A primeira etapa consiste em métodos de varredura para identificar quais variações de processo impactam mais sobre o comportamento das saídas do circuito analisado. Esta varredura usa o *Response Statistical Method* (RSM), que visa um grupo de técnicas estatísticas para criação de modelos empíricos e modelos de utilização (MUTLU; RAHMAN, 2005). A utilização do RSM possibilita que haja uma espécie de filtragem das variações menos significativas. Na segunda etapa, experimentos são projetados para modelar o comportamento da saída do circuito com as variações de processo que permaneceram após a etapa de varredura e filtragem. A etapa 3 realiza uma espécie de sintonização por técnicas de otimização não linear sobre os valores médios dos circuitos integrados, que contenham respostas conflitantes. Neste ponto, é possível determinar quais parâmetros devem receber uma maior atenção durante o processo de manufatura, possibilitando assim, um aumento do rendimento durante o processo de manufatura.

Os RSM mais amplamente utilizados consistem em funções polinomiais de baixa ordem. Isso permite uma redução no número de experimentos e por consequência uma redução no tempo total de simulação. Uma função RSM polinomial de segunda ordem pode ser representada pela equação 4.9:

$$\hat{y}(x_1 \dots x_k) = \hat{\alpha}_0 + \sum_{i=1}^k \hat{\alpha}_i x_i + \sum_{i=1}^k \sum_{j=1}^k \alpha_{ij} x_i x_j \quad (4.9)$$

onde  $k$  é o número de fatores de entrada,  $x_i$  é o  $i$  enésimo fator de entrada,  $\hat{\alpha}$  é o coeficiente estimado RSM e  $y$  é a resposta aproximada de saída do circuito.

A técnica de otimização não linear utilizada em (MUTLU; RAHMAN, 2005) favorece o processo de otimização quando se quer ajustar as entradas para uma determinada característica de valor na saída. Isso se deve principalmente ao fato de que a solução esteja em uma determinada região de aceitação, definida através de fronteiras superiores e inferiores. Desta maneira as condições de operação desejadas podem ser determinada através da minimização da função multiobjetivo utilizando a expressão 4.10 (MUTLU; RAHMAN, 2005):

$$O(\vec{x}) = \frac{\sum_{i=1}^m \left\{ \frac{w_i [y_{ti} - y_i(\vec{x})]}{\Delta_i} \right\}^2}{\sum_{i=1}^m w_i^2} \quad (4.10)$$

onde  $m$  é o número de respostas das saídas,  $w_i$  é o peso da resposta  $i$ ,  $y_{ti}$  é o alvo a ser conquistado,  $y_i(\vec{x})$  é a aproximação RSM da resposta dos  $i$  dos somatórios,  $\vec{x}$  é o vetor dos fatores de entrada e  $\Delta_i$  é a magnitude da resposta.

#### 4.4 Modelamento por Variação de Corrente

Uma das maneiras de caracterizar a variabilidade de processo é através da análise das curvas CV obtidas através de medições, geralmente feitas sob estruturas de teste tipo MIBS mencionadas anteriormente.

Este modelamento é feito considerando a fonte de corrente utilizada no processo de análise. É possível separar as fontes de corrente em dois grupos: correntes digitais e correntes analógicas. Cada fonte de corrente pode ter um modelamento diferente devido as suas características de aplicação. Para isso a distinção destas fontes são necessárias para uma melhor interpretação da variabilidade de processo sobre a corrente do circuito integrado. Nas subseções seguintes será mostrado alguns trabalhos que abordam esse tipo de modelamento.

##### 4.4.1 Modelamento para fontes de corrente digitais

Uma proposta abordada em (WANG et al., 2008) faz menção à criação de modelos simplificados para a análise da distribuição da corrente dos transistores. Transistores estes, influenciados pela variabilidade de processo, operando acima da tensão de limiar. A proposta é fazer a tradução da variabilidade aleatória que é dependente de parâmetros de processo, para parâmetros inteiramente dependentes de variáveis de projeto, como dimensões de  $W$  e  $L$  dos transistores e pontos de operação do transistor, como a tensão gate-fonte ( $V_{gs}$ ) e tensão dreno-fonte ( $V_{ds}$ ).

A distribuição da corrente pode ser bem modelada através de uma distribuição gaussiana e os resultados podem ser caracterizados através de vetores de valores médios, desvios padrões ou variâncias. Neste ponto a variância da corrente é expressa através das equações 4.11 e 4.12:

$$\frac{\sigma^2 \Delta I_{on}}{I_{avg}} = \sum_i \left( \frac{1}{I_{avg}} \frac{\partial I_{avg}}{\partial P_i} \right) \sigma_{P_i}^2 \quad (4.11)$$

e

$$\sigma_{P_i}^2 = \frac{A1}{WL} + \frac{A2}{WL^2} + \frac{A3}{W^2L} + \frac{A4}{W^2L^2} \quad (4.12)$$

onde  $\sigma^2 \Delta I_{on}$  representa o vetor da variância e  $I_{avg}$  representa os valores médios obtidos,  $P_i$  é o parâmetro da tecnologia e  $\sigma^2 P_i$  é a variância obtida deste parâmetro.

Segundo (WANG et al., 2009), estas equações causam 3 grandes problemas aos projetistas: 1) São dependentes de parâmetros de projeto representados aqui por  $P_i$ , dando a sensação de que os projetistas possuem um pequeno controle; 2) As equações necessitam de várias variáveis de ajuste  $A_i$ ; 3) É muito difícil de fazer uma análise sem a ajuda de uma ferramenta apropriada.

Wang (2009) utiliza o conceito de PCA mencionado anteriormente para tornar as análises da variabilidade da corrente mais acessíveis aos projetistas. O PCA neste caso é utilizado para reduzir o número de parâmetros extrapolados pela curva CV para um conjunto menor, tornando a análise mais simplificada. Dessa maneira a equação para análise da corrente de um transistor  $i$  pode ser reescrita da seguinte maneira 4.13:

$$I_{on} = \left( 1 + \sum_{j=1}^n a_{ij} \cdot PC_j \right) \times I_{avg} \quad (4.13)$$

onde pela notação utilizada o  $(.)$  representa multiplicação escalar e  $(\times)$  para vetores de pontos chaves. Utilizando os resultados obtidos através de PCA, é possível capturar mais de 90% da variabilidade de corrente com o primeiro componente Principal (PC1).

#### 4.4.2 Fontes de Corrente

Um aspecto importante que deve ser considerado quando se faz um modelamento da variabilidade em função da corrente é considerar sua aplicação analógica. Amplificadores operacionais são os circuitos mais comuns em um projeto analógico e variações em sua capacidade de gerar corrente podem causar muitos problemas de operação, principalmente se a variação acontecer nos espelhos de corrente.

Visando realizar um modelamento eficiente para substituir o método de Monte Carlo, (WANG; MARKOVIC, 2008) realiza um estudo sobre a variabilidade de processo sobre fontes de corrente analógica implementadas em circuitos tipo amplificadores operacionais. Deste estudo os autores chegam a conclusão de que implementando um método de análise linear da variabilidade aleatória, poderiam substituir o método de Monte Carlo com margens de erro relativamente pequenas.

Neste ponto, os autores assumem que um transistor de largura  $2W$  tenha duas vezes mais força que um transistor de largura  $W$  em termos de condução de corrente. Considerando que essa afirmação seja verdadeira, é possível estabelecer que os parâmetros mais significativos para a formulação da corrente são a largura ( $W$ ) e o comprimento do canal ( $L$ ) do transistor. Deste raciocínio surge a formulação da variância da corrente em um nodo qualquer do circuito integrado, sendo apresentada na equação 4.14 (WANG; MARKOVIC, 2008).

$$\sigma I_1 = (I_{on})^2 \left( \frac{A}{\eta W^\alpha L^\beta V_{gs}^\eta V_{ds}^\zeta} \right)^2 \quad (4.14)$$

A utilização da equação 4.14 está condicionada a obtenção das constantes  $\alpha$ ,  $\beta$ ,  $\eta$ ,  $\zeta$  das quais descrevem o ruído da variabilidade. Estas constantes estão descritas em modelos voltados para a variabilidade de processo, ou sua obtenção pode ser feita através de medições sobre o circuito integrado fabricado. A variável  $A$  é uma variável de ajuste mencionada também na equação 4.12. Assumindo que o ruído da variabilidade sobre a corrente é independentemente distribuído, então é possível fazer o cálculo da variância da corrente  $I_n$  a partir da soma das contribuições de cada uma das correntes anteriores (WANG et al., 2009). O modelamento dessa equação pode ser visto em 4.15.

$$\sigma I_n^2 = \sum_{i=1}^n \left( \frac{I_{avg}}{n} \right)^2 \left( \frac{A}{W^\alpha L^\beta V_{gs}^\eta V_{ds}^\zeta} \right)^2 \quad (4.15)$$

Na equação 4.15,  $\sigma I_n^2$  representa a variância obtida,  $I_{avg}$  representa os valores médios contidos em um vetor de valores,  $A$  é a variável de ajuste e  $\alpha$ ,  $\beta$ ,  $\eta$ ,  $\zeta$  são constantes obtidas através do modelo voltado a variabilidade de processo, simulação ou medições físicas sobre o circuito integrado.

## 4.5 Controle da Variabilidade da Tensão de Sub-Limiar

Os autores de (MISHRA; AL-HASHIMI; ZWOLINSKI, 2009) propõem a criação de um circuito controlador adaptativo para variação elástica da tensão de sub-limiar ocorrido devido a variabilidade de processo e de temperatura. Estas variações acabam comprometendo a funcionalidade de circuitos que operam no regime de sub-limiar ( $<V_{th}$ ).

Neste trabalho, os autores reconhecem que pequenas variações na tensão de limiar ( $V_{th}$ ) dos transistores (em torno de  $\pm 10\%$ ), implica em torno de 96% de degradação do desempenho de circuitos operados no regime de sub-limiar. Tal degradação é dificilmente percebida quando os transistores operam com tensões superiores a  $V_{th}$ . Uma das alternativas propostas para lidar com as alterações do sub-limiar dos transistores, devido a variabilidade de processo e posteriormente a temperatura de operação do circuito, é a utilização de trocas dinâmicas das tensões de alimentação do circuito. As trocas dinâmicas de tensão visam compensar a variabilidade final sobre o atraso e potência do circuito. Estas trocas dinâmicas visam manter as restrições impostas em projeto mesmo com o decorrer da operação do circuito integrado.

O trabalho proposto cria um circuito que tem como função comparar o índice de variação existente no atraso e no *Minimum Energy Point* (MEP) dos circuitos. Para isso, um comparador compara o atraso existente entre cada um dos estágios deste circuito e envia este resultado para um codificador. Este codificador gera um valor hexa decimal que é disponibilizado às próximas etapas. Esta informação gerada pelo codificador pode ser interpretada como sendo a quantificação do atraso em todos os estágios do circuito. O código hexa decimal gerado funciona como uma chave que identifica qual tensão de alimentação deverá ser utilizada para compensar as variações do atraso sobre o circuito integrado em regime de sub-limiar. Uma vez conhecido qual deverá ser a nova tensão de alimentação, as fontes de tensão são alteradas e o circuito passa a compensar o atraso, bem como a temperatura de operação do circuito integrado.

A troca dinâmica da tensão de alimentação de circuitos integrados, operando em regime sub-limiar, mostrou uma economia em MEP superior a 55%, despertando interesse dos pesquisadores que buscam por técnicas de baixa dissipação de potência ou *Low-Power*.

O circuito comparador foi desenvolvido e projetado para operar fora da região de sub-limiar. Esta restrição foi imposta para que não houvesse interferência da variação do sub-limiar sobre os valores hexa decimais obtidos durante as avaliações do atraso, tornando os resultados obtidos mais precisos e eficientes (MISHRA; AL-HASHIMI; ZWOLINSKI, 2009).

#### 4.6 Variação da Tensão de Limiar devido a Flutuação da Espessura do Óxido

Um dos grandes fatores de variação da tensão de limiar intrínseca em transistores mosfets, inferiores a 50nm, é a flutuação da espessura da camada de óxido. Nas tecnologias atuais, inferiores a 65nm, a camada de óxido gira em torno de 1 a 1.4nm. Esses valores representam algumas poucas camadas de átomos e devido a isso, um caráter aleatório de dopagem bem como a rugosidade da interface Si/SiO<sub>2</sub>, acabam introduzindo flutuações intrínsecas nos parâmetros.

Reconhecendo este problema, vários esforços são dirigidos ao modelamento destes fenômenos, a fim de obter precisão durante processos de simulação de circuitos. Uma das dificuldades deste trabalho foi a necessidade de realizar um modelamento 3D. Nesta escala de miniaturização, a posição dos átomos fazem diferença durante o processo de caracterização dos dispositivos. Além da utilização de um modelamento 3D, foi necessário inserir contextos e formalizações expressos pela mecânica quântica (ASENOV; KAYA; DAVIES, 2002), área da física que trata do comportamento das partículas em nível atômico.

Com isso é possível gerar algumas formulações que podem representar o comportamento da variação da espessura do óxido (OTV) com relação a comportamentos elétricos do transistor. Os experimentos realizados mostram uma dependência com o comprimento correlacionado dos transistores com o OTV. Com esta constatação ASENOV(2002) estabelece o modelamento para a variação da tensão de limiar que é visto na equação 4.16:

$$\sigma V_T = \frac{\Lambda \sigma V_T^{max}}{2 \sqrt{W_{eff} L_{eff}}} \quad (4.16)$$

onde  $\Lambda$  é o comprimento correlacionado,  $\sigma V_T^{max}$  é o valor máximo de  $V_T$  obtido,  $W_{eff}$  e  $L_{eff}$  são respectivamente a largura e comprimento efetivos do dispositivo simulado.

Outra consideração abordada é a dependência da espessura do óxido com relação a rugosidade da interface. Para essas considerações os autores levam em consideração apenas a rugosidade da interface de Si/SiO<sub>2</sub> em suas simulações. As análises realizadas sugerem que as interfaces superior e inferior da camada de óxido tenham comportamentos independentes umas das outras. Devido a esse comportamento, é elaborada a equação que calcula o desvio padrão do  $V_T$ , considerando as duas interfaces analisadas. Esta equação é vista em 4.17.

$$\sigma V_T^{tot} = \sqrt{(\sigma V_T^{top})^2 + (\sigma V_T^{bottom})^2} \quad (4.17)$$

Na equação 4.17,  $\sigma V_T^{tot}$  é o desvio padrão total de  $V_T$ ,  $\sigma V_T^{top}$  é o desvio padrão de  $V_T$

na interface superior e  $\sigma V_T^{bottom}$  é o desvio padrão da interface inferior.

Outra análise é feita considerando a dependência da concentração de dopagem do transistor. Neste passo o OTV e a flutuação de dopagem (DF) são levados em consideração durante a simulação. Os resultados mostram que o desvio padrão de  $V_T$  segue aproximadamente a relação descrita na equação 4.18.

$$\sigma V_T^{tot} = \sqrt{(\sigma V_T^{OTV})^2 + (\sigma V_T^{DF})^2} \quad (4.18)$$

onde  $\sigma V_T^{OTV}$  é o desvio padrão relacionado a variação da espessura do óxido e  $\sigma V_T^{DF}$  é a variação da concentração de dopantes sobre a amostra.

## 4.7 Variabilidade Considerando Contexto de Projeto

Os processos de litografia bem como variações por estresse são dois efeitos dominantes na manufatura de circuitos integrados. Isso impacta diretamente na funcionalidade e desempenho dos circuitos integrados (SALEM et al., 2009), principalmente em projetos utilizando tecnologias com dimensões inferiores a 65nm. Além disso, efeitos relacionados a proximidade entre células vizinhas acabam influenciando significativamente as variações devido a litografia ou pelo estresse de materiais.

Devido às características sobre as vizinhanças, se torna fundamental considerar o contexto do projeto durante a caracterização da variabilidade de um circuito integrado. Essa caracterização é realizada por ferramentas especiais que simulam processos de litografia. Contudo, este processo de caracterização permite com que alguns atributos para a geração dos contextos possam ser fornecidos (SALEM et al., 2009). Os atributos que devem ser fornecidos pelo usuário são:

1. Contexto: é o número de células posicionadas em torno da célula em teste.
2. Contexto de Células Similares: é o número de células diferentes que preenchem a região paralela à célula em teste.
3. Diâmetro Óptico (OD): denota a distância máxima de preenchimento da célula em teste
4. Contexto de Separação: representa a distância de separação entre a célula em teste e as células em seu entorno.
5. Contexto de Densidade: representa o somatório das áreas das células que preenchem cada região.

A figura 4.4 representa alguns dos contextos utilizados pelos autores para a simulação da variabilidade de processo considerando variações por estresse e efeitos de proximidade devido à litografia. Os retângulos azuis no centro das imagens representam as células em teste e ao seu arredor se encontram as células que influenciam os resultados pelos efeitos de proximidade e ao estresse de materiais. A imagem também mostra os percentuais de ocupação de cada uma das regiões vizinhas à célula sob teste, percentuais esses que variam de 10 a 80% de ocupação.

Uma vez realizada a análise de efeitos de proximidade, são extraídas duas métricas importantes. A primeira métrica é o Contexto de Zona Segura (CSZ) que é muito útil como guia durante o processo de síntese física (SALEM et al., 2009). A síntese física aqui

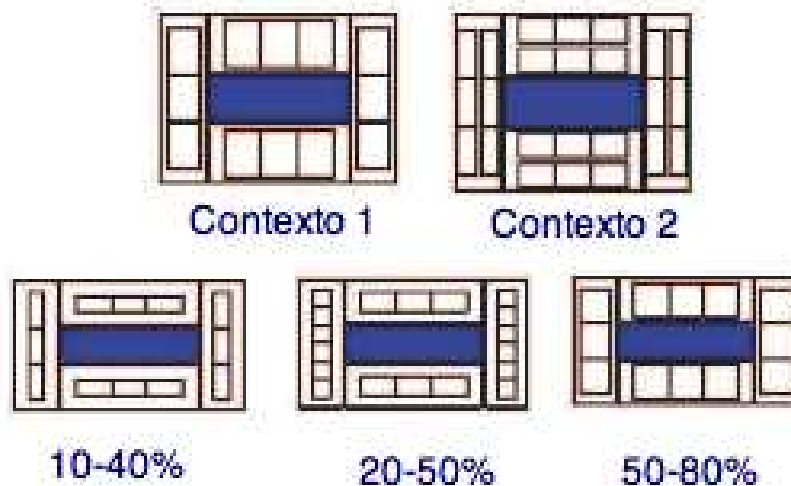


Figura 4.4: Contexto utilizado para simulação da variabilidade sobre uma célula

mencionada se refere ao processo de posicionamento e roteamento do circuito integrado. O CSZ propicia a adoção do melhor contexto ou o mais seguro visando diminuir os efeitos da variabilidade pela vizinhança. A segunda métrica é o Contexto de Robustez que é um parâmetro estatístico que representa a robustez da célula em teste. Célula esta, testada diante aos dois efeitos de variação dominantes em tecnologias inferiores a 65nm. Essa métrica é útil pois dá ao projetista uma ideia de quão imune será a célula em relação a variabilidade e em diferentes condições de aplicação de técnicas de RET. O Contexto de Robustez (CR) é modelado de acordo com a equação 4.19:

$$CR = \frac{\text{Valor\_Medio} - \text{Coeficiente\_de\_Variac\~{o}}}{\text{Valor\_Medio}} \quad (4.19)$$

onde Valor\_Medio é o valor médio do índice de variação do projeto sobre o contexto de variação adotado.

## 4.8 Modelamento Utilizando Distribuição Multivariada Normal

Este modelamento parte do princípio de que o conjunto de dados necessários à simulações da variabilidade de processo venha de uma distribuição multivariada normal (MVN). As medições obtidas de um *wafer* são consideradas com uma observação que está matematicamente representada por um vetor aleatório ( $\mathbf{w}$ ) (REDA; NASSIF, 2009). Nessas condições, cada observação  $\mathbf{w}$  consiste de medições sobre variáveis  $p$  que consistem no número de locais para testes paramétricos no *wafer*. Seu número é dado pela formulação 4.20:

$$p = d \times r \quad (4.20)$$

onde  $p$  corresponde ao número de variáveis,  $d$  corresponde ao número de *dies* no *wafer* e  $r$  representa o número de medições realizadas para cada *die*.

Para uma distribuição MVN, a PDF de um vetor aleatório  $\mathbf{w}$  pode ser considerado da maneira descrita na equação 4.21.



$$p(w) = \frac{1}{(2\pi)^{p/2} \sqrt{|\Sigma|}} e^{-\frac{(w-\mu)^T \Sigma^{-1} (w-\mu)}{2}} \quad (4.21)$$

onde  $\mu$  é um vetor de  $p \times 1$  que fornece o valor esperado do vetor aleatório  $w$  e  $\Sigma$  é a matriz de covariância  $p \times p$ . Para que as estimativas para os valores de  $\mu$  e  $\Sigma$  estejam corretos, (REDA; NASSIF, 2009) elabora os estimadores de máxima probabilidade (MLE) de  $\mu$  e  $\Sigma$  que podem ser representados pelas equações 4.22 e 4.23 respectivamente:

$$\hat{\mu} = \frac{1}{n} \sum_{j=1}^n w_j \quad (4.22)$$

e

$$\hat{\Sigma} = \frac{1}{n} \sum_{j=1}^n (w_j - \hat{\mu})(w_j - \hat{\mu})' \quad (4.23)$$

onde  $n$  representa o número de *wafers* utilizados na análise,  $w_j$  denota as medições paramétricas obtidas a partir de um conjunto  $n$  de *wafers*.

Utilizando uma distribuição MVN, foi possível verificar através da aplicação das técnicas propostas que a variabilidade possui contribuição significativa tanto de fontes sistemáticas como de fontes aleatórias (REDA; NASSIF, 2009). Desta maneira é possível elaborar um gráfico de participação de cada fonte de variação. Esse gráfico é exposto na figura 4.5, demonstrando claramente que para tecnologias submicrômicas há uma tendência crescente de que fontes aleatórias tenham mais efeito sobre o desempenho dos circuitos do que fontes sistemáticas. A utilização deste método também implica na redução do volume de testes paramétricos a serem realizados. Por consequência da redução do volume de testes, ocorre uma redução dos custos associados a execução dos mesmos.

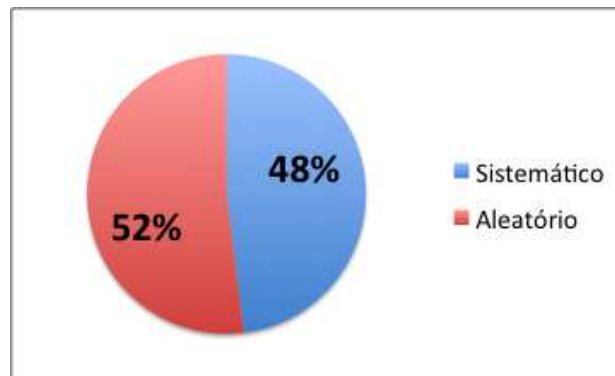


Figura 4.5: Contribuição da Variabilidade Sistemática e Aleatória

#### 4.9 Caracterização Baseada em Forma de Onda Independente para Modelamento de Porta (WiM)

Uma das formas mais populares para caracterização de atrasos de portas lógicas é através da captura das formas de onda dos sinais de entrada e saída de um circuito. A maneira mais simples de modelar um sinal é através de uma rampa saturada (LI, 2007) e caracterizar a forma de onda de acordo com o atraso e o tempo de transmissão. Essa forma de modelamento foi adaptada para que pudesse contemplar a variabilidade de processo-voltagem-temperatura (PVT). Porém, devido aos mais variados efeitos produzidos pela

tecnologias nanométricas como *crossstalk*, acoplamento indutivo e aumento de velocidade, torna o verdadeiro sinal seja substancialmente diferente do que prevê o modelamento por rampa.

O modelamento de porta baseada em forma de onda independente (WiM) e sua versão parametrizável (PWiM) são propostos por (LI, 2007) para a caracterização e análise de tempo e ruído sob variações de PVT. O circuito é modelado como sendo um conjunto de resistências e capacitâncias (modelo RC). Fontes de corrente DC não lineares, são inseridas nas entradas do circuito. Essas fontes são facilmente caracterizadas pela troca de valores da fonte de tensão anexadas às entradas e saídas das portas, realizadas através de uma análise DC usando SPICE.

O PWiM é a versão implementada para que as variações de PVT fossem contempladas no modelamento da porta. Esta caracterização aborda técnicas de modelamento de superfície de resposta, visando contemplar variações na temperatura de operação do circuito, tensão de *threshold*, comprimento de canal efetivo, espessura do óxido de porta e outros. Uma escala de variação é designada para cada um dos parâmetros e seus limites máximo e mínimo são marcados com identificador +1 e -1 respectivamente. Esses identificadores são utilizados no processo seguinte que consiste na extração das rampas para a simulação de acordo com o WiM. Com isso uma regressão não linear de segunda ordem, relacionada aos parâmetros tanto de processo quanto ambientais, é realizada para encontrar modelo PWiM final. Este modelo contém polinômios de segunda ordem para cada um dos WiM. Esse modelo tem a vantagem de sua análise ser em determinados caso 224 vezes mais rápidas do que convencionais métodos de análise transiente.

#### 4.10 Substituição de Transistores por Estruturas Paralelas, Seriais ou Mistas

De acordo com (BOWMAN, 2002), variações *inter-die* afetam diretamente o desvio padrão do desempenho dos circuitos, enquanto que variações *intra-die* afetam os valores médios dos parâmetros medidos dos circuitos. Estas variações que eram ignoradas no passado se tornam um problema na predição de desempenho dos circuitos principalmente em tecnologias em escalas nanométricas.

Segundo (CARDENAS, 2008) é possível reduzir os efeitos da variabilidade *intra-die* através da utilização de estruturas que formam uma espécie de matriz de componentes. Cada uma dessas matrizes são constituídas de transistores em série, paralelos ou mistos.

A ideia desta técnica é a criação de uma biblioteca de matrizes de transistores que virão a substituir transistores simples de um leiaute qualquer com o objetivo de diminuir os efeitos da variabilidade sobre o tempo de propagação do circuito.

O método proposto procura o caminho com uma maior sensibilidade aos efeitos da variabilidade. Uma vez selecionado o caminho, é realizada a substituição dos transistores por estruturas presentes na biblioteca de estruturas contendo arranjos de transistores em série, paralelo e mistos. Os procedimentos deste método incluem : a busca dos tempos de propagação de cada caminho e a sua variabilidade; especificação de qual estágio do caminho selecionado deve ser tratado com as novas estruturas. Esse tratamento obedece às seguintes preferências: substituição dos últimos estágios ou que possuam altos índices de variação local; haja grande desequilíbrio na variabilidade em pontos do mesmo caminho.

Este método de substituição demonstra ser eficiente no tratamento da variabilidade de processo. Os resultados demonstram uma melhoria com relação aos efeitos da variabilidade no tempo de propagação de aproximadamente 61%. Porém, este método acaba

trazendo um aumento da potência consumida pelo circuito integrado de até 27% e um aumento de área de até 36%. Isso acarreta na necessidade de equilibrar os benefícios da técnica e seus problemas.

## 5 PROPOSTA E METODOLOGIA

Neste capítulo está detalhada a proposta deste trabalho, descrevendo quais atividades foram desenvolvidas. Ainda neste capítulo estão detalhadas as metodologias utilizadas, ou seja, como foram realizadas as atividades. As atividades aqui referidas consistem na criação dos leiautes, obedecendo critérios de regularidade, alteração do modelo para refletir os efeitos da variabilidade e o processo de simulação para a obtenção dos resultados que serão descritos posteriormente.

### 5.1 Proposta

O foco central deste trabalho é a exploração de técnicas de projeto que visem a redução dos efeitos causados pela variabilidade de processo (local e global) sobre portas lógicas utilizando lógica CMOS complementar. O estudo consiste na utilização ou não de técnica de *folding* e utilizando estruturas regulares como sendo uma alternativa à nível de projeto para obter uma previsibilidade de comportamento mediante aos efeitos da variabilidade de processo (locais e globais). Esse estudo tem por objetivo verificar se a criação de leiautes utilizando esta técnica acaba tornando-os mais robustos aos efeitos da variabilidade de processo. Ainda no âmbito das comparações, os leiautes de células básicas tipo NANDs, NORs, Inversores foram criadas obedecendo às mesmas restrições impostas para a criação dos leiautes das portas complexas. Esta comparação entre portas básicas e complexas visa analisar a tolerância de cada uma das implementações aos efeitos da variabilidade de processo. Aqui se procurou abordar premissas estabelecidas nas metodologias para DFM que foram detalhadas no capítulo 3 para a geração dos leiautes.

Este trabalho tem por objetivo criar leiautes de portas lógicas básicas e complexas utilizando lógica CMOS complementar, obedecendo premissas de regularidade e adotando a técnica de *folding*. Uma vez criados os leiautes, os mesmos serão verificados e extraídos. Na sequência, os leiautes extraídos contendo suas capacitâncias parasitas e resistências serão simulados.

O comportamento do pior atraso e da dissipação de potência RMS serão analisados. Esta análise visa estabelecer a influência dos efeitos da variabilidade de processo sobre cada porta, utilizando ou não a técnica de *folding*. A verificação do comportamento dos efeitos da variabilidade de processo em diferentes cornes de simulação, como o *typical-typical* (TT), *slow-slow* (SS) e *fast-fast* (FF), serão realizadas. A figura 5.1 de acordo com (MUTLU; RAHMAN, 2005) mostra a posição dos cornes TT, SS e FF sobre o comportamento da distribuição do desempenho de circuitos, além de trazer algumas características dos cornes utilizados para a simulação.

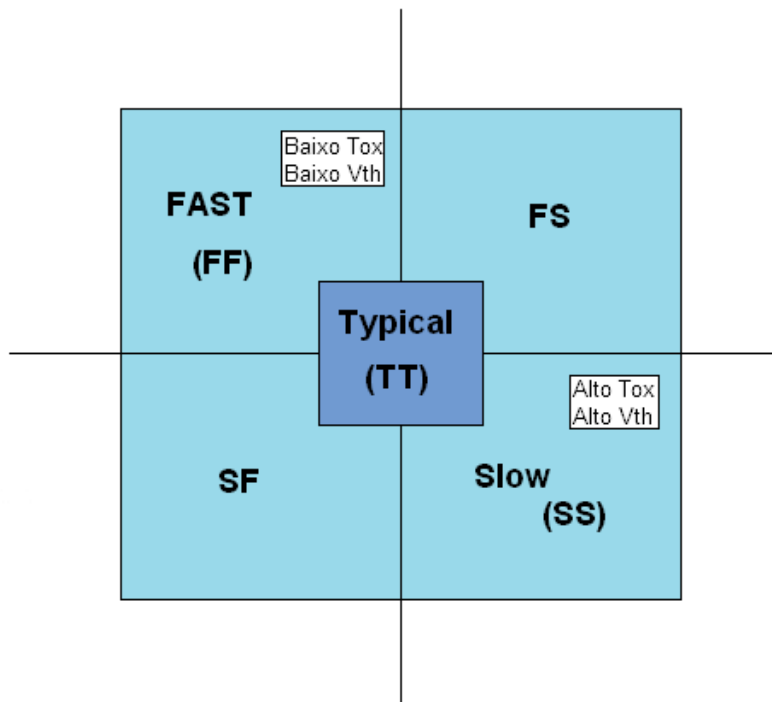


Figura 5.1: Diagrama dos Cornes de Desempenho de um Circuito

## 5.2 Metodologia

Nesta seção serão descritas as metodologias utilizadas para a execução deste trabalho e obtenção dos resultados. A metodologia adotada para este trabalho foi dividida em etapas. Cada etapa relata uma parte da execução dos experimentos contidos neste trabalho. As etapas do trabalho podem ser relacionadas de forma simplificada entre si através do fluxograma estabelecido na figura 5.2.

Cada etapa descrita no fluxograma representa uma parte do desenvolvimento do experimento. O experimento visa a análise do impacto da variabilidade de processo sobre a implementação de portas lógicas utilizando lógica CMOS complementar. A implementação das portas está condicionada à aplicação de noções de regularidade e técnica de *folding*. Cada uma das etapas será detalhada nas seguintes sub-seções.

### 5.2.1 Escolha das Funções

O primeiro passo deste trabalho consistiu na escolha de algumas funções lógicas a serem implementadas. As funções lógicas utilizadas neste trabalho, para o desenvolvimento dos leiautes, foram escolhidos de forma aleatória. No total foram escolhidas 11 funções de diferentes características. As funções possuem entre 4 à 6 entradas e apenas 1 saída. As funções selecionadas para as análises do comportamento das portas complexas e básicas sob influência da variabilidade de processo, se encontram na figura em 5.3.

### 5.2.2 Criação dos Leiautes

Os esquemáticos e leiautes das funções complexas e das portas básicas foram feitos utilizando um design Kit de tecnologia de 65nm BULK CMOS da *STMicroelectronics* utilizando a ferramenta *VIRTUOSO Cadence*. A parte de verificação das células projetadas, que consiste no *Design Rules Check (DRC)* e o *Layout versus Schematic (LVS)*



Figura 5.2: Fluxograma das Etapas Executadas Durante o Experimento

foram feitas pela ferramenta *CALIBRE Mentor Graphics*. A etapa de extração das capacitâncias e resistências parasitas foi realizada pela ferramenta *STAR-RCXT* mantido pela empresa *Synopsys*. O resultado após a extração é um *netlist* com as capacitâncias e resistências parasitas presentes no leiaute de acordo com o padrão DSPF que promove um detalhamento maior sobre as *nets* mapeadas nos leiautes. Este *netlist* será utilizado durante a etapa de simulação. Um exemplo deste *netlist* pode ser encontrado no apêndice C.

A criação dos leiautes das portas básicas e complexas foram baseadas principalmente em manter os padrões, ou seja, as formas das camadas de materiais, o mais regulares possíveis, em especial as camadas de polisilício devido a fatores relacionados a fotolitografia (WRIGHT; FAN, 2006). Versões sem e com *folding* foram criados para as portas.

Tentativas de manter o mínimo número de padrões possíveis foi explorado durante a concepção dos leiautes devido ao fato de que, quanto maior for o conjunto de padrões para a criação do circuito, maior é o índice de variabilidade de processo no circuito final (JHAVERI, 2007). A seguir são enumeradas as restrições que envolveram a criação dos leiautes:

1. **Altura da Célula:** A distância centro-à-centro das células foi fixada em  $3.12\mu m$  e as bandas superiores e inferiores, que representam respectivamente os campos de VDD e GND da célula, foram concebidas utilizando camada 1 de metal, possuindo uma altura de  $240nm$ .
2. **Polisilício:** Todos os leiautes foram criados à possuírem camadas de polisilício com o comprimento mínimo de canal estabelecido pela tecnologia que é de  $60nm$ .
3. **Restrições para a Camada de PoliSilício:** A orientação da camada de polisilício é

PORTAS COMPLEXAS		PORTAS BÁSICAS
CG1	$S = \overline{(A.B) + (C.D)}$	INV
CG2	$S = A + \overline{(B.C).(D+E)}$	NAND2
CG3	$S = \overline{(A+B+C).(D+E)}$	NOR2
CG4	$S = \overline{(A.B) + C.(D+E)}$	NAND3
CG5	$S = \overline{(A+B).(C+D)}$	NOR3
CG6	$S = \overline{(A.B) + (C.D.E)}$	XOR2
CG7	$S = \overline{(A+B).C + (D.E)}$	
CG8	$S = \overline{(A.C).E + (B.D)}$	
CG9	$S = \overline{(A.C).B + (F.D.E)}$	
CG10	$S = \overline{C.E + AD + B}$	
CG11	$S = \overline{A + (B.C.D) + E}$	

Figura 5.3: Funções Lógicas Implementadas em Leiaute

basicamente vertical, exceto quando implementado a técnica de *folding*. Para a conexão entre os transistores paralelos criados pelo *folding* é necessária a utilização de polisilício na horizontal. Durante a criação dos leiautes utilizando *folding*, foi estabelecido que não poderia haver rearranjo das entradas para evitar roteamento de polisilício na horizontal. Com isso, os leiautes apresentam uma quantidade de quebras de difusão maior. Essas características de regularidade das camadas de polisilício podem ser vistos nos leiautes sem e com *folding* mostrados respectivamente nas figuras 5.4(a) e 5.4(b).

4. Dimensionamento de Transistores: O dimensionamento dos transistores de cada uma das portas desenvolvidas foi baseado em técnicas de esforço lógico (SUTHERLAND I.; SPROULL, 1999).
5. *Drive Strength*: O dimensionamento foi condicionado a capacidade da porta de carregar uma capacitância de 10fF em sua saída. Essa capacitância equivale a um inversor com dimensões 3 vezes maior que as dimensões mínimas da tecnologia utilizada, do qual, a largura do transistor é de  $0.12\mu m$ . Obedecendo a razão em que  $w_p = 2w_n$  faz com que a largura dos transistores do inversor mínimo seja de  $0.12\mu m$  para o NMOS e de  $0.24\mu m$  para o PMOS. Essa capacitância tem papel importante nas estimativas de potência utilizada pela porta e evita que a saída da porta fique flutuando.

### 5.2.3 Alteração do Modelo e Simulação

Para iniciar o processo de simulação, um modelo de transistor devia ser escolhido para a realização das mesmas. O modelo escolhido para a realização dos experimentos foi um modelo de *Low-Power Standard Threshold Voltage*, modelo este baseado no padrão BSIM4 e que está presente no kit de projeto em 65nm utilizado para a concepção dos leiautes.

As fontes de variação adotados para os experimentos foram baseado nos estudos presentes em (NASSIF, 2001) e (NASSIF, 2000), onde é relatado quais seriam os principais parâmetros afetados pela variabilidade de processo. Os parâmetros: largura (W), comprimento (L), espessura do óxido ( $T_{ox}$ ) e tensão de limiar ( $V_{th}$ ), foram utilizados como

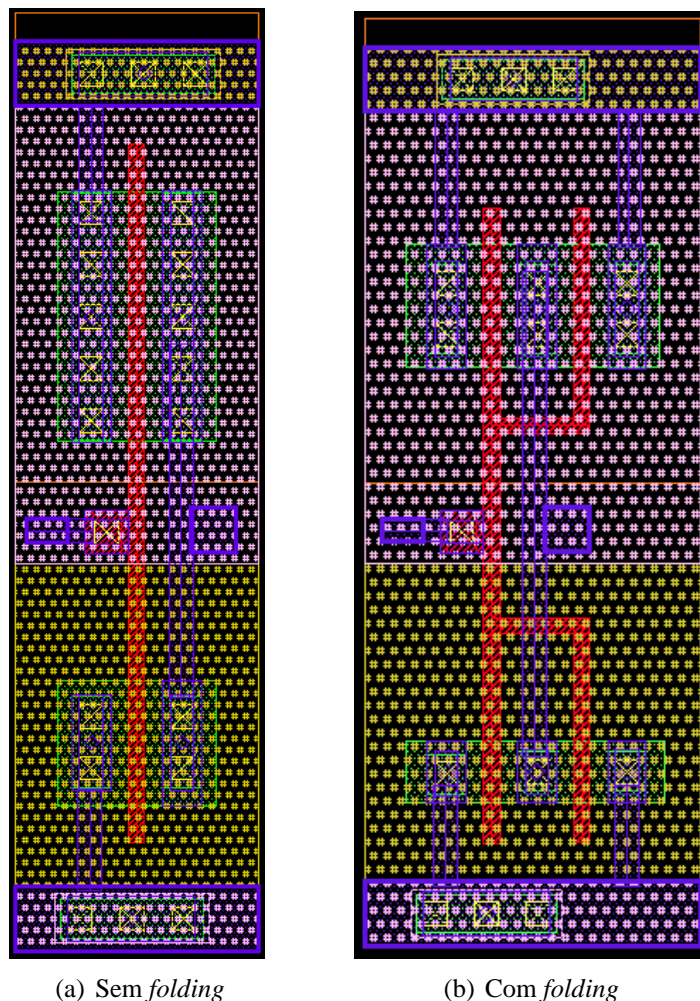


Figura 5.4: Leiautes de um Inversor mostrando regularidade para a camada de polisilício.

fontes de variação para a simulação dos efeitos da variabilidade sobre as portas. Foi utilizado uma distribuição gaussiana como agente de variação sobre os parâmetros durante a simulação. Este método foi utilizado devido ao fato de que, estudos apontam que estes parâmetros possuem uma tendência de distribuição similar a uma distribuição gaussiana (SAHA, 2010). O método gaussiano foi inserido utilizando uma variação de 10% sobre o valor nominal do parâmetro e um desvio de  $3\sigma$  em torno dos valores obtidos. Este procedimento foi realizado para obter uma amostra que possuísse uma cobertura superior a 99% sobre toda a distribuição obtida durante a simulação, englobando dessa maneira situações extremas de desempenho do circuito.

O *Netlist* utilizado para as simulações está dividido em três partes principais, cada parte tem um papel importante durante o processo de simulação. As partes constituintes do *netlist* gerado são: o cabeçalho, o sub-circuito extraído e a parte dos estímulos e medições. Cada uma destas etapas será melhor explicada na sequência.

O cabeçalho é a parte do *netlist* onde é chamado o modelo do transistor e seus arquivos auxiliares. Cada arquivo chamado possui uma função específica sobre o modelamento do transistor. O arquivo *common\_poly.lib* chama as características e o modelamento específico para as camadas de polisilício, *common\_go1.lib* e *common\_go2.lib* incorporam modelamento sobre o óxido de porta, as chamadas de *common\_active\_res.lib* e *common\_active\_cd.lib* são responsáveis por definir características relacionadas ao pro-



cesso em relação a resistência intrínseca e com relação as dimensões críticas do dispositivo. O arquivo nomeado de *mismatch.lib* trás diretivas de configuração de algumas variáveis dentro do modelo que tratam do descasamento de parâmetros. Outro detalhe importante do cabeçalho é a presença do parâmetro *SUPPLY* onde é definido qual é a tensão de operação do circuito. Para as simulações foi adotada a tensão de 1.1V como descreve o modelo do transistor adotado.

Para alterar o corne de simulação basta mudar a sequência de caracteres no final de cada uma das linhas que contenham os arquivos de modelamento do transistor. Os cornes simulados neste trabalho foram TT, SS e FF, não necessariamente nesta mesma ordem. No cabeçalho também são inseridas as variações da largura (W) e comprimento (L) do transistor. As variações de W e L são realizadas através de uma distribuição gaussiana utilizando a função *gauss* do *Hpice* onde são informados o valor inicial do parâmetro, uma percentagem de variação, que neste caso é de 10% e o desvio que neste caso é de  $3\sigma$  em torno do valor nominal.

O sub-circuito extraído possui a descrição do leiaute do circuito previamente checado e extraído, onde suas capacitâncias e resistências parasitas são inseridas de acordo com as *nets* estabelecidas pela ferramenta de extração. Aqui são descritas as *nets*, pontos onde os terminais dos transistores estão conectados entre si e com suas respectivas capacitâncias e resistências parasitas.

Na parte dos estímulos e medições, estão descritos os estímulos de entrada para cada porta, a carga capacitiva de 10fF na saída da porta. Os estímulos de entrada foram descritos para possuírem *slew rates* de 25ps, o que significa dizer que, os sinais de entrada demoram 25ps para saírem de 0 à 1 lógico e vice-versa. Essa característica de comportamento da onda foi inserida em todas as entradas dos circuitos.

Alguns vetores foram selecionados para que se pudesse alcançar o pior atraso entre as entradas em relação a saída da porta. Para isso, cada entrada da porta possui um conjunto de dois vetores em que o único estímulo a variar entre eles é o da entrada a ser medida.

Medições de tempos de atraso *high-low* e *low-high*, bem como os tempos de *rise* e *fall*, são descritos no arquivo de simulação da seguinte maneira:

1. Para a obtenção dos tempos de propagação *high-low* e *low-high* é realizado o procedimento utilizando o método *measure* do *Hspice*. Neste caso em especial, é necessário a utilização das funções TRIG e TARG que são responsáveis por informar quais os pontos de início e de parada para a avaliação da curva resultante da simulação. Essa medição consiste em pegar os tempos que correspondem a 50% da tensão de alimentação na entrada com a maior frequência de chaveamento e a saída. Quando a entrada tiver caído de 1 para 0 lógico e a saída do circuito tiver subido de 0 para 1 lógico, os dois ponto são marcados e o intervalo entre eles é marcado como sendo o tempo de propagação *high-low*. Da mesma maneira, o tempo de propagação *low-high* é calculado utilizando a entrada com a maior frequência de chaveamento. Quando o sinal da entrada sobe de 0 para 1 lógico e a saída cai de 1 para 0 lógico, o intervalo resultante é o tempo *high-low*.
2. Os tempos de *rise* e *fall* são obtidos baseados no pino de saída do circuito. As medições dos tempos de *rise* e *fall* são obtidos a partir da diferença de tempos existente entre dois intervalos. Os intervalos foram demarcados para serem exatamente 10% e 90% de VDD para obtenção dos tempos de *rise* e de 90% e 10% de VDD para a obtenção dos tempos de *fall*. Para este caso também foram necessárias a utilização

das funções TRIG e TARG para fazer a demarcação dos pontos de análise sobre a curva da saída com relação a subidas e descidas da onda resultante.

As estimativas de potência RMS e AVG são descritas utilizando funções já estabelecidas na ferramenta *Hspice* da *Synopsys*. Esta função exige que seja colocado um período de tempo em que a função deverá avaliar a dissipação de potência. Para este trabalho, o tempo de avaliação para o cálculo da potência é o tempo necessário para que todas as possíveis combinações das entradas sejam exercitadas. A potência obtida através da função *power* representa a potência total consumida pelo circuito. A equação 5.1 demonstra como o cálculo da potência é modelado pelo *Hspice*.

$$Pd = Vd's' \cdot Ido + Vbd' \cdot Ibdo + Vbs' \cdot Ibso + Vs's \cdot (Ido + Ibso + Icbs + Icgs) + Vdd' \cdot (Ido - Ibdo - Icbd - Icgd) \quad (5.1)$$

onde  $Ibdo$  é a corrente de junção *bulk-dreno*,  $Ibso$  é a corrente de junção *bulk-source*,  $Icbd$  é a o componente capacitivo da corrente de junção *bulk-drain*,  $Icbs$  é o componente capacitivo da corrente de junção *bulk-source*,  $Icgd$  é o componente capacitivo da corrente de *gate-drain*,  $Icgs$  é o componente capacitivo da corrente de *gate-source*,  $Ido$  é a corrente de dreno,  $Pd$  é a potência dissipada pelo MOSFET,  $Vbd'$  é a voltagem entre a junção *bulk-drain*,  $Vbs'$  é a voltagem entre a junção *bulk-source*,  $Vd's'$  é a voltagem entre os terminais dreno-fonte,  $Vdd'$  é a voltagem entre as resistências em serie do dreno (RD) e  $Vs's$  é a voltagem entre as resistências em serie da fonte (RS) (SYNOPTSYS, 2011).

## 6 RESULTADOS

Este capítulo é destinado à apresentação dos resultados obtidos a partir dos experimentos realizados. Os dados apresentados neste capítulo estão normalizados para tornar a comparação entre as portas implementadas mais justa. O processo de normalização dos dados consistiu na divisão do desvio padrão obtido pelo valor médio do parâmetro alvo.

Os resultados das análises e comparações realizadas entre as versões complexas com e sem *folding* e versão utilizando portas básicas estão melhor detalhadas nas seções que se seguem neste capítulo. Os dados resultantes das simulações foram obtidos a partir da margem de aceitabilidade que está compreendida no intervalo entre  $-1\sigma$  e  $1\sigma$  como demonstrado na figura 4.3.

### 6.1 Comparando a Técnica de Folding Sobre os Experimentos Envolvendo Portas Complexas

Esta seção mostra os resultados obtidos a partir da comparação das versões das portas complexas criadas utilizando ou não a técnica de *folding*. Aqui os dados obtidos estão separados de acordo com o corne de simulação. O processo de normalização dos dados foi previamente descrito no início deste capítulo.

Os parâmetros selecionados para avaliação de cada porta em relação a influência da variabilidade de processo foram: a variação ocorrida para o pior atraso da porta e a variação da potência RMS total consumida pela mesma. O cálculo da potência é obtido através da equação 5.1 inserida no simulador HSPICE, utilizado em todas as etapas de simulação dos experimentos. As tabelas 6.1, 6.2, 6.3 representam os dados obtidos durante as simulações das portas nos cornes de simulação TT, SS e FF respectivamente para as variações sobre o pior atraso das portas complexas. Estas simulações consideraram os parasitas do leiaute. Para esclarecimentos, os resultados presentes nas tabelas nas colunas Sem/Com *Folding* representam a razão entre o valor médio pelo desvio padrão da simulação de cada uma das portas lógicas. A coluna melhoria demonstra em forma percentual a diferença entre as portas com/sem *folding*.

De acordo com os dados obtidos, é possível verificar que as versões das portas que utilizaram *folding* possuem uma robustez que variaram de 21 à aproximadamente 34% para o corne TT, de 19 a 39% para o corne SS e de 14 à 35% para o corne FF. Estes resultados mostram que a técnica de *folding* pode ser uma alternativa para a criação de leiautes mais robustos, diminuindo o impacto da variabilidade de processo sobre o comportamento dos circuitos, em ênfase sobre os tempos de propagação de sinal pela porta, como mostra os casos explorados neste experimento.

As tabelas 6.4, 6.5 e 6.6 mostram uma redução entre 10 à 36% na variação norma-

Tabela 6.1: Resultados obtidos comparando o pior atraso encontrado usando corne de simulação TT.

<b>Circuito</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
CG1	0.03507	0.02725	<b>22.29</b>
CG2	0.03141	0.02326	<b>25.96</b>
CG3	0.02604	0.01934	<b>25.74</b>
CG4	0.02973	0.02344	<b>21.14</b>
CG5	0.03585	0.02612	<b>27.14</b>
CG6	0.03813	0.02866	<b>24.82</b>
CG7	0.02934	0.02084	<b>28.96</b>
CG8	0.03478	0.02504	<b>28.01</b>
CG9	0.00122	0.00092	<b>24.52</b>
CG10	0.02571	0.01848	<b>28.13</b>
CG11	0.02589	0.01685	<b>34.91</b>

Tabela 6.2: Resultados obtidos comparando o pior atraso encontrado usando corne de simulação SS.

<b>Circuito</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
CG1	0.03522	0.02571	<b>27.00</b>
CG2	0.03263	0.02610	<b>20.00</b>
CG3	0.02902	0.01747	<b>39.78</b>
CG4	0.03277	0.02113	<b>35.51</b>
CG5	0.03490	0.02605	<b>25.36</b>
CG6	0.03740	0.02995	<b>19.92</b>
CG7	0.03206	0.02329	<b>27.36</b>
CG8	0.03570	0.02554	<b>28.46</b>
CG9	0.00132	0.00096	<b>27.20</b>
CG10	0.02567	0.01872	<b>27.07</b>
CG11	0.02422	0.01916	<b>20.91</b>

Tabela 6.3: Resultados obtidos comparando o pior atraso encontrado usando corne de simulação FF.

<b>Circuito</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
CG1	0.03200	0.02642	<b>17.44</b>
CG2	0.03005	0.02143	<b>28.68</b>
CG3	0.02512	0.01620	<b>35.50</b>
CG4	0.02724	0.02224	<b>18.35</b>
CG5	0.03537	0.02723	<b>23.00</b>
CG6	0.03338	0.02748	<b>17.70</b>
CG7	0.02972	0.02210	<b>25.65</b>
CG8	0.03210	0.02885	<b>10.12</b>
CG9	0.00101	0.00086	<b>14.87</b>
CG10	0.02706	0.01901	<b>29.75</b>
CG11	0.02698	0.01796	<b>33.43</b>

lizada da dissipação de potência para os cornes TT, SS e FF respectivamente, para os leiautes que utilizavam *folding* em comparação aos sem *folding*.

Tabela 6.4: Resultados obtidos para variação de potência RMS para o corne de simulação TT

<b>Circuito</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
CG1	0.01104	0.00976	<b>11.57</b>
CG2	0.01034	0.00785	<b>24.15</b>
CG3	0.01006	0.00703	<b>30.08</b>
CG4	0.01158	0.01018	<b>12.02</b>
CG5	0.01178	0.00829	<b>29.63</b>
CG6	0.01135	0.01015	<b>10.62</b>
CG7	0.01209	0.00958	<b>20.73</b>
CG8	0.01167	0.00841	<b>27.93</b>
CG9	0.01405	0.01103	<b>21.46</b>
CG10	0.01011	0.00658	<b>34.89</b>
CG11	0.01055	0.00755	<b>28.48</b>

## 6.2 Folding sobre Células Básicas

Portas básicas, como NANDs, NORs, Inversor, XOR, foram criadas a nível de leiaute utilizando regularidade na camada de polisilício. Duas versões de cada porta foram criadas, uma contendo *folding* e outra não. As funções lógicas implementadas utilizando ou não o *folding* foram NAND de 2 e 3 entradas, NOR de duas e 3 entradas e inversor, XOR de duas entradas. Estas portas foram utilizadas para realizar as comparações contidas na seção 6.3.

Como mostrado na seção 6.1, a utilização da técnica de *folding* prova ser uma técnica a ser considerada durante a fase de projeto de um circuito integrado com a finalidade de

Tabela 6.5: Resultados obtidos para variação de potência RMS para o corne de simulação SS

<b>Circuito</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
CG1	0.01106	0.00936	<b>15.35</b>
CG2	0.01096	0.00842	<b>23.21</b>
CG3	0.00917	0.00678	<b>26.05</b>
CG4	0.01289	0.01032	<b>19.93</b>
CG5	0.01185	0.00886	<b>25.19</b>
CG6	0.01267	0.01127	<b>11.04</b>
CG7	0.01295	0.01067	<b>17.62</b>
CG8	0.01263	0.00877	<b>30.56</b>
CG9	0.01440	0.01113	<b>22.72</b>
CG10	0.00978	0.00705	<b>27.96</b>
CG11	0.01124	0.00767	<b>31.77</b>

Tabela 6.6: Resultados obtidos para variação de potência RMS para o corne de simulação FF

<b>Circuito</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
CG1	0.01075	0.00925	<b>13.89</b>
CG2	0.01145	0.00816	<b>28.76</b>
CG3	0.01001	0.00742	<b>25.83</b>
CG4	0.01111	0.00919	<b>17.29</b>
CG5	0.01098	0.00873	<b>20.54</b>
CG6	0.01034	0.00909	<b>12.09</b>
CG7	0.01110	0.00927	<b>16.47</b>
CG8	0.01060	0.00786	<b>25.85</b>
CG9	0.01190	0.00939	<b>21.04</b>
CG10	0.00995	0.00703	<b>29.33</b>
CG11	0.01001	0.00639	<b>36.20</b>

criar projetos mais robustos à variabilidade de processo. Essa seção trás os resultados das simulações das portas básicas utilizando ou não *folding*.

Os resultados contidos na tabela 6.7 demonstram que a técnica de *folding* tornou a porta mais robusta em relação à sua versão sem a utilização da técnica. Pode-se verificar que, para as portas simuladas, houve uma melhoria na robustez, considerando variação do pior atraso, entre 13.29% e 30.6%.

Tabela 6.7: Comparação dos piores atrasos normalizados sobre portas básicas com e sem *Folding*.

Circuito	Corne	Sem Folding	Com Folding	Melhoria (%)
INV	TT	0.02601	0.02008	<b>22.79</b>
	SS	0.02669	0.02188	<b>18.04</b>
	FF	0.02562	0.01991	<b>22.30</b>
NAND2	TT	0.02639	0.02220	<b>15.88</b>
	SS	0.02944	0.02293	<b>22.12</b>
	FF	0.02571	0.02045	<b>20.47</b>
NOR2	TT	0.04557	0.03765	<b>17.39</b>
	SS	0.04271	0.03572	<b>16.36</b>
	FF	0.04706	0.03854	<b>18.11</b>
NAND3	TT	0.02943	0.02209	<b>24.94</b>
	SS	0.02983	0.02191	<b>26.55</b>
	FF	0.02636	0.02286	<b>13.29</b>
NOR3	TT	0.03820	0.03194	<b>16.39</b>
	SS	0.02177	0.01679	<b>22.89</b>
	FF	0.01999	0.01387	<b>30.60</b>
XOR2	TT	0.03595	0.02651	<b>26.27</b>
	SS	0.03709	0.02675	<b>27.87</b>
	FF	0.03528	0.02533	<b>28.21</b>

A variação de potência RMS demonstrada na tabela 6.8 variou significativamente de porta para porta e de corne para corne, mas para todos os casos simulados se observa um aumento na robustez da porta. Algumas portas dependendo do corne ao qual foram simuladas apresentaram melhorias sutis na variação normalizada de potência, como é o caso da simulação da porta inversora quando simulada no corne SS que obteve uma melhoria de 0.29% em relação a sua versão sem *folding* e uma melhoria de 32.62% quando o corne de simulação passou para FF.

### 6.3 Comparação entre Circuitos com Células Complexas e Células Básicas (NAND, NOR, INVERSOR)

Esta seção foi proposta para fazer uma justa comparação entre a utilização de portas complexas ou portas básicas em projeto de um circuito integrado. Aqui as funções lógicas exercidas pelas portas complexas foram transcritas para portas básicas, e posteriormente, comparadas. As portas básica utilizadas nesta comparação utilizam regularidade na camada de polisilício e não utilizavam *folding*. As comparações realizadas nesta seção visaram comparar os possíveis efeitos que a variabilidade de processo pudesse infligir sobre o comportamento do circuito adotando em sua construção portas complexas ou básicas.

Tabela 6.8: Variação de potência RMS normalizada para células básicas com e sem *Folding*.

<b>Circuito</b>	<b>Corne</b>	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Melhoria (%)</b>
<b>INV</b>	TT	0.01128	0.00909	<b>19.45</b>
	SS	0.01085	0.01082	<b>0.29</b>
	FF	0.01418	0.00955	<b>32.62</b>
<b>NAND2</b>	TT	0.01124	0.00826	<b>26.46</b>
	SS	0.01112	0.01064	<b>4.34</b>
	FF	0.00942	0.00839	<b>10.92</b>
<b>NOR2</b>	TT	0.01358	0.01249	<b>7.98</b>
	SS	0.01135	0.00936	<b>17.51</b>
	FF	0.01358	0.01242	<b>8.53</b>
<b>NAND3</b>	TT	0.01015	0.00965	<b>4.92</b>
	SS	0.01176	0.00895	<b>23.91</b>
	FF	0.00823	0.00588	<b>28.60</b>
<b>NOR3</b>	TT	0.00863	0.00728	<b>15.64</b>
	SS	0.01088	0.00740	<b>31.96</b>
	FF	0.01092	0.00733	<b>32.84</b>
<b>XOR2</b>	TT	0.01297	0.01039	<b>19.91</b>
	SS	0.01336	0.01128	<b>15.59</b>
	FF	0.01269	0.01079	<b>14.94</b>

De acordo com os dados presentes na tabela 6.9, é possível verificar que as funções lógicas implementadas com portas complexas sem *folding* possuem uma variação maior comparada com a implementação usando portas básicas. A diferença entre as duas implementações chegou até a 39% em favor da implementação com portas básicas, em um dos casos explorados.

Quando são comparadas portas complexas com *folding* e as implementações usando células básicas é possível verificar a inexistência de um padrão. Os dados contidos na tabela 6.9 mostram uma alternância entre a robustez contra a variabilidade de processo para estes tipos de implementação. Verificando os dados, é possível constatar que a regularidade de padrões dos leiautes propiciam um aumento natural da robustez da porta com relação às variações de processo.

Observa-se na tabela 6.10 que, em média, portas complexas com *folding* demonstraram uma maior robustez contra a variabilidade de processo em relação a implementação com células básicas. Quando comparados versões com portas complexas sem *folding* e versão com portas básicas, é possível verificar que a média sobre todos os cornes, as portas complexas possuem uma menor variação da potência RMS consumida. Porém, essa melhoria é menor que a média encontrada para portas complexas com *folding*.

## 6.4 Desvantagens da Utilização de Folding

Como foi visto nas seções anteriores, a utilização da técnica de *folding* mostrou ser uma técnica a ser explorada para a criação de circuitos integrados mais robustos para os efeitos resultantes das variações que ocorrem devido ao processo de manufatura de circuitos integrados. Porém, a técnica acaba incrementando de forma significativa a área



Tabela 6.9: Comparação entre o pior atraso de versões com e sem *folding* em relação versão constituída de portas básicas

Corne	CG	1	2	3	Diferença entre 1 e 2 (%)	Diferença entre 1 e 3 (%)	Diferença entre 2 e 3 (%)
TT	<b>CG1</b>	0.03507	0.02725	0.02684	22.29	-23.48	-1.53
	<b>CG2</b>	0.03141	0.02326	0.02489	25.96	-20.76	7.02
	<b>CG3</b>	0.02604	0.01934	0.01644	25.74	-36.87	-14.99
	<b>CG4</b>	0.02973	0.02344	0.02506	21.14	-15.69	6.91
	<b>CG5</b>	0.03585	0.02612	0.02803	27.14	-21.81	7.31
	<b>CG6</b>	0.03813	0.02866	0.02868	24.82	-24.77	0.07
	<b>CG7</b>	0.02934	0.02084	0.02565	28.96	-12.57	23.08
	<b>CG8</b>	0.03478	0.03405	0.02782	2.08	-20.00	-18.30
	<b>CG9</b>	0.00122	0.00092	0.00071	24.52	-41.59	-22.62
	<b>CG10</b>	0.02571	0.01848	0.02293	28.13	-10.79	24.12
	<b>CG11</b>	0.02589	0.01685	0.02246	34.91	-13.24	33.31
SS	<b>CG1</b>	0.03522	0.02571	0.02749	27.00	-21.94	6.94
	<b>CG2</b>	0.03263	0.02610	0.02538	20.00	-22.20	-2.75
	<b>CG3</b>	0.02902	0.01747	0.01816	39.78	-37.43	3.92
	<b>CG4</b>	0.03277	0.02113	0.02581	35.51	-21.25	22.12
	<b>CG5</b>	0.03490	0.02605	0.02806	25.36	-19.59	7.73
	<b>CG6</b>	0.03740	0.02995	0.02890	19.92	-22.71	-3.48
	<b>CG7</b>	0.03206	0.02329	0.02592	27.36	-19.15	11.30
	<b>CG8</b>	0.03570	0.03431	0.02779	3.88	-22.14	-18.99
	<b>CG9</b>	0.00132	0.00096	0.00077	27.20	-41.30	-19.37
	<b>CG10</b>	0.02567	0.01872	0.02264	27.07	-11.81	20.94
	<b>CG11</b>	0.02422	0.01916	0.02285	20.91	-5.63	19.31
FF	<b>CG1</b>	0.03200	0.02642	0.02560	17.44	-20.00	-3.10
	<b>CG2</b>	0.03005	0.02143	0.02444	28.68	-18.66	14.04
	<b>CG3</b>	0.02512	0.01620	0.01606	35.50	-36.06	-0.87
	<b>CG4</b>	0.02724	0.02224	0.02455	18.35	-9.85	10.40
	<b>CG5</b>	0.03537	0.02723	0.02769	23.00	-21.72	1.67
	<b>CG6</b>	0.03338	0.02748	0.02821	17.70	-15.48	2.69
	<b>CG7</b>	0.02972	0.02210	0.02564	25.65	-13.73	16.02
	<b>CG8</b>	0.03210	0.03039	0.02728	5.32	-15.02	-10.25
	<b>CG9</b>	0.00101	0.00086	0.00065	14.87	-35.86	-24.66
	<b>CG10</b>	0.02706	0.01901	0.02224	29.75	-17.81	16.99
	<b>CG11</b>	0.02698	0.01796	0.02276	33.43	-15.65	26.71

(1) é a representação da função lógica com porta complexa sem folding

(2) é a representação da função lógica com porta complexa utilizando folding

(3) é a representação da função lógica utilizando portas básicas

Tabela 6.10: Comparação da variação de potência RMS de versões com e sem *folding* em relação a versão constituída de portas básicas

Corne	CG	1	2	3	Diferença entre 1 e 2 (%)	Diferença entre 1 e 3 (%)	Diferença entre 2 e 3 (%)
TT	<b>CG1</b>	0.01075	0.00925	0.01289	-13.89	19.96	39.32
	<b>CG2</b>	0.01034	0.00785	0.01242	-24.15	20.11	58.35
	<b>CG3</b>	0.01006	0.00703	0.00907	-30.08	-9.83	28.97
	<b>CG4</b>	0.01158	0.01018	0.01147	-12.02	-0.90	12.64
	<b>CG5</b>	0.01178	0.00829	0.01424	-29.63	20.95	71.89
	<b>CG6</b>	0.01135	0.01015	0.01395	-10.62	22.90	37.49
	<b>CG7</b>	0.01209	0.00958	0.00988	-20.73	-18.21	3.18
	<b>CG8</b>	0.01167	0.01481	0.00986	26.89	-15.54	-33.44
	<b>CG9</b>	0.01405	0.01103	0.00995	-21.46	-29.19	-9.83
	<b>CG10</b>	0.01011	0.00658	0.01245	-34.89	23.10	89.07
	<b>CG11</b>	0.01055	0.00755	0.01369	-28.48	29.69	81.34
SS	<b>CG1</b>	0.01106	0.00936	0.01283	-15.35	15.99	37.01
	<b>CG2</b>	0.01096	0.00842	0.01251	-23.21	14.13	48.63
	<b>CG3</b>	0.00917	0.00678	0.00841	-26.05	-8.33	23.96
	<b>CG4</b>	0.01289	0.01032	0.01150	-19.93	-10.81	11.39
	<b>CG5</b>	0.01185	0.00886	0.01427	-25.19	20.46	61.01
	<b>CG6</b>	0.01267	0.01127	0.01429	-11.04	12.79	26.79
	<b>CG7</b>	0.01295	0.01067	0.00974	-17.62	-24.79	-8.70
	<b>CG8</b>	0.01263	0.01511	0.00993	19.68	-21.34	-34.28
	<b>CG9</b>	0.01440	0.01113	0.00991	-22.72	-31.20	-10.97
	<b>CG10</b>	0.00978	0.00705	0.01257	-27.96	28.54	78.42
	<b>CG11</b>	0.01124	0.00767	0.01295	-31.77	15.22	68.86
FF	<b>CG1</b>	0.01104	0.00976	0.01356	-11.57	22.92	39.00
	<b>CG2</b>	0.01145	0.00816	0.01235	-28.76	7.78	51.29
	<b>CG3</b>	0.01001	0.00742	0.00842	-25.83	-15.91	13.37
	<b>CG4</b>	0.01111	0.00919	0.01154	-17.29	3.82	25.52
	<b>CG5</b>	0.01098	0.00873	0.01424	-20.54	29.70	63.23
	<b>CG6</b>	0.01034	0.00909	0.01384	-12.09	33.84	52.25
	<b>CG7</b>	0.01110	0.00927	0.00997	-16.47	-10.20	7.50
	<b>CG8</b>	0.01060	0.01418	0.01021	33.74	-3.68	-27.98
	<b>CG9</b>	0.01190	0.00939	0.00988	-21.04	-16.94	5.19
	<b>CG10</b>	0.00995	0.00703	0.01232	-29.33	23.85	75.25
	<b>CG11</b>	0.01001	0.00639	0.01299	-36.20	29.74	103.37

(1) é a representação da função lógica com porta complexa sem folding

(2) é a representação da função lógica com porta complexa utilizando folding

(3) é a representação da função lógica utilizando portas básicas

total utilizada pela porta, além de proporcionar um incremento na dissipação de potência devido ao aumento de transistores e com isso um aumento dos parasitas no leiaute.

A tabela 6.11 demonstra que houve um incremento em área superior a 70% para todas as portas básicas e complexas analisadas, exceto pelo Inversor e a XOR, em que a aplicação do *folding* proporcionou um aumento de área de 39.88% e 25.43% respectivamente, comparados com suas versões sem *folding*.

Fazendo a mesma analogia, agora com relação a potência consumida, é possível verificar que houve tendência de aumento em todos os experimentos analisados. Foram registrados aumentos de consumo entre 3% e 21% em todos os experimentos como pode ser visto na tabela 6.12. Este aumento da dissipação de potência das portas com *folding* se explica basicamente pelo aumento do número de transistores e por consequência, aumento de capacitâncias e resistências parasitas sobre o leiaute.

Tabela 6.11: Comparação sobre a área total das células com e sem *folding*

Área ( $\mu^2$ )			
	Com Folding	Sem Folding	Aumento (%)
INV	4.56	3.26	39.88
NAND2	9	5	80.00
NOR2	9	5	80.00
NAND3	13.07	6.05	116.03
NOR3	13.07	6.05	116.03
XOR2	18.2	14.51	25.43
CG1	18.2	9.66	88.41
CG2	17.04	10.92	56.04
CG3	16.63	9.84	69.00
CG4	20.84	9.96	109.24
CG5	18.1	8.78	106.15
CG6	20	9.97	100.60
CG7	20	11.53	73.46
CG8	19.9	9.95	100.00
CG9	23.9	12.76	87.30
CG10	17.01	9.85	72.69
CG11	17.01	9.1	86.92

Estes resultados mostram que é necessário a realização de uma espécie de ponderação no momento da aplicação desta técnica. Os benefícios que a técnica pode trazer aos circuitos e seus efeitos negativos devem ser considerados para encontrar um balanço ótimo que possibilite a criação de circuitos robustos e sem perder em área ou potência.

Tabela 6.12: Comparação sobre a potência RMS consumida pelas células com e sem *folding*

<b>Potência RMS (<math>\mu\text{W}</math>) em uma Frequência de 2GHz</b>			
	<b>Sem Folding</b>	<b>Com Folding</b>	<b>Aumento (%)</b>
INV	194.13	203.58	<b>4.87</b>
NAND2	199.08	209.97	<b>5.47</b>
NOR2	180.95	189.81	<b>4.89</b>
NAND3	204.06	213.21	<b>4.48</b>
NOR3	186.93	197.33	<b>5.56</b>
XOR2	182.51	193.33	<b>5.93</b>
CG1	139.83	146.30	<b>4.63</b>
CG2	194.40	200.96	<b>3.37</b>
CG3	199.35	208.37	<b>4.52</b>
CG4	120.18	131.50	<b>9.42</b>
CG5	112.62	122.53	<b>8.80</b>
CG6	137.66	165.93	<b>20.54</b>
CG7	107.06	121.46	<b>13.45</b>
CG8	133.04	158.72	<b>19.30</b>
CG9	104.45	114.30	<b>9.43</b>
CG10	181.62	190.39	<b>4.83</b>
CG11	183.85	195.07	<b>6.11</b>

## 7 CONCLUSÃO

A técnica de *foldring* juntamente com a regularidade demonstram colaborar uma com a outra para a minimização da variação inter e intra-die normalizada sobre o caminho crítico das portas lógicas projetadas. Os resultados de simulação são animadores mas ainda é necessário uma validação em silício para comprovar ou não os resultados obtidos. Essas reduções dos efeitos sobre o pior atraso da porta trazem uma maior previsibilidade de desempenho da mesma. Como pôde ser visto no capítulo 6, as reduções da variação normalizada sobre o pior atraso para as portas complexas projetadas ficaram entorno de 29%, como mostram os resultados para o corne TT. Além disso, os experimentos comprovam que o *foldring* também favorece a minimização da variabilidade do pior atraso sobre portas lógicas básicas.

No que compete a variação sobre a dissipação de potência RMS, o *foldring* conseguiu reduções que chegaram até os 48.89% para as portas básicas. Da mesma maneira, o *foldring* colaborou para a minimização da variação sobre a potência consumida pelas portas complexas, gerando resultados de até 29,63% menores comparado com as mesmas portas sem o emprego do *foldring*.

Os dados obtidos das simulações mostram que o emprego do *foldring* pode ser utilizado para a criação de projetos de circuitos integrados mais resistentes aos efeitos da variabilidade. Como visto, a técnica minimiza os efeitos da variabilidade sobre os atrasos da porta, aumentando assim a previsibilidade de performance. Porém, o emprego desta técnica implica no aumento da área de cada porta e por consequência no aumento da área total e o consumo final do circuito integrado.

O emprego do *foldring*, em alguns dos experimentos, praticamente dobrou a área total da porta, o que torna o emprego desta técnica restritiva, principalmente se há limitações de área para o circuito que esta sendo projetado. Da mesma maneira, pode haver restrições quanto a quantidade de potência consumida pelo circuito. De acordo com os dados obtidos, a utilização de *foldring* implicou, no conjunto de experimentos deste trabalho, em um aumento de até 20.54% na dissipação de potência.

Devido ao incremento de consumo e de área, não seria viável a aplicação da técnica de *foldring* sobre todo o circuito. Porém, o *foldring* poderia ser uma boa opção para os caminhos críticos existentes em um circuito. Como já mencionado, a aplicação do *foldring* sobre os caminhos críticos poderia trazer uma melhor previsibilidade de desempenho do circuito, justificando, desta maneira, a sua utilização.

Como um possível trabalho futuro, será inserido *foldring* sobre os caminhos críticos de somadores com o objetivo de verificar os efeitos da variabilidade sobre seus caminhos críticos e confrontar com os dados já obtidos das portas básicas e complexas.

## REFERÊNCIAS

ASENOV, A.; KAYA, S.; DAVIES, J. Intrinsic threshold voltage fluctuations in decanano MOSFETs due to local oxide thickness variations. **Electron Devices, IEEE Transactions on**, [S.l.], v.49, n.1, p.112 –119, jan 2002.

ASML. **Off Axis Illumination**. Disponível em <<http://www.asml.com/asml/show.do?ctx=6843&rid=6847>>. Acesso em: fev. 2011.

ASML. **Phase Shift Mask**. Disponível em : <<http://www.asml.com/asml/show.do?ctx=10448&rid=10106>>. Acesso em: fev. 2011.

BEREZOWSKI, K. Transistor chaining with integrated dynamic folding for 1-D leaf cell synthesis. In: DIGITAL SYSTEMS DESIGN, 2001. PROCEEDINGS. EUROMICRO SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2001. p.422 –429.

BOWMAN, K. e. a. Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale integration. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.37, n.2, p.183 –190, feb 2002.

CARDENAS, D. I. e. a. A design methodology for logic paths tolerant to local intra-die variations. In: CIRCUITS AND SYSTEMS, 2008. ISCAS 2008. IEEE INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2008. p.596 –599.

CHO, C. et al. Decomposition and Analysis of Process Variability Using Constrained Principal Component Analysis. **Semiconductor Manufacturing, IEEE Transactions on**, [S.l.], v.21, n.1, p.55 –62, feb. 2008.

EUV\_ASML. **EUV: questions and answers**. Disponível em <<http://www.asml.com/asml/show.do?ctx=41905&rid=41906>> Acesso em 22 jul 2011.

GU, J.; SMITH, K. A structured approach for VLSI circuit design. **Computer**, [S.l.], v.22, n.11, p.9 –22, nov 1989.

GUPTA, A.; HAYES, J. Optimal 2-D cell layout with integrated transistor folding. In: COMPUTER-AIDED DESIGN, 1998. ICCAD 98. DIGEST OF TECHNICAL PAPERS. 1998 IEEE/ACM INTERNATIONAL CONFERENCE ON. **Anais...** [S.l.: s.n.], 1998. p.128 – 135.

GUPTA, P.; KAHNG, A. Manufacturing-aware physical design. In: COMPUTER AIDED DESIGN, 2003. ICCAD-2003. INTERNATIONAL CONFERENCE ON. **Anais...** [S.l.: s.n.], 2003. p.681 – 687.

HANYANG. **CMP**. Disponível em <<http://www.ceramic.hanyang.ac.kr/paik/cmp.htm>> Acesso em mar. 2011.

HOON, S. C. e. a. **Novel sizing algorithm for yield improvement under process variation in nanometer technology**. [S.l.: s.n.], 2004. 454 - 459p.

INTEL. **Computational Lithography Technology that Makes technology Affordable**. Disponível em <[http://download.intel.com/pressroom/kits/research/computational\\_litho\\_poster.pdf](http://download.intel.com/pressroom/kits/research/computational_litho_poster.pdf)>. Acessado em 30 de junho de 2011.

ITRS. **International Technology Roadmap for Semiconductors**. Disponível em <<http://www.itrs.net/home.html>> Acesso Mar. 2011.

JHAVERI, T. e. a. Maximization of Layout Printability/Manufacturability by Extreme Layout Regularity. **Journal of Micro/Nanolithography, MEMS and MOEMS**, [S.l.], 2007.

JIAO, H. e. a. Cellwise OPC Based on Reduced Standard Cell Library. In: QUALITY ELECTRONIC DESIGN, 2008. ISQED 2008. 9TH INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2008. p.810 –814.

KAHNG, A. e. a. Subwavelength lithography and its potential impact on design and EDA. In: DESIGN AUTOMATION CONFERENCE, 1999. PROCEEDINGS. 36TH. **Anais...** [S.l.: s.n.], 1999. p.799 –804.

KASTENSMIDT, F. et al. Transistor sizing and folding techniques for radiation hardening. In: RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 2009 EUROPEAN CONFERENCE ON. **Anais...** [S.l.: s.n.], 2009. p.512 –519.

KHETERPAL, V. et al. Design methodology for IC manufacturability based on regular logic-bricks. In: DESIGN AUTOMATION CONFERENCE, 2005. PROCEEDINGS. 42ND. **Anais...** [S.l.: s.n.], 2005. p.353 – 358.

KUHN, K. e. a. Managing Process Variation in Intel's 45nm CMOS Technology. **Intel Technology Journal**, [S.l.], 2008.

KUHN, K. et al. Process Technology Variation. **Electron Devices, IEEE Transactions on**, [S.l.], v.58, n.8, p.2197 –2208, aug. 2011.

LI, P. e. a. Characterizing Multistage Nonlinear Drivers and Variability for Accurate Timing and Noise Analysis. **Very Large Scale Integration (VLSI) Systems, IEEE Transactions on**, [S.l.], v.15, n.11, p.1205 –1214, nov. 2007.

MENEZES, C. et al. Design of Regular Layouts to Improve Predictability. In: DEVICES, CIRCUITS AND SYSTEMS, PROCEEDINGS OF THE 6TH INTERNATIONAL CARIBBEAN CONFERENCE ON. **Anais...** [S.l.: s.n.], 2006. p.67 –72.

MEZZOMO, C. et al. Characterization and Modeling of Transistor Variability in Advanced CMOS Technologies. **Electron Devices, IEEE Transactions on**, [S.l.], v.58, n.8, p.2235 –2248, aug. 2011.

MISHRA, B.; AL-HASHIMI, B.; ZWOLINSKI, M. Variation resilient adaptive controller for subthreshold circuits. In: DESIGN, AUTOMATION TEST IN EUROPE CONFERENCE EXHIBITION, 2009. DATE '09. **Anais...** [S.l.: s.n.], 2009. p.142 –147.

MUTLU, A.; RAHMAN, M. Statistical methods for the estimation of process variation effects on circuit operation. **Electronics Packaging Manufacturing, IEEE Transactions on**, [S.l.], v.28, n.4, p.364 – 375, oct. 2005.

NASSIF, S. Design for variability in DSM technologies [deep submicron technologies]. In: QUALITY ELECTRONIC DESIGN, 2000. ISQED 2000. PROCEEDINGS. IEEE 2000 FIRST INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2000. p.451 –454.

NASSIF, S. Modeling and analysis of manufacturing variations. In: CUSTOM INTEGRATED CIRCUITS, 2001, IEEE CONFERENCE ON. **Anais...** [S.l.: s.n.], 2001. p.223 –228.

NASSIF, S. Process variability at the 65nm node and beyond. In: CUSTOM INTEGRATED CIRCUITS CONFERENCE, 2008. CICC 2008. IEEE. **Anais...** [S.l.: s.n.], 2008. p.1 –8.

ORSHANSKY, M. e. a. **Design for Manufacturability and Statistical Design**. [S.l.]: Springer, 2008.

PILEGGI, L. et al. Exploring regular fabrics to optimize the performance-cost trade-off. In: DESIGN AUTOMATION CONFERENCE, 2003. PROCEEDINGS. **Anais...** [S.l.: s.n.], 2003. p.782 – 787.

PILEGGI, L. et al. Mismatch analysis and statistical design at 65 nm and below. In: CUSTOM INTEGRATED CIRCUITS CONFERENCE, 2008. CICC 2008. IEEE. **Anais...** [S.l.: s.n.], 2008. p.9 –12.

POWER, J. et al. Relating statistical MOSFET model parameter variabilities to IC manufacturing process fluctuations enabling realistic worst case design. **Semiconductor Manufacturing, IEEE Transactions on**, [S.l.], v.7, n.3, p.306 –318, aug 1994.

PRESTON WHITE K., J.; ATHAY, R.; TRYBULA, W. Applying DFM in the semiconductor industry. In: ELECTRONICS MANUFACTURING TECHNOLOGY SYMPOSIUM, 1995. 'MANUFACTURING TECHNOLOGIES - PRESENT AND FUTURE', SEVENTEENTH IEEE/CPMT INTERNATIONAL. **Anais...** [S.l.: s.n.], 1995. p.438 – 441.

REDA, S.; NASSIF, S. Analyzing the impact of process variations on parametric measurements: novel models and applications. In: DESIGN, AUTOMATION TEST IN EUROPE CONFERENCE EXHIBITION, 2009. DATE '09. **Anais...** [S.l.: s.n.], 2009. p.375 –380.

REID, D. et al. Statistical Enhancement of the Evaluation of Combined RDD- and LER-Induced V<sub>T</sub> Variability: lessons from 10<sup>5</sup> sample simulations. **Electron Devices, IEEE Transactions on**, [S.l.], v.58, n.8, p.2257 –2265, aug. 2011.

ROY, K. e. a. Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits. **Proceedings of the IEEE**, [S.l.], v.91, n.2, p.305 – 327, feb 2003.

SAHA, S. Modeling Process Variability in Scaled CMOS Technology. **Design Test of Computers, IEEE**, [S.l.], v.PP, n.99, p.1, 2010.



SALEM, R. et al. Implementing a methodology for process variation awareness of design context and its impact on circuit analysis. In: DESIGN AND TEST WORKSHOP (IDT), 2009 4TH INTERNATIONAL. **Anais...** [S.l.: s.n.], 2009. p.1 –5.

SAWICKI, J. **Achieving better DFM**: eda tools pave the way to improved yield. Disponível em <<http://www.edatechforum.com/volumes/volume-2/june-2005/achieving-better-dfm-eda-tools-pave-the-way-to-improved-yield/>> Acesso em mar. 2011.

SPRINGER, S. et al. Modeling of Variation in Submicrometer CMOS ULSI Technologies. **Electron Devices, IEEE Transactions on**, [S.l.], v.53, n.9, p.2168 –2178, sept. 2006.

SREEDHAR, A.; KUNDU, S. On linewidth-based yield analysis for nanometer lithography. In: DESIGN, AUTOMATION TEST IN EUROPE CONFERENCE EXHIBITION, 2009. DATE '09. **Anais...** [S.l.: s.n.], 2009. p.381 –386.

STROJWAS, A. Conquering Process Variability: a key enabler for profitable manufacturing in advanced technology nodes. In: SEMICONDUCTOR MANUFACTURING, 2006. ISSM 2006. IEEE INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2006. p.xxiii –xxxii.

SUBRAMANIAM, A. et al. Design rule optimization of regular layout for leakage reduction in nanoscale design. In: DESIGN AUTOMATION CONFERENCE, 2008. ASPDAC 2008. ASIA AND SOUTH PACIFIC. **Anais...** [S.l.: s.n.], 2008. p.474 –479.

SUTHERLAND I.; SPROULL, B. H. D. **Logical Effort**: design fast cmos circuits. [S.l.]: Morgan Kaufmann Publishers, 1999.

SYNOPSYS. **HSPICE® Simulation and Analysis User Guide Version Y-2006.03, March 2006**. Disponível em <[https://webpace.utexas.edu/rd8658/www/hspice\\_sa.pdf](https://webpace.utexas.edu/rd8658/www/hspice_sa.pdf)> Acesso em Junho 2011.

TULUNAY, G.; DUNDAR, G.; ATAMAN, A. A new approach to modeling statistical variations in MOS transistors. In: CIRCUITS AND SYSTEMS, 2002. ISCAS 2002. IEEE INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2002. v.1, p.I-757 – I-760 vol.1.

WANG, R. et al. Investigation on Variability in Metal-Gate Si Nanowire MOSFETs: analysis of variation sources and experimental characterization. **Electron Devices, IEEE Transactions on**, [S.l.], v.58, n.8, p.2317 –2325, aug. 2011.

WANG, V. et al. A Design Model for Random Process Variability. In: QUALITY ELECTRONIC DESIGN, 2008. ISQED 2008. 9TH INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2008. p.734 –737.

WANG, V. et al. A Simplified Design Model for Random Process Variability. **Semiconductor Manufacturing, IEEE Transactions on**, [S.l.], v.22, n.1, p.12 –21, feb. 2009.

WANG, V.; MARKOVIC, D. Linear analysis of random process variability. In: COMPUTER-AIDED DESIGN, 2008. ICCAD 2008. IEEE/ACM INTERNATIONAL CONFERENCE ON. **Anais...** [S.l.: s.n.], 2008. p.292 –296.

WRIGHT, P.; FAN, M. A DFM methodology to evaluate the impact of lithography conditions on the speed of critical paths in a VLSI circuit. In: QUALITY ELECTRONIC DESIGN, 2006. ISQED '06. 7TH INTERNATIONAL SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2006. p.4 pp. –817.

YU, P. e. a. Process variation aware OPC with variational lithography modeling. In: DESIGN AUTOMATION CONFERENCE, 2006 43RD ACM/IEEE. **Anais...** [S.l.: s.n.], 2006. p.785 –790.

ZAHIRI, B. Structured ASICs: opportunities and challenges. In: COMPUTER DESIGN, 2003. PROCEEDINGS. 21ST INTERNATIONAL CONFERENCE ON. **Anais...** [S.l.: s.n.], 2003. p.404 – 409.

## 8 APÊNDICE A LEIAUTES DE PORTAS COMPLEXAS SEM FOLDING CRIADAS

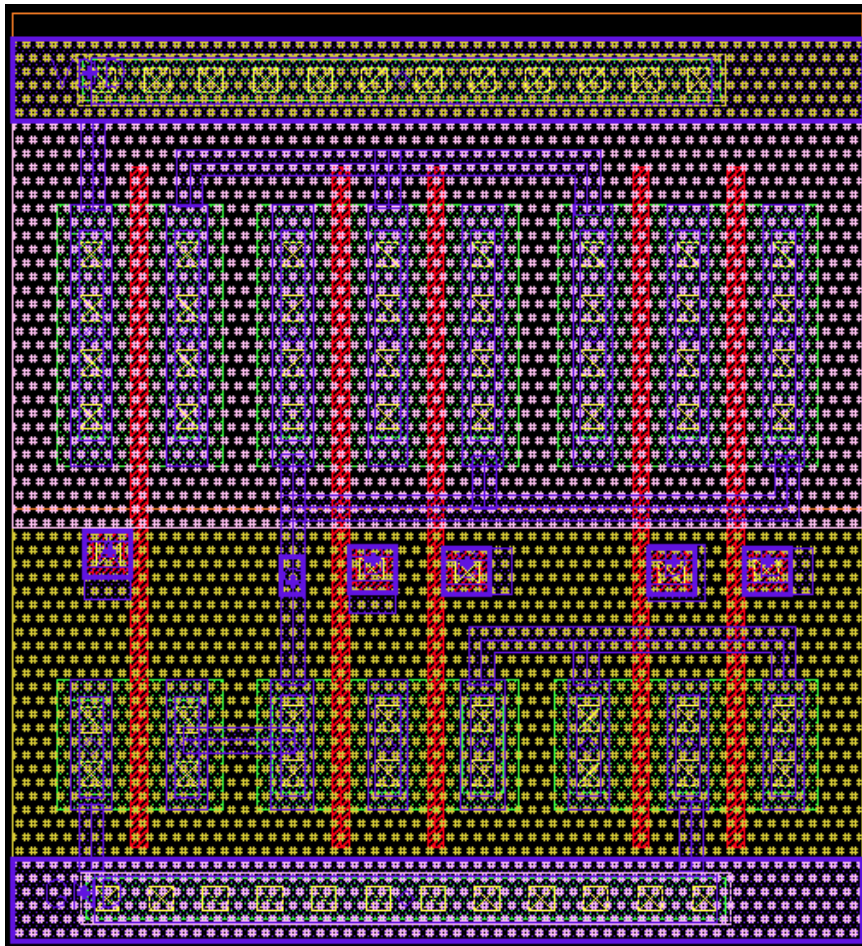


Figura 8.1: Porta complexa CG2 sem folding

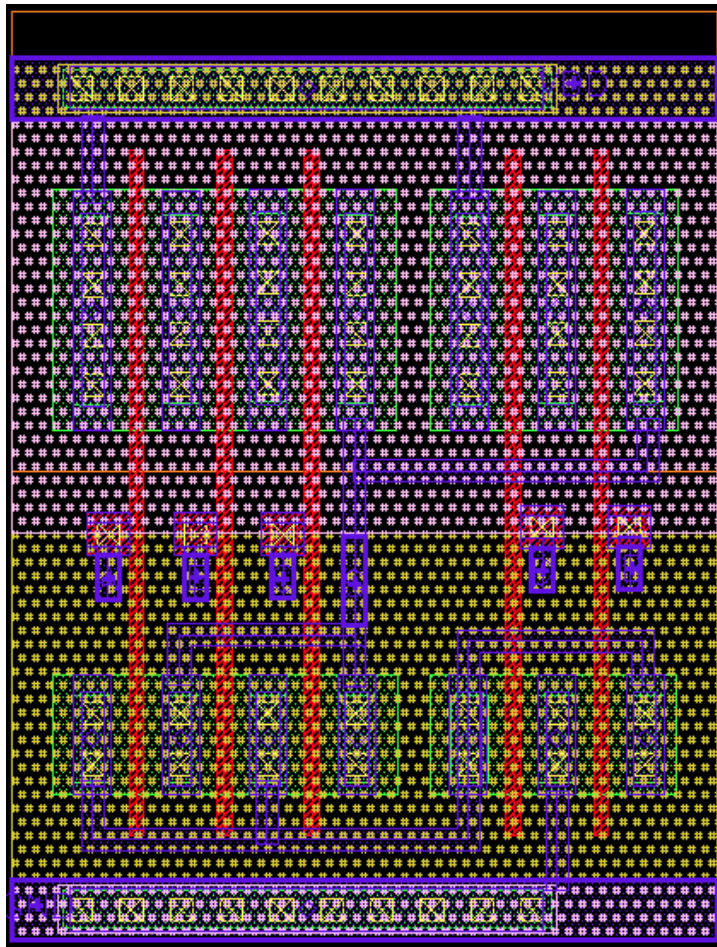


Figura 8.2: Porta complexa CG3 sem folding

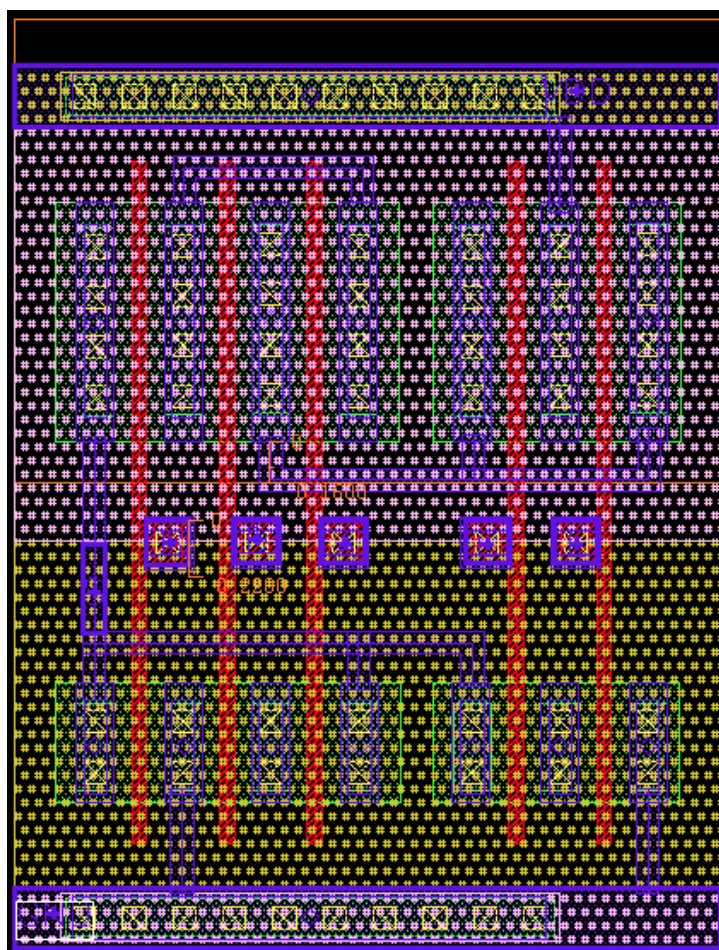


Figura 8.3: Porta complexa CG10 sem folding

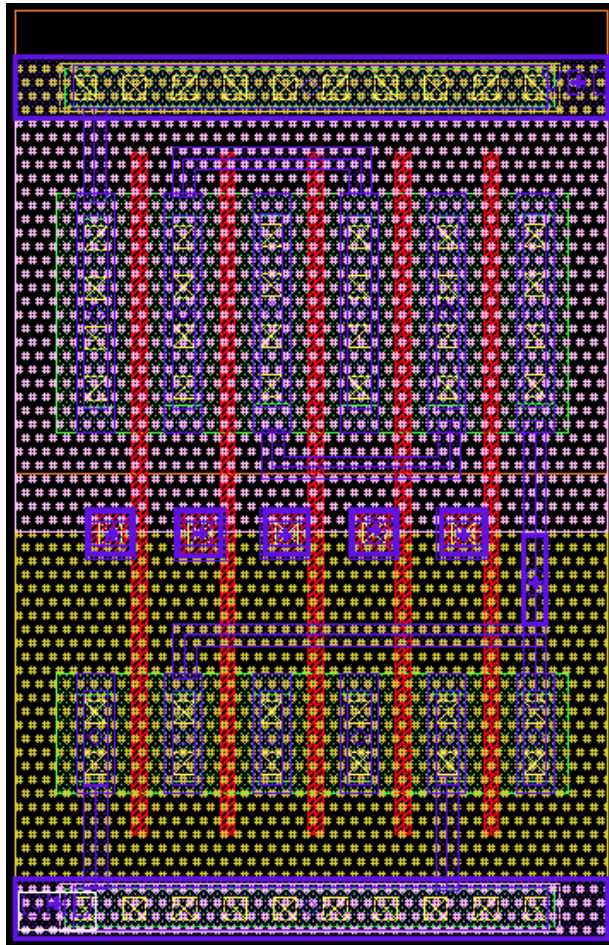


Figura 8.4: Porta complexa CG11 sem folding

## 9 APÊNDICE B LEIAUTES DE PORTAS COMPLEXAS COM FOLDING CRIADAS

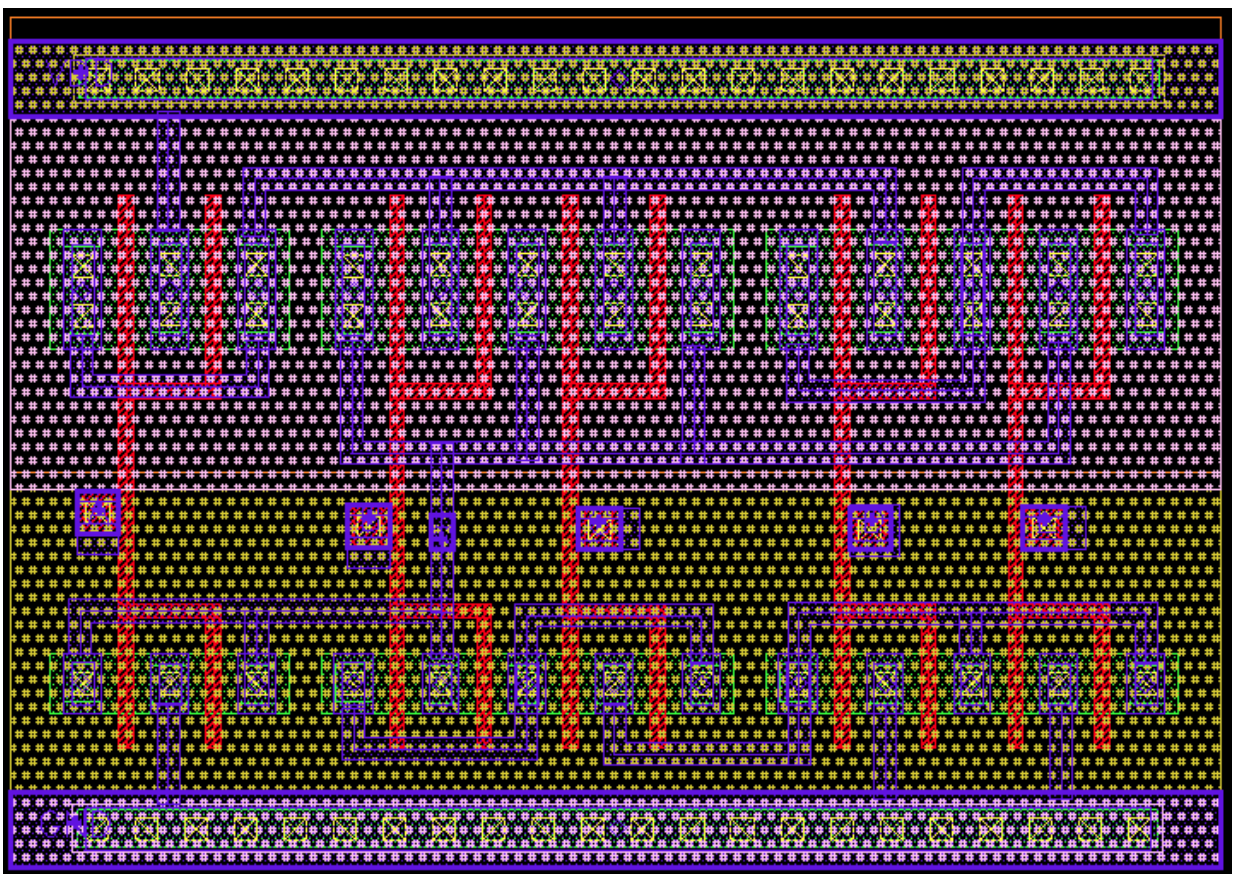


Figura 9.1: Porta complexa CG2 com folding

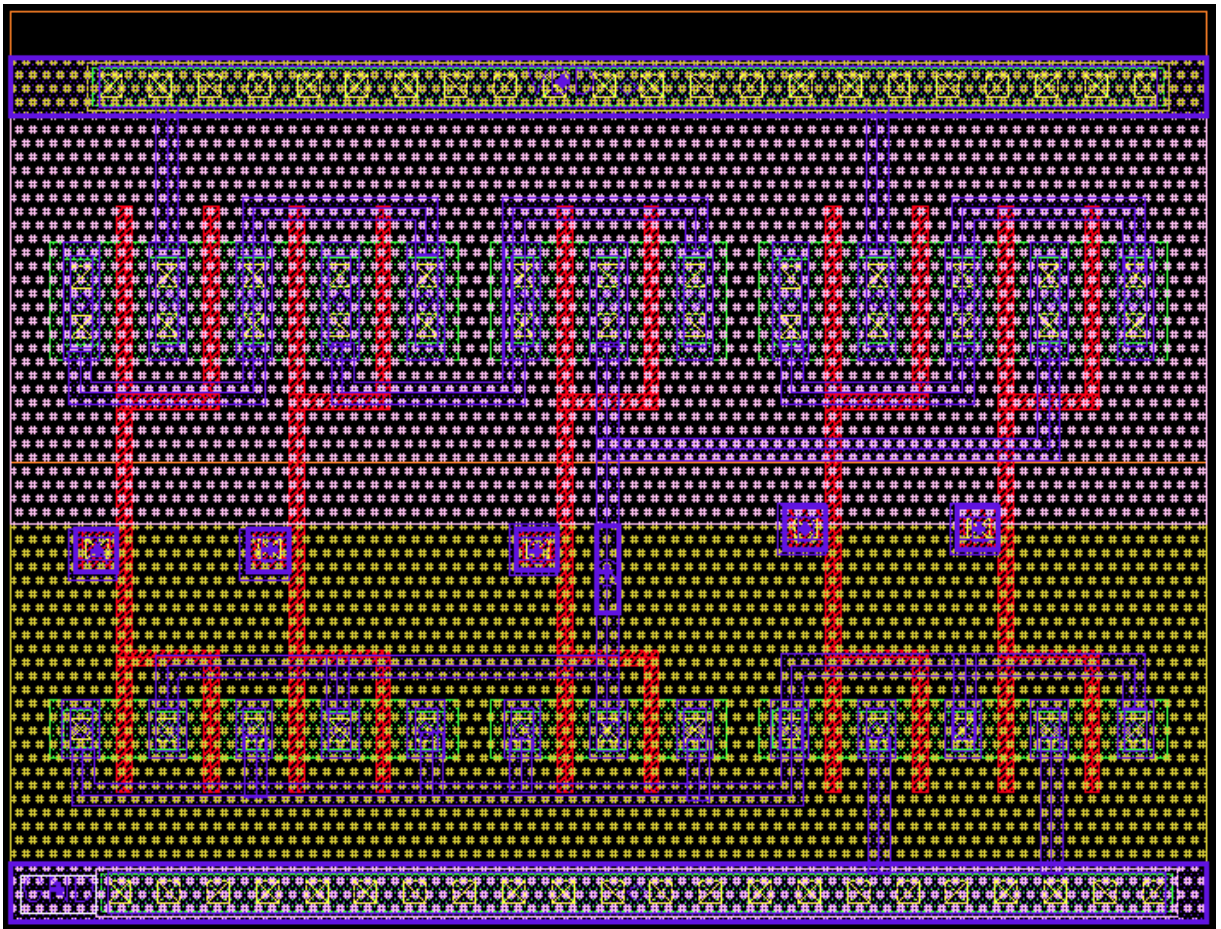


Figura 9.2: Porta complexa CG3 com folding



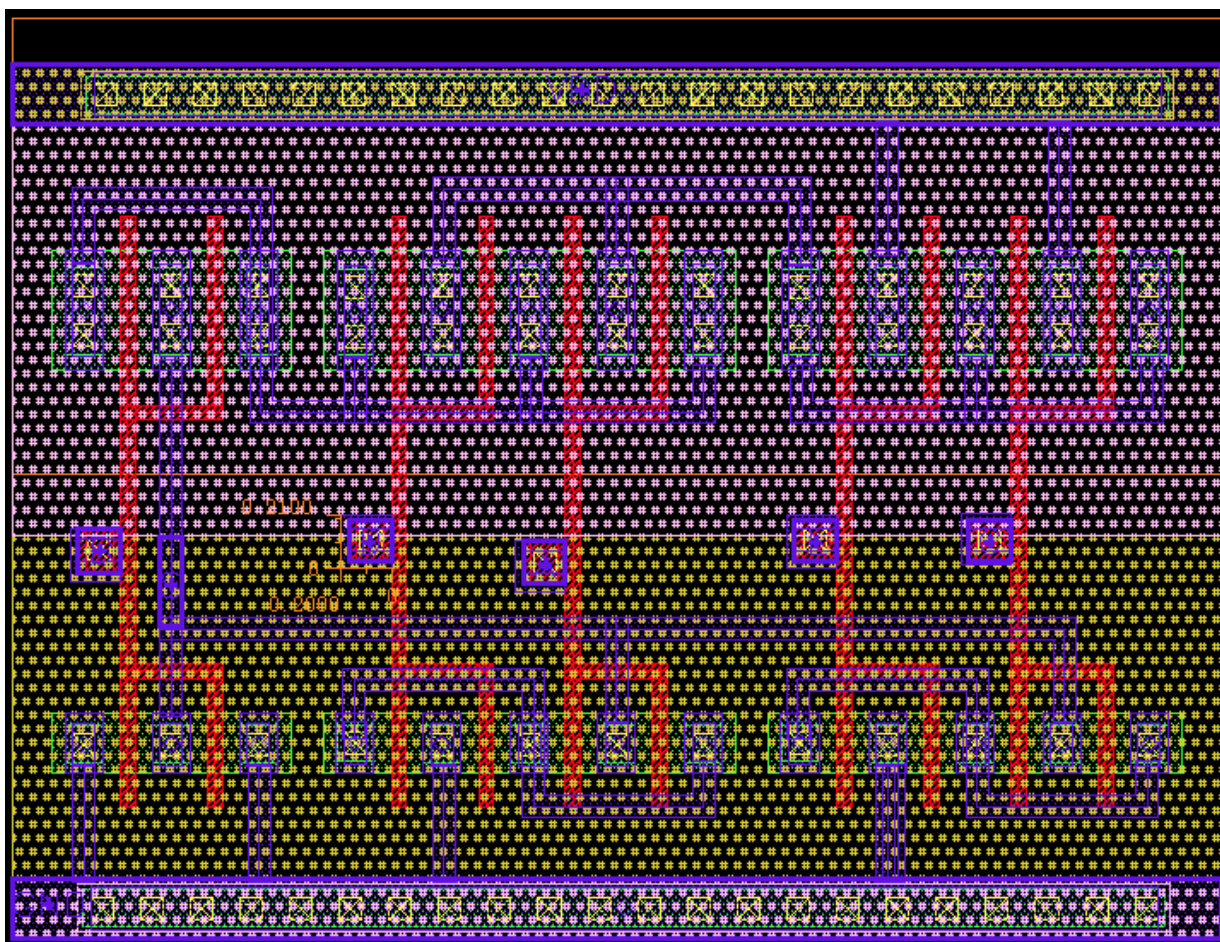


Figura 9.3: Porta complexa CG10 com folding

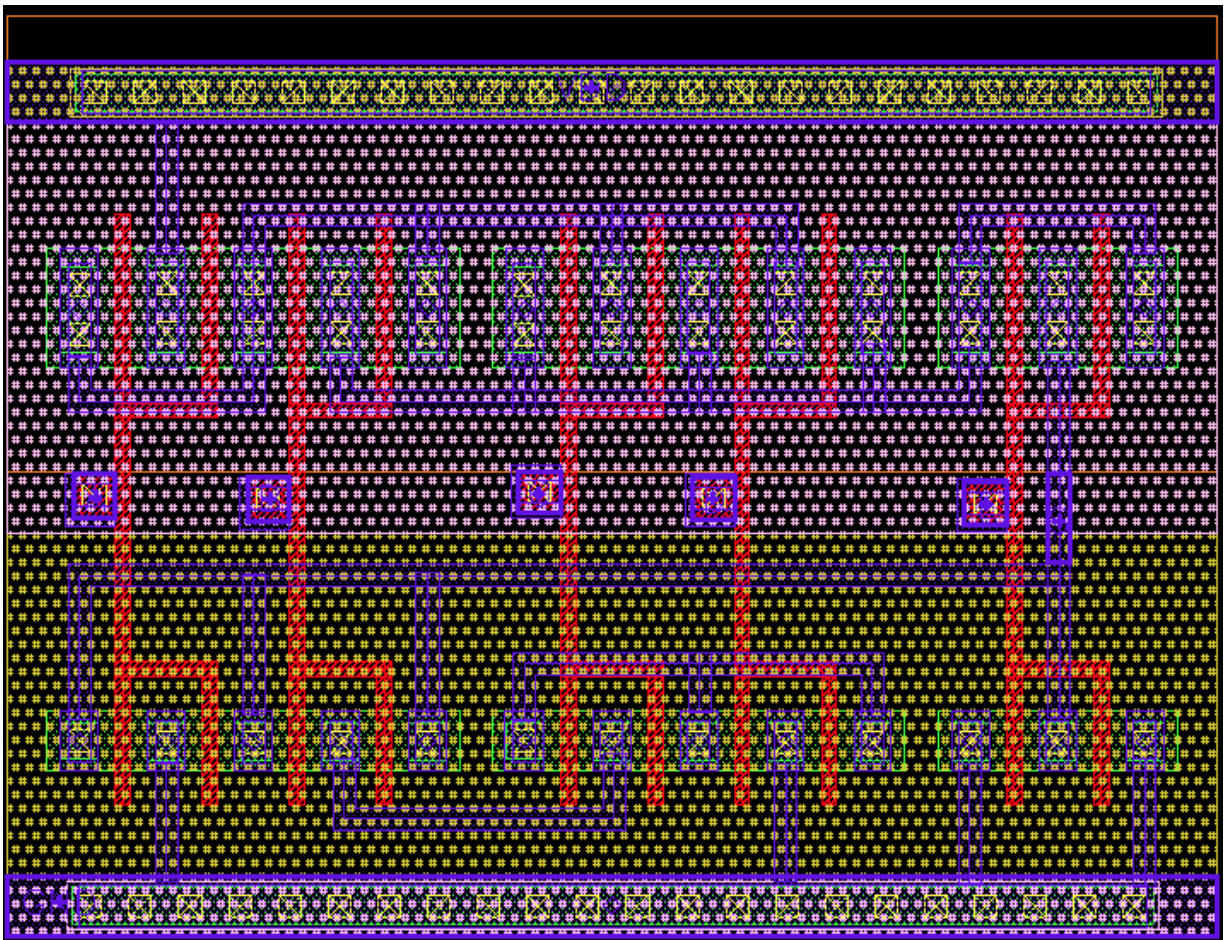


Figura 9.4: Porta complexa CG11 com folding

## 10 APÊNDICE C NETLIST EXTRAÍDO COM O PADRÃO DSPF DE UMA PORTA XOR DE 2 ENTRADAS UTILIZANDO FOLDING

```
.SUBCKT XOR2F A B GND S VDD
*|GROUNDNET0
*|NET net13 0.000668506PF
|I (MM1@2:D MM1@2 D B 0 1.885 -3.24)
|I (MM0:S MM0 S B 0 0.775 -3.24)
|I (MM0@2:S MM0@2 S B 0 1.185 -3.24)
|I (MM1:D MM1 D B 0 1.475 -3.24)
Cg1 MM1@2:D 0 1.09276e-16
Cg2 MM0:S 0 1.89043e-16
Cg3 MM0@2:S 0 9.80569e-18
R1 MM1@2:D MM0:S 369.815
R2 MM1@2:D MM0@2:S 361.873
R3 MM0:S MM0@2:S 363.009
R4 MM0@2:S MM1:D 0.001

*|NET net17 0.000717688PF
|I (MM2@2:D MM2@2 D B 0 3.7 -3.24)
|I (MM3@2:S MM3@2 S B 0 3 -3.24)
|I (MM2:D MM2 D B 0 3.29 -3.24)
|I (MM3:S MM3 S B 0 2.59 -3.24)
Cg4 MM2@2:D 0 8.77339e-17
C5 MM3@2:S MM1@2:D 2.38891e-17
Cg6 MM3@2:S 0 7.40212e-18
C7 MM3:S MM1@2:D 1.60109e-17
C8 MM3:S MM0@2:S 9.50526e-19
Cg9 MM3:S 0 2.03268e-16
R5 MM2@2:D MM3@2:S 362.118
R6 MM2@2:D MM3:S 370.433
R7 MM3@2:S MM2:D 0.001
R8 MM3@2:S MM3:S 363.07

*|NET !A 0.00155112PF
```

|I (MM8:D MM8 D B 0 5.045 -1.5)  
 |I (MM9:D MM9 D B 0 5.045 -3.195)  
 |I (MM4@2:G MM4@2 G I 2.88e-05 1.825 -1.275)  
 |I (MM4:G MM4 G I 2.88e-05 1.475 -1.275)  
 |I (MM1:G MM1 G I 1.44e-05 1.475 -3.24)  
 |I (MM1@2:G MM1@2 G I 1.44e-05 1.825 -3.24)  
 Cg10 MM8:D 0 4.29557e-16  
 C11 MM9:D MM1@2:D 3.09344e-18  
 C12 MM9:D MM2@2:D 1.55348e-17  
 C13 MM9:D MM0@2:S 1.41754e-17  
 Cg14 MM9:D 0 3.55051e-16  
 Cg15 MM4@2:G 0 1.16441e-16  
 Cg16 MM4:G 0 1.22368e-16  
 C17 MM1:G MM1@2:D 5.5104e-20  
 C18 MM1:G MM0@2:S 3.63619e-17  
 Cg19 MM1:G 0 9.14241e-17  
 C20 MM1@2:G MM1@2:D 1.60741e-17  
 C21 MM1@2:G MM3@2:S 1.57384e-18  
 C22 MM1@2:G MM0@2:S 9.27325e-18  
 C23 MM1@2:G MM3:S 3.82479e-20  
 Cg24 MM1@2:G 0 1.58907e-16  
 R9 MM8:D MM9:D 304.555  
 R10 MM8:D MM4@2:G 2145.3  
 R11 MM8:D MM4:G 6203.72  
 R12 MM8:D MM1:G 3801.04  
 R13 MM8:D MM1@2:G 1267.04  
 R14 MM9:D MM4@2:G 2137.12  
 R15 MM9:D MM4:G 6180.05  
 R16 MM9:D MM1:G 3786.54  
 R17 MM9:D MM1@2:G 1262.21  
 R18 MM4@2:G MM4:G 272.908  
 R19 MM4@2:G MM1:G 3918.71  
 R20 MM4@2:G MM1@2:G 1306.27  
 R21 MM4:G MM1:G 11332  
 R22 MM4:G MM1@2:G 3777.42  
 R23 MM1:G MM1@2:G 275.278

\*|NET net37 0.00166149PF

|I (MM7@2:S MM7@2 S B 0 3 -1.275)  
 |I (MM7:S MM7 S B 0 2.59 -1.275)  
 |I (MM5:S MM5 S B 0 3.29 -1.275)  
 |I (MM5@2:S MM5@2 S B 0 3.7 -1.275)  
 |I (MM6:D MM6 D B 0 0.835 -1.275)  
 |I (MM4:D MM4 D B 0 1.535 -1.275)  
 |I (MM6@2:D MM6@2 D B 0 1.125 -1.275)  
 |I (MM4@2:D MM4@2 D B 0 1.825 -1.275)  
 C25 MM7@2:S MM4@2:G 1.336e-17  
 C26 MM7@2:S MM4:G 2.07395e-17

C27 MM7@2:S MM9:D 3.61258e-18  
 C28 MM7@2:S MM3@2:S 6.80707e-18  
 C29 MM7@2:S MM3:S 3.25488e-19  
 Cg30 MM7@2:S 0 3.82376e-18  
 C31 MM7:S MM4@2:G 8.21659e-19  
 C32 MM7:S MM3:S 3.06876e-18  
 Cg33 MM7:S 0 1.55121e-16  
 C34 MM5@2:S MM2@2:D 2.72513e-18  
 C35 MM5@2:S MM3@2:S 1.46137e-19  
 C36 MM6:D MM4:G 1.10208e-19  
 Cg37 MM6:D 0 2.5641e-16  
 C38 MM4:D MM4@2:G 3.0854e-17  
 C39 MM4:D MM4:G 4.6797e-17  
 C40 MM4:D MM1:G 3.68987e-19  
 Cg41 MM4:D 0 2.60379e-16  
 R24 MM7@2:S MM5@2:S 282.409  
 R25 MM7@2:S MM5:S 0.001  
 R26 MM7@2:S MM7:S 303.328  
 R27 MM7@2:S MM4:D 329.549  
 R28 MM7@2:S MM6:D 338.798  
 R29 MM7:S MM5@2:S 310.581  
 R30 MM7:S MM4:D 301.866  
 R31 MM7:S MM6:D 310.337  
 R32 MM5@2:S MM4:D 337.428  
 R33 MM5@2:S MM6:D 346.898  
 R34 MM6:D MM4:D 281.914  
 R35 MM6:D MM6@2:D 0.001  
 R36 MM4:D MM4@2:D 0.001

\*[NET A 0.00123833PF

|I (MM5@2:G MM5@2 G I 2.88e-05 3.64 -1.275)  
 |I (MM5:G MM5 G I 2.88e-05 3.29 -1.275)  
 |I (MM8:G MM8 G I 1.44e-05 5.045 -1.5)  
 |P (A O 0 5.225 -1.83)  
 |I (MM9:G MM9 G I 7.2e-06 5.045 -3.195)  
 |I (MM2@2:G MM2@2 G I 1.44e-05 3.64 -3.24)  
 |I (MM2:G MM2 G I 1.44e-05 3.29 -3.24)  
 C42 MM5@2:G MM5@2:S 3.83235e-17  
 C43 MM5@2:G MM7@2:S 9.67849e-18  
 C44 MM5@2:G MM7:S 8.38947e-19  
 C45 MM5@2:G MM2@2:D 4.24869e-18  
 C46 MM5@2:G MM3@2:S 3.6161e-18  
 Cg47 MM5@2:G 0 6.53448e-17  
 C48 MM5:G MM7@2:S 3.95902e-17  
 C49 MM5:G MM3@2:S 6.52978e-19  
 Cg50 MM5:G 0 9.8771e-17  
 C51 MM8:G MM5@2:S 3.84874e-19  
 Cg52 MM8:G 0 1.58537e-16

C53 A MM5@2:S 4.55015e-19  
C54 A MM7:S 2.38392e-17  
C55 A MM2@2:D 4.77675e-20  
C56 A MM3@2:S 1.86256e-18  
Cg57 A 0 4.54006e-16  
C58 MM9:G MM2@2:D 1.50186e-19  
Cg59 MM9:G 0 3.48358e-17  
C60 MM2@2:G MM2@2:D 1.51869e-17  
C61 MM2@2:G MM3@2:S 7.66141e-18  
Cg62 MM2@2:G 0 4.98499e-17  
C63 MM2:G MM2@2:D 5.5104e-20  
C64 MM2:G MM3@2:S 3.61751e-17  
Cg65 MM2:G 0 5.74345e-17  
R37 MM5@2:G MM5:G 332.064  
R38 MM5@2:G MM2@2:G 1221.11  
R39 MM5@2:G MM2:G 3663.26  
R40 MM5@2:G A 293.83  
R41 MM5:G A 849.689  
R42 MM5:G MM2@2:G 3531.18  
R43 MM5:G MM2:G 10593.3  
R44 MM8:G A 187.7  
R45 MM8:G MM9:G 642.445  
R46 A MM9:G 1471.43  
R47 A MM2@2:G 1636.32  
R48 A MM2:G 4908.86  
R49 MM2@2:G MM2:G 259.247

\*|NET B 0.00139285PF

|I (MM7@2:G MM7@2 G I 2.88e-05 2.94 -1.275)  
|I (MM10:G MM10 G I 1.44e-05 4.355 -1.5)  
|P (B O 0 4.515 -2.125)  
|I (MM3@2:G MM3@2 G I 1.44e-05 2.94 -3.24)  
|I (MM11:G MM11 G I 7.2e-06 4.355 -3.195)  
|I (MM7:G MM7 G I 2.88e-05 2.59 -1.275)  
|I (MM3:G MM3 G I 1.44e-05 2.59 -3.24)  
C66 MM7@2:G MM7@2:S 3.84606e-17  
Cg67 MM7@2:G 0 2.41863e-17  
C68 MM10:G MM7@2:S 9.22266e-19  
C69 MM10:G MM5@2:S 3.50829e-18  
Cg70 MM10:G 0 9.8223e-17  
C71 B MM7:S 6.11851e-18  
C72 B MM3@2:S 3.60084e-18  
C73 B MM3:S 2.20547e-19  
Cg74 B 0 5.78561e-16  
C75 MM3@2:G MM3@2:S 2.25135e-17  
Cg76 MM3@2:G 0 3.04388e-17  
C77 MM11:G MM2@2:D 1.42419e-18  
C78 MM11:G MM3@2:S 5.30392e-19

Cg79 MM11:G 0 4.29798e-17  
 C80 MM7:G MM7@2:S 1.54135e-17  
 C81 MM7:G MM7:S 3.40576e-17  
 C82 MM7:G MM3@2:S 4.37919e-19  
 C83 MM7:G MM3:S 2.41145e-18  
 Cg84 MM7:G 0 4.75206e-17  
 C85 MM3:G MM3@2:S 1.29584e-17  
 C86 MM3:G MM3:S 1.54814e-17  
 Cg87 MM3:G 0 3.92248e-17  
 R50 MM7@2:G B 1441.28  
 R51 MM7@2:G MM3@2:G 13306.7  
 R52 MM7@2:G MM7:G 291.747  
 R53 MM7@2:G MM3:G 4435.65  
 R54 MM10:G B 326.014  
 R55 MM10:G MM11:G 853.232  
 R56 B MM3@2:G 2553.23  
 R57 B MM11:G 686.888  
 R58 B MM7:G 498.406  
 R59 B MM3:G 851.095  
 R60 MM3@2:G MM7:G 4601.56  
 R61 MM3@2:G MM3:G 265.073  
 R62 MM7:G MM3:G 1533.89

\*|NET S 0.00169864PF

|I (MM7@2:D MM7@2 D B 0 2.94 -1.275)  
 |I (MM7:D MM7 D B 0 2.65 -1.275)  
 |I (MM5:D MM5 D B 0 3.35 -1.275)  
 |I (MM5@2:D MM5@2 D B 0 3.64 -1.275)  
 |P (S O 0 2.91 -1.875)  
 |I (MM3:D MM3 D B 0 2.65 -3.24)  
 |I (MM3@2:D MM3@2 D B 0 2.94 -3.24)  
 |I (MM0:D MM0 D B 0 0.835 -3.24)  
 |I (MM0@2:D MM0@2 D B 0 1.125 -3.24)  
 C88 MM7:D MM7@2:G 3.06296e-17  
 C89 MM7:D MM7@2:S 3.50783e-18  
 C90 MM7:D MM7:S 5.95486e-19  
 C91 MM7:D MM7:G 4.64605e-17  
 C92 MM7:D MM3:G 3.09069e-19  
 Cg93 MM7:D 0 9.31994e-18  
 C94 MM5:D MM7@2:S 4.08281e-18  
 C95 MM5:D MM5:G 4.63572e-17  
 C96 MM5:D MM5@2:G 3.06533e-17  
 C97 MM5:D MM5@2:S 5.95486e-19  
 C98 MM5:D MM2:G 3.29478e-19  
 Cg99 MM5:D 0 1.52405e-17  
 C100 S MM5@2:G 1.29338e-17  
 C101 S MM5@2:S 2.61021e-16  
 C102 S MM5:G 2.19068e-17

C103 S MM7@2:G 4.89309e-17  
 C104 S MM7@2:S 1.09167e-16  
 C105 S MM7:S 1.14419e-16  
 C106 S MM7:G 8.59103e-18  
 C107 S MM4@2:G 9.34662e-18  
 C108 S MM4:G 7.2625e-18  
 C109 S MM9:D 4.54598e-17  
 C110 S MM2:G 6.043e-19  
 C111 S MM3@2:G 2.71459e-18  
 C112 S MM3@2:S 1.05024e-16  
 C113 S MM3:S 5.754e-19  
 C114 S MM3:G 2.00031e-17  
 C115 S MM1@2:D 8.46365e-19  
 C116 S MM1:G 2.45876e-18  
 C117 S MM0@2:S 1.1865e-16  
 C118 S MM0:S 2.36813e-19  
 C119 S B 9.84271e-17  
 C120 S A 2.40018e-17  
 Cg121 S 0 8.10811e-17  
 C122 MM3:D MM3@2:G 1.54416e-17  
 C123 MM3:D MM3@2:S 2.01986e-18  
 C124 MM3:D MM1@2:D 7.56102e-22  
 C125 MM3:D MM7:G 6.8319e-17  
 C126 MM3:D MM3:G 3.38323e-17  
 C127 MM3:D MM3:S 2.97743e-19  
 Cg128 MM3:D 0 7.92014e-18  
 C129 MM0:D MM0:S 2.97743e-19  
 C130 MM0:D MM6:D 9.79368e-19  
 C131 MM0:D MM0@2:S 2.05554e-18  
 Cg132 MM0:D 0 2.58059e-17  
 R63 MM7@2:D MM7:D 0.001  
 R64 MM7:D S 61.5548  
 R65 MM5:D MM5@2:D 0.001  
 R66 MM5:D S 62.5616  
 R67 S MM3:D 121.941  
 R68 S MM0:D 125.769  
 R69 MM3:D MM3@2:D 0.001  
 R70 MM0:D MM0@2:D 0.001

\*[NET !B 0.00154869PF

|I (MM6:G MM6 G I 2.88e-05 0.775 -1.275)  
 |I (MM6@2:G MM6@2 G I 2.88e-05 1.125 -1.275)  
 |I (MM10:D MM10 D B 0 4.355 -1.5)  
 |I (MM0@2:G MM0@2 G I 1.44e-05 1.125 -3.24)  
 |I (MM11:D MM11 D B 0 4.355 -3.195)  
 |I (MM0:G MM0 G I 1.44e-05 0.775 -3.24)  
 C133 MM6:G MM7@2:S 2.39362e-17  
 C134 MM6:G S 2.64617e-17



C135 MM6:G MM6:D 3.02166e-17  
 Cg136 MM6:G 0 7.51518e-17  
 C137 MM6@2:G MM7@2:S 8.42956e-18  
 C138 MM6@2:G MM6:D 4.85586e-17  
 C139 MM6@2:G MM4:D 1.10208e-19  
 C140 MM6@2:G MM0:D 6.82843e-17  
 Cg141 MM6@2:G 0 7.23006e-17  
 C142 MM10:D MM5@2:S 8.46445e-18  
 C143 MM10:D MM5:D 7.8418e-22  
 C144 MM10:D MM7@2:S 2.87808e-17  
 C145 MM10:D MM2@2:D 9.98737e-17  
 C146 MM10:D MM1@2:D 5.79523e-17  
 C147 MM10:D S 8.9296e-17  
 Cg148 MM10:D 0 1.16799e-16  
 C149 MM0@2:G S 3.62771e-19  
 C150 MM0@2:G MM0:D 1.53669e-17  
 C151 MM0@2:G MM0@2:S 2.58352e-17  
 Cg152 MM0@2:G 0 7.84739e-17  
 C153 MM11:D MM3@2:S 1.1004e-18  
 C154 MM11:D MM2@2:D 1.00866e-17  
 C155 MM11:D MM5@2:S 1.24476e-18  
 C156 MM11:D MM0:S 6.6748e-19  
 Cg157 MM11:D 0 3.97435e-16  
 C158 MM0:G MM7@2:S 7.42904e-21  
 C159 MM0:G MM6:D 3.09129e-19  
 C160 MM0:G MM0@2:S 1.22959e-17  
 C161 MM0:G MM0:S 2.16591e-17  
 C162 MM0:G MM0:D 3.3803e-17  
 C163 MM0:G S 2.63503e-17  
 Cg164 MM0:G 0 1.69072e-16  
 R71 MM6:G MM6@2:G 268.542  
 R72 MM6:G MM10:D 3506.75  
 R73 MM6:G MM0@2:G 3478.5  
 R74 MM6:G MM11:D 3473.88  
 R75 MM6:G MM0:G 1159.53  
 R76 MM6@2:G MM10:D 10140.7  
 R77 MM6@2:G MM0@2:G 10059  
 R78 MM6@2:G MM11:D 10045.7  
 R79 MM6@2:G MM0:G 3353.08  
 R80 MM10:D MM11:D 314.356  
 R81 MM10:D MM0@2:G 2674.2  
 R82 MM10:D MM0:G 891.419  
 R83 MM0@2:G MM11:D 2649.12  
 R84 MM0@2:G MM0:G 291.383  
 R85 MM11:D MM0:G 883.062  
 XMM0 S !B net13 GND NSVTLP AD=0.0348 AS=0.072 L=0.06 PD=0.29 PS=0.84  
 W=0.24 po2act=0.489231 lpe=3  
 XMM0@2 S !B net13 GND NSVTLP L=0.06 W=0.24 ad=0.0348 as=0.0348 pd=0.29

```

po2act=0.78 ps=0.29 lpe=3
XMM1 net13 !A GND GND NSVTLP L=0.06 W=0.24 ad=0.0348 as=0.0348 pd=0.29
po2act=0.769231 ps=0.29 lpe=3
XMM1@2 net13 !A GND GND NSVTLP AD=0.066 AS=0.0348 L=0.06 PD=0.79 PS=0.29
W=0.24 po2act=0.456923 lpe=3
XMM2 net17 A GND GND NSVTLP L=0.06 W=0.24 ad=0.0348 as=0.0348 pd=0.29
po2act=0.769231 ps=0.29 lpe=3
XMM2@2 net17 A GND GND NSVTLP AD=0.066 AS=0.0348 L=0.06 PD=0.79 PS=0.29
W=0.24 po2act=0.456923 lpe=3
XMM3 S B net17 GND NSVTLP AD=0.0348 AS=0.072 L=0.06 PD=0.29 PS=0.84
W=0.24 po2act=0.489231 lpe=3
XMM3@2 S B net17 GND NSVTLP L=0.06 W=0.24 ad=0.0348 as=0.0348 pd=0.29
po2act=0.78 ps=0.29 lpe=3
XMM4 net37 !A VDD VDD PSVTLP AD=0.0696 AS=0.0696 L=0.06 PD=0.29 PS=0.29
W=0.48 po2act=0.769231 lpe=3
XMM4@2 net37 !A VDD VDD PSVTLP L=0.06 W=0.48 ad=0.0696 as=0.132 pd=0.29
po2act=0.456923 ps=1.03 lpe=3
XMM5 S A net37 VDD PSVTLP AD=0.0696 AS=0.0696 L=0.06 PD=0.29 PS=0.29
W=0.48 po2act=0.769231 lpe=3
XMM5@2 S A net37 VDD PSVTLP L=0.06 W=0.48 ad=0.0696 as=0.132 pd=0.29
po2act=0.456923 ps=1.03 lpe=3
XMM6 net37 !B VDD VDD PSVTLP AD=0.0696 AS=0.144 L=0.06 PD=0.29 PS=1.08
W=0.48 po2act=0.489231 lpe=3
XMM6@2 net37 !B VDD VDD PSVTLP L=0.06 W=0.48 ad=0.0696 as=0.0696 pd=0.29
po2act=0.78 ps=0.29 lpe=3
XMM7 S B net37 VDD PSVTLP AD=0.0696 AS=0.144 L=0.06 PD=0.29 PS=1.08
W=0.48 po2act=0.489231 lpe=3
XMM7@2 S B net37 VDD PSVTLP L=0.06 W=0.48 ad=0.0696 as=0.0696 pd=0.29
po2act=0.78 ps=0.29 lpe=3
XMM8 !A A VDD VDD PSVTLP L=0.06 W=0.24 ad=0.06 as=0.06 pd=0.74 po2act=0.25
ps=0.74 lpe=3
XMM9 !A A GND GND NSVTLP L=0.06 W=0.12 ad=0.0345 as=0.0345 pd=0.68 po2act=0.25
ps=0.68 lpe=3
XMM10 !B B VDD VDD PSVTLP L=0.06 W=0.24 ad=0.06 as=0.06 pd=0.74 po2act=0.25
ps=0.74 lpe=3
XMM11 !B B GND GND NSVTLP L=0.06 W=0.12 ad=0.0345 as=0.0345 pd=0.68
po2act=0.25 ps=0.68 lpe=3
Xld0 GND VDD DNWPS AREA=10.816 PJ=14.56
.ENDS

```