

Sessão 31 Microeletrônica II

272

MÉTODO DE VALIDAÇÃO E TESTE PARA O MICROCONTROLADOR FEMTOJAVA.

Gustavo Spellmeier, Diego M. Da Rosa, Julio C. B. de Mattos, Alessandra A. Vargas, Luigi Carro
(Instituto de Informática, Departamento de Eng. Elétrica, UFRGS)

Devido ao grande avanço tecnológico na integração de circuitos, tornou-se possível sintetizar em um único chip um sistema completo, incluindo microprocessadores, memórias, ASICs, controladores e outros, formando o chamado Systems-On-a-Chip (SOC). Dentro deste contexto, foi desenvolvido um microcontrolador customizável, chamado FemtoJava. Este processador dedicado, cuja descrição VHDL é gerada pela ferramenta de CAD SASHIMI (System As Software and Hardware In Microcontrollers), pode ser facilmente conectado a outros blocos dedicados de um sistema, formando o que poderia ser chamado de SOPC (System-On-a-Programable-Chip). Testar estes sistemas tem se tornado uma tarefa cada vez mais importante, devido a complexidade inerente aos mesmos, a limitada acessibilidade aos blocos do circuito e, mais especificamente no caso do FemtoJava, devido ao fato de que várias versões do microcontrolador diferentes são geradas pela ferramenta SASHIMI. Em vista disso, este trabalho tem como objetivo apresentar uma maneira simples de testar o microcontrolador através de pequenos trechos de código (macros), que testam a correta execução das instruções. O método proposto testa a execução de instruções, o que torna necessário o projeto das macros e sua execução de maneira que a cobertura do teste seja satisfatória, e que isto possa ser identificado o mais precisamente possível dadas as instruções que falharam no teste. O trabalho envolve o desenvolvimento destas macros, cujos resultados são mapeados para uma interface serial, conectada a um PC. Neste, um programa é responsável por analisar os resultados obtidos pelas macros e identificar instruções falhas através da comparação com resultados esperados. A validação do sistema pode ser feita através da inserção de falhas no código VHDL do processador, permitindo uma avaliação satisfatória do método (PIBIC-CNPq/UFRGS).