

# PROTOTIPAÇÃO E VALIDAÇÃO DE UMA TAG RFID EM FPGA

LAURO SCHEFFER PURICELLI <sup>1</sup>,

TATIANA GADELHA SERRA DOS SANTOS <sup>2</sup>

<sup>1</sup> Lauro Scheffer Puricelli, Eng. Da Computação, UFRGS

<sup>2</sup> Dr. Tatiana Gadelha Serra dos Santos, CEITEC-SA



ENG - Engenharias



Ministério da  
Ciência, Tecnologia  
e Inovação



## Introdução:

Sistemas RFID são compostos tipicamente de um leitor e uma tag (chip + antena). São largamente usados na indústria, com propósitos de controle de acesso (pessoas e carros), cargas, monitoramento animal, logística, controle de estoque, entre outros.

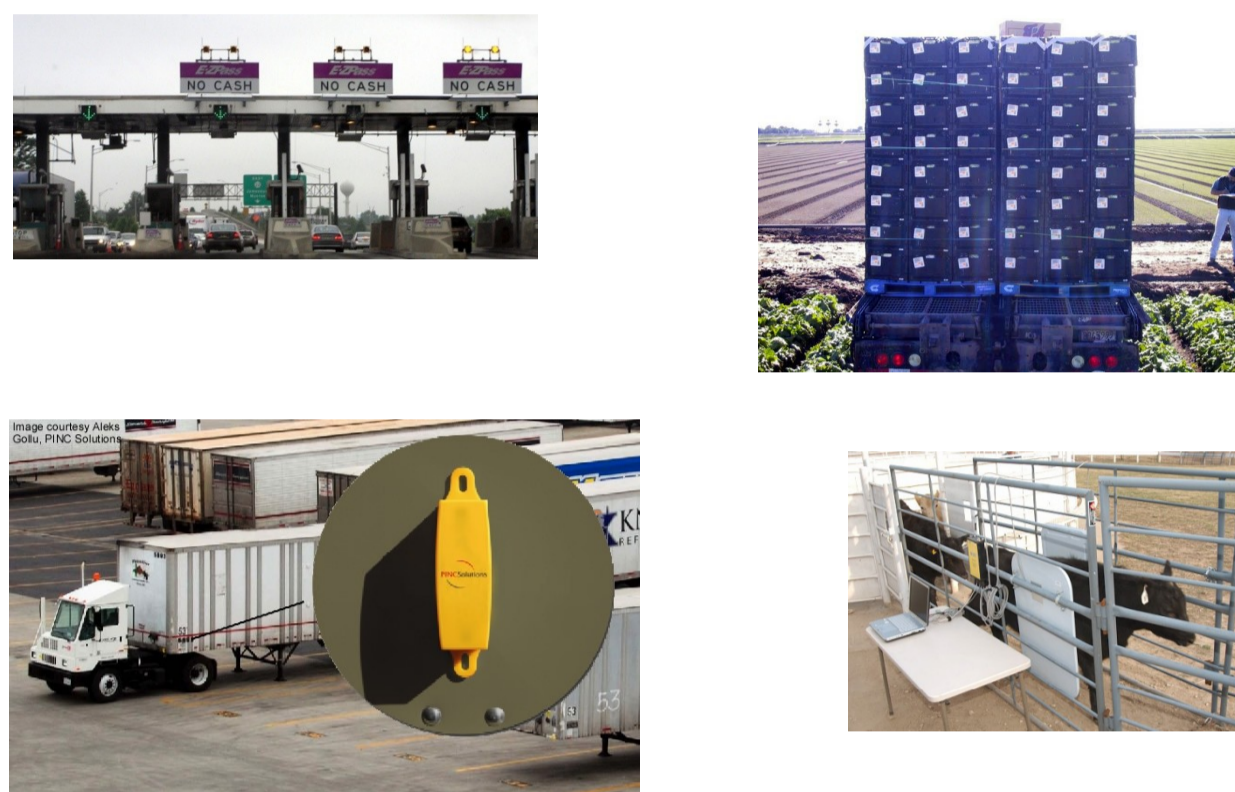


Figure 2: Aplicações RFID

## Trabalho desenvolvido:

- 1) Prototipação da tag em uma placa composta pela parte digital, que foi sintetizada em um FPGA Xilinx Spartan-3 e um front-end analógico.
- 2) Geração e validação dos testes com leitor compatível.
- 3) Validação do fluxo de bring-up do chip.

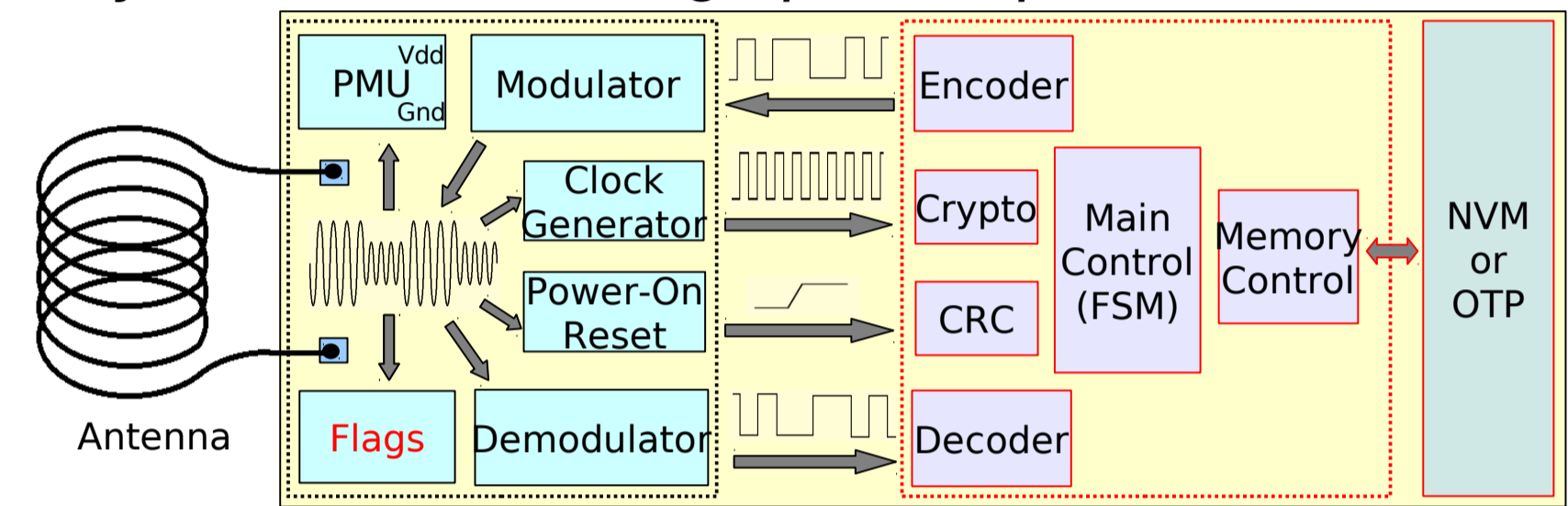


Figure 4: Esquemático da placa de prototipação.

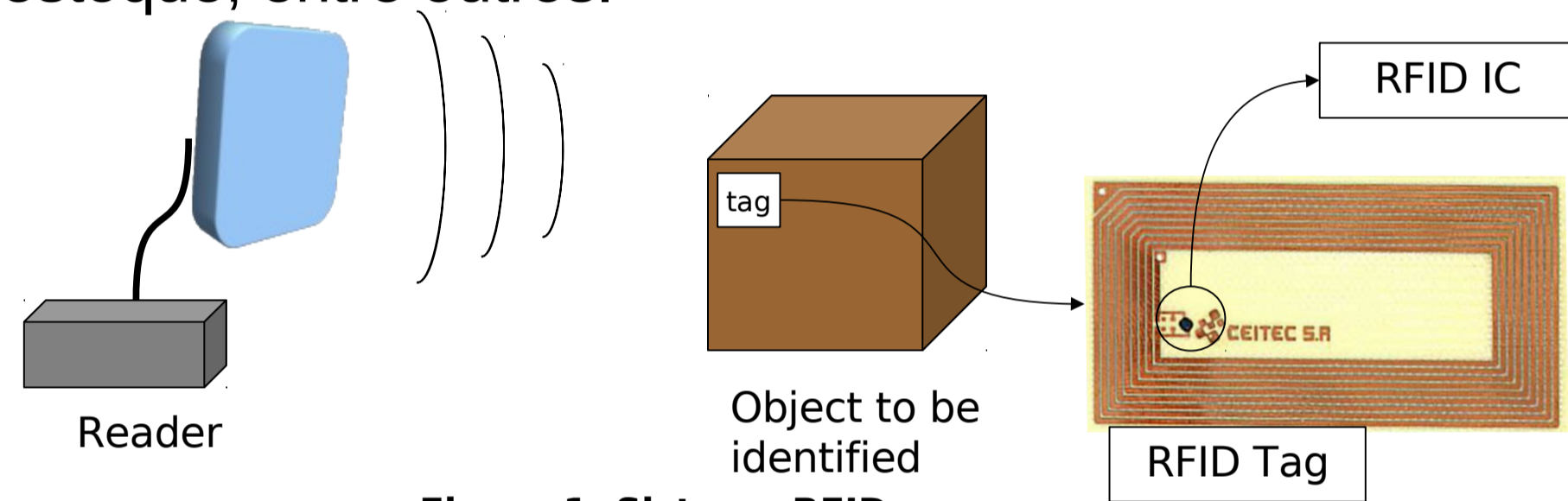


Figure 1: Sistema RFID

## Objetivos:

- 1) Validar a implementação em hardware da parte digital de um Electronic Product Code Class 1 Generation 2 (EPC Gen 2) RFID IC (ASIC) utilizando uma placa de prototipação em FPGA antes da fase de tape-out do chip.
- 2) Testar as funcionalidades da tag contra um leitor comercial compatível com o protocolo desenvolvido.
- 3) Evitar retrabalho (modificação para correção de erros) após fabricação do chip, economizando tempo e dinheiro.

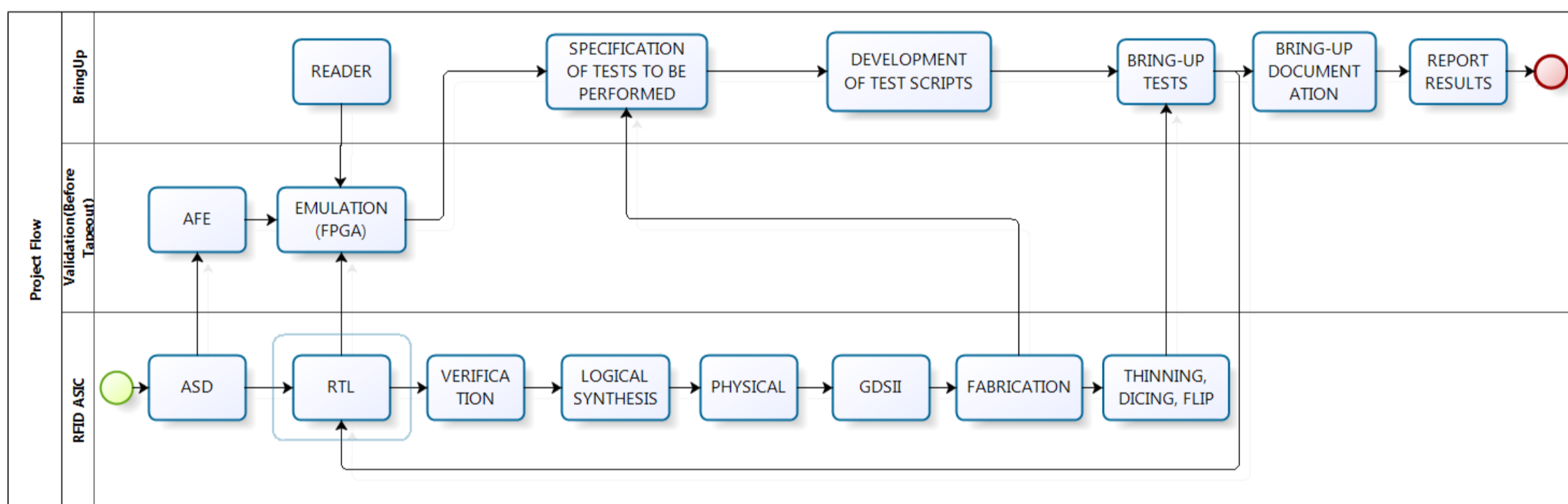


Figure 5: Diferenças do fluxo ASIC e FPGA.

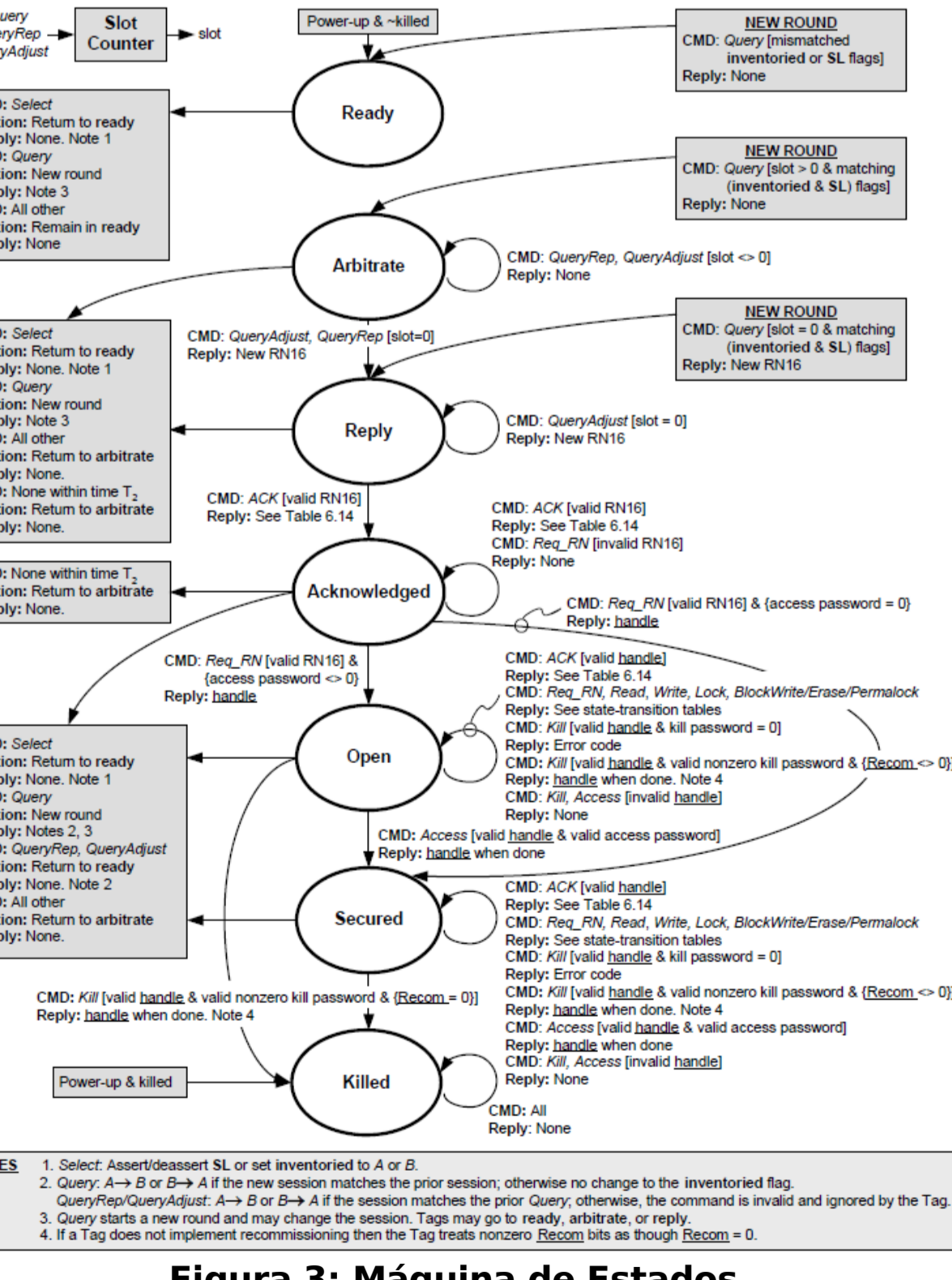


Figure 3: Máquina de Estados referente a uma tag EPC Gen 2

- 4) Validar o fluxo de bring-up antes da chegada do chip.

Grande parte da lógica digital de uma tag EPC Gen 2 pode ser resumida a uma máquina de estados, como mostrado na Figura 3.

A Tabela 1 mostra os resultados de síntese referentes a parte digital no FPGA.

Tabela 1: Resultados de Síntese do FPGA Xilinx Spartan-3

Logic Utilization	Used	Available	Utilization
Total number Slice Registers	1686	15360	10%
Number used as Flip-Flop	1683		
Number used as Latches	3		
Number of 4 input LUTs	4965	15360	32%
Number of occupied Slices	3074	7680	40%
Number of Slices containing only related logic	3074	3074	100%
Number of Slices containing only unrelated logic	0	3074	0%
Total Number of 4 input LUTs	5278	15360	34%
Number used as logic	4965		
Number used as a route-thru	313		
Number of Bonded IOBs	13	173	7%
Number of RAMB16s	3	24	12%
Number of BUFMUXs	3	8	37%
Average Fanout of Non-Clock Nets	4.16		

## Conclusões:

Uma tag RFID foi prototipada e funcionalmente testada contra um leitor comercial compatível com o protocolo EPC Gen 2 com um extensivo número de testes que garantiram a funcionalidade de praticamente todas as funcionalidades do chip. A abordagem descrita provou ser muito útil para trabalhos que requerem técnicas de rápida prototipação e simulação comportamental do chip. Os resultados dos testes realizados foram muito importante para o projeto, pois provaram para a equipe a correteza do trabalho que estava sendo desenvolvido.



MODALIDADE DE BOLSA

PROBIC CEITEC-SA