



Evento	Salão UFRGS 2013: SIC - XXV SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2013
Local	Porto Alegre - RS
Título	Prototipação e Validação de uma Tag RFID com protocolo EPC Gen 2
Autor	LAURO SCHEFFER PURICELLI
Orientador	TATIANA SANTOS
Instituição	Centro Nacional de Tecnologia Eletrônica Avançada S.A.

A tecnologia RFID (Identificação por rádio frequência) tem sido adotada em muitas aplicações como identificação animal, controle de estoque, e segurança. Um sistema RFID é composto basicamente de um Circuito Integrado (CI) acoplado a uma antena (tag), que se comunica com um leitor por ondas de rádio frequência, sem nenhum contato físico. Há três principais frequências de operação dos sistemas RFID: Baixa Frequência (125/134.2Khz), Alta Frequência (13.56MHz) e Ultra Alta Frequência (865 ~ 915MHz).

Sistemas RFID tem uma alta complexidade, pois são CIs 'mixed-signal' que comportam sinais analógicos, digitais e de radio frequência (RF) para a modulação e demodulação de ondas eletromagnéticas em sinais digitais e seu processamento de acordo com o protocolo desenvolvido.

Tipicamente, um ambiente de verificação utiliza modelos para emular a aplicação e, desse modo, alguns aspectos inesperados podem ser negligenciados durante o desenvolvimento. Consequentemente, é possível que erros sejam encontrados após a fabricação do chip. Sendo assim, o trabalho desenvolvido apresenta um método para validar a parte digital do Hardware de uma tag RFID com o protocolo Eletronic Product Code Class 1 Generation 2 (EPC Gen 2), desenvolvido para frequências ultra altas, usando uma placa de prototipação em FPGA.

A principal motivação para a realização deste trabalho é a validação do bloco digital do chip antes de mandá-lo ser fabricado. Esta estratégia é largamente utilizada pela indústria, pois possibilita ao engenheiro encontrar e corrigir erros, que não puderam ser descobertos pela equipe de verificação , antes da fase de tape-out do chip, economizando recursos humanos e financeiros e evitando retrabalho .

Além disso, foi validada toda a automatização dos testes digitais de *bring-up*, etapa entre a finalização do design do chip e de sua produção em escala comercial, em que o chip é validado conforme suas especificações, o que tornará esta etapa mais rápida.

Para acelerar a validação do hardware digital e aumentar a garantia da funcionalidade, foi utilizado um FPGA Xilinx Spartan-3 com front-end analógico. Para utilizar no FPGA o mesmo código RTL (Register Transfer Level) utilizado no desenvolvimento do CI algumas modificações foram necessárias. Primeiro, foi criado um bloco digital para substituir o circuito analógico utilizado no chip que não havia no front-end analógico utilizado. Esta etapa foi necessária porque o front-end utilizado não era completamente compatível com a especificação do chip desenvolvido. Adicionalmente, foi criado um wrapper para interconectar a parte digital do CI com os pinos de I/O e leds do FPGA, utilizados para enviar e receber estímulos e mostrar o estado de registradores importantes (sinal de erro, modos de operação, etc.). Outra mudança necessária foi substituir o IP de memória utilizado no CI pelo IP disponível no FPGA.

Para debug do chip, foram utilizadas ferramentas como o Chipscope, da própria fabricante do FPGA, utilizado para verificar registradores em tempo real, e testes com leitores compatíveis com o protocolo EPC Gen 2. Para a realização dos testes com o leitor, foram desenvolvidos scripts em linguagem python que abarcaram grande parte das funcionalidades do chip.

Em conclusão, a parte digital de uma tag RFID foi prototipada utilizando uma placa FPGA com front-end analógico, e funcionalmente testada contra um leitor compatível com o protocolo utilizado, sendo realizados um extenso número de testes que englobaram as mais diferentes funcionalidades do chip e que testavam todos os blocos do RTL. Esta abordagem se provou muito útil pois garantiu a corretude do trabalho desenvolvido pelos engenheiros na concepção do chip e acelerou a fase de bring-up do chip.