



Evento	Salão UFRGS 2013: SIC - XXV SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2013
Local	Porto Alegre - RS
Título	Desenvolvimento do TA para a televisão digital: testes e validação
Autor	ANDRÉ LUÍS BACARIN GOBO
Orientador	ALTAMIRO AMADEU SUSIN

O surgimento do Sistema Brasileiro de Televisão Digital (SBTVD) incentivou a criação, com tecnologia nacional, de um terminal de acesso (TA, também denominado *Set-Top Box* em inglês) para recepção de Televisão Digital e comunicação com o usuário. Para a implementação o TA foi dividido em módulos principais e depois integrá-lo em uma única pastilha de silício, pois fazendo isso o desempenho do processo de decodificação tende a aumentar e o custo de produção e as dimensões do produto tendem a diminuir. Vários destes módulos, sendo um deles o decodificador de vídeo, são desenvolvidos no Laboratório de Processamento de Sinais e Imagens (LaPSI), integrante do Departamento de Engenharia Elétrica da UFRGS.

O desenvolvimento de um circuito integrado complexo inicia com a validação de um protótipo em FPGA com toda a lógica que o chip deve implementar. O FPGA é programável, permitindo várias tentativas para chegar ao sistema digital funcional, pois o tempo e o custo de fabricação de um circuito integrado não permitem o projeto por tentativa.

A validação do protótipo do decodificador de vídeo é uma etapa importante do processo de desenvolvimento. O sistema tão complexo como o decodificador de vídeo exige um projeto por etapas. Cada parte é projetada e depurada individualmente com o suporte de um ambiente multi-nível. Foi implementado, pelo LaPSI, um software de referência chamado PRH.264 que lê o bitstream de vídeo (sinal que contém as informações de vídeo codificadas), mostra o vídeo da forma que ele deve ser exibido no televisor e exibe as configurações e os parâmetros do vídeo exibido.

Para a verificação do decodificador, devem ser gerados bitstreams de vídeo codificado a partir de dados brutos de luminância e crominância (gerados pela câmera de filmagem). Para codificação foi utilizado o programa JM[1] (H.264/14496-10 AVC REFERENCE SOFTWARE), desenvolvido pela Joint Video Team.

Os outros testes foram feitos a partir de bitstreams transmitidos por emissoras de televisão. Foi desenvolvido no LaPSI o programa ControleTuner, o qual captura esses bitstreams através de um demodulador USB que capta o sinal da televisão digital.

Os bitstreams gerados ou capturados devem ser enviados ao protótipo na placa com FPGA para testes. Neste trabalho foi melhorada a interconexão entre o ControleTuner e o software PRH.264, bem como a interconexão entre o ControleTuner e a placa com FPGA. O ControleTuner, em sua versão final, é capaz de efetuar a sequência de passos para concluir cada teste de forma bastante autônoma, e com indicações para o usuário, reduzindo os erros de operação.

[1] Coordination, H. S. *JM Software*. Maio 2010. <http://iphome.hhi.de/suehring/tml/>.