

Implementação de um tradutor

binário ARM-MIPS

Marcelo Brandalero

Universidade Federal do Rio Grande do Sul

Instituto de Informática

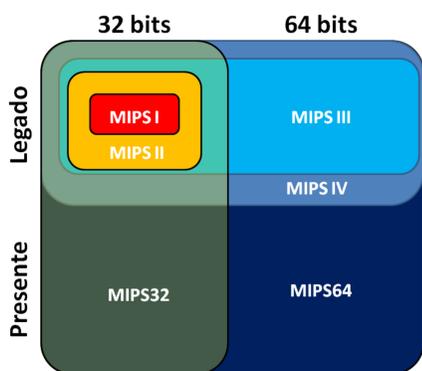
Orientado por Prof. Dr. Antonio Carlos S. Beck Filho



MOTIVAÇÃO

- A rápida evolução da capacidade de integração em chips inspira **ciclos de vida curtos** aos produtos de tecnologia lançados no mercado.
- **Reutilização de binários pré-compilados** é a principal forma de agilizar o desenvolvimento de novos sistemas computacionais.

Novos desafios ao projeto de hardware: novas gerações de microprocessadores devem estender a geração atual para continuar executando as mesmas aplicações já desenvolvidas. **A arquitetura dos novos processadores deve ser mantida compatível com a atual**, impondo uma restrição aos projetistas de hardware.



Exemplo: evolução da arquitetura MIPS a partir de extensões da MIPS I.

Solução: uso de tradução binária como mecanismo de restaurar a liberdade do projetista de hardware e tornar transparentes aos programadores quaisquer modificações arquiteturais.

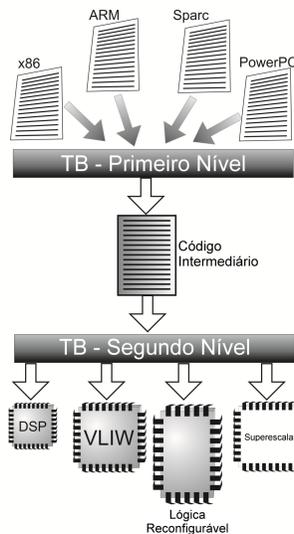
DESAFIOS

A realização da tradução binária em tempo de execução introduz um custo computacional adicional na execução das aplicações. O quão grande é este custo depende das diferenças arquiteturais entre a *arquitetura origem* (da qual estamos traduzindo) e a *arquitetura alvo* (para a qual estamos traduzindo).

SOLUÇÃO PROPOSTA

Propõe-se um sistema de **tradução binária dinâmica de dois níveis**, executado em hardware.

- **Primeiro nível:** tradução binária para código de máquina intermediário. **Restaura a flexibilidade ao projetista de hardware.** Modificações na arquitetura ficam transparentes ao programador.
- **Segundo nível:** otimização do código intermediário para execução na arquitetura alvo. **Reduz o overhead computacional introduzido pelo primeiro nível de tradução dinâmica.**
- **Foco deste trabalho:** implementação de um dos módulos do primeiro nível, utilizando ARM como a arquitetura origem e MIPS como a arquitetura para geração de código intermediário.



Visão de alto nível da arquitetura proposta.

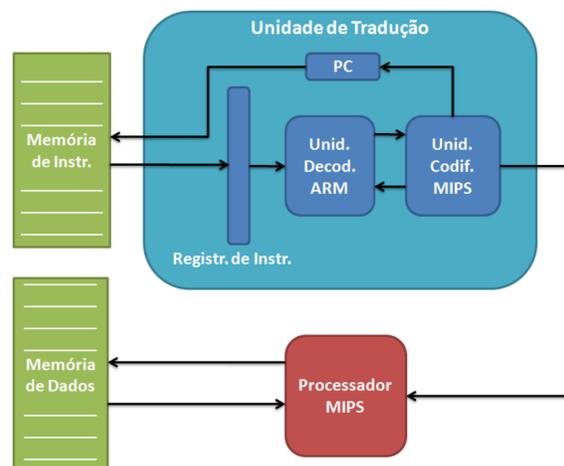
No sistema proposto, **a tradução é efetuada instrução por instrução**. Assim, uma instrução ARM gera *sempre* uma ou mais instruções MIPS. Devido a fortes diferenças arquiteturais, **o processador MIPS foi levemente modificado**, de forma a reduzir o overhead da tradução.

Características	Arquiteturas	
	ARM	MIPS
Paradigma	RISC*	RISC
Tamanho da instrução	Fixo (4B)	Fixo (4B)
Formatos de instr. distintos	20+	3
Qtd. de registradores	16	32
Registrador de estado	Sim	Não
Execução condicional	Sim	Não
Modos de endereçamento	Sim	Não

Comparativo entre as arquiteturas ARM e MIPS.

O tradutor é um **componente inserido entre a memória de instruções e o processador MIPS** e que executa de forma transparente. **Uma implementação em hardware reduz o custo computacional da tradução**. É composto de duas unidades.

- **Unidade de decodificação:** realiza a análise de **tipo, operação e operandos**, extraídos da instrução, e repassa essas informações à unidade seguinte.
- **Unidade de codificação:** utiliza as informações recebidas da unidade de decodificação para **codificar instruções MIPS**, repassando-as ordenadamente ao processador.



Arquitetura do primeiro nível do sistema de tradução.

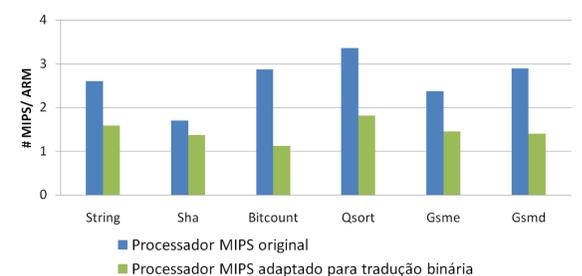
RESULTADOS

Duas implementações do sistema foram desenvolvidas.

- **Simulador em Software.** Para especificação comportamental do tradutor e obtenção de dados de desempenho, utilizando diferentes *benchmarks*.

- **FPGA.** Para obtenção de dados de área.

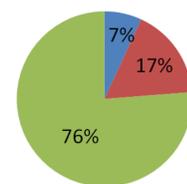
Desempenho



Quantidade média de instruções MIPS geradas por instrução ARM, por benchmark.

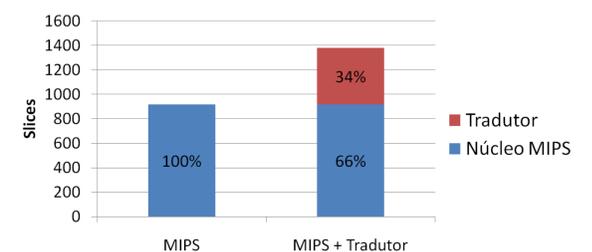
Pequenas modificações no processador MIPS reduziram a **menos da metade** o overhead introduzido pelo primeiro nível de tradução na maior parte dos benchmarks.

Área



Distribuição de área entre os módulos internos ao tradutor.

Distribuição de área entre os módulos internos ao tradutor.



Comparativo entre a área do MIPS processador e do sistema com o tradutor.

Os resultados mostram que **um aumento de área de apenas 34%** é o suficiente para incluir suporte à arquitetura ARM no processador MIPS, utilizando a arquitetura proposta.

SOBRE O TRABALHO

- O sistema desenvolvido **soluciona o problema da compatibilidade arquitetural**, com um custo adicional de *tempo de processamento* e de *área*.
- **Trabalhos futuros:**
 - Adição de novas arquiteturas ao sistema.
 - Análise de consumo de potência pelo sistema de tradução.