

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

CATALINA AGUIRRE GRISALES

**ANÁLISES DOS TRANSISTORES DE PORTA FLUTUTANTE:
MODELAMENTO E IMPACTO DO EFEITO DE DOSES TOTAL
IONIZANTE**

Porto Alegre

2013

CATALINA AGUIRRE GRISALES

**ANÁLISES DOS TRANSISTORES DE PORTA FLUTUTANTE:
MODELAMENTO E IMPACTO DO EFEITO DE DOSE TOTAL
IONIZANTE**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Engenharia de Computação

ORIENTADOR: Prof. Dr. Gilson Inácio Wirth

Porto Alegre

2013

CATALINA AGUIRRE GRISALES
ANÁLISES DOS TRANSISTORES DE PORTA FLUTUTANTE:
MODELAMENTO E IMPATO DO EFEITO DE DOSE TOTAL
IONIZANTE

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador:

Prof. Dr. Gilson Inácio Wirth, UFRGS
Doutor pela Universitaet Dortmund,
Unido, ALEMANHA.

Aprovado em ____ de _____ de _____.

Banca Examinadora:

Prof. Dr. Fernanda Gusmão de Lima Kastensmidt, - PPGC-UFRGS
Doutor pela Universidade Federal do Rio Grande do Sul

Prof. Dr. Altamiro Amadeu Susin - PPGEE-UFRGS
Pós-Doutor pela Mcgill University, MCGILL, Canadá.

Prof. Dr. Marcelo Johann - PPGC-UFRGS
Doutor pela Universidade Federal do Rio Grande do Sul

Coordenador do PPGEE: _____

Prof. Dr. João Manoel Gomes da Silva Júnior

Dedico este trabalho aos meus pais Fabiola e Jose Heberth, aos meus irmãos Diana Carolina e James e a meu namorado Edgar Ezequiel, pelo apoio e incentivo que recebi durante todo o tempo que destinei no período do mestrado.

AGRADECIMENTOS

Eu agradeço, primeiramente, a minha família por todo o apoio emocional e pelo interminável incentivo que recebi deles para continuar com minha formação profissional.

Ao meu namorado Ezequiel por toda a paciência que teve enquanto eu estava longe continuando com meus estudos.

A meu orientador, o Professor Doutor Gilson Inácio Wirth, por ter me recebido como orientanda conhecendo minhas limitações, pela paciência que teve comigo, e por ter me dado todo o seu apoio e conhecimento durante o período do mestrado.

A minha amiga Gabriela Arbolie pela constante companhia e apoio emocional que me deu durante todo este tempo em Porto Alegre.

A meus Colegas do LAPROT pela companhia, apoio e paciência que tiveram comigo durante todo este período.

A todos os funcionários da secretaria do programa de pós-graduação pela ajuda e colaboração que eles me deram no período do mestrado.

RESUMO

Nesta dissertação é apresentado o estudo dos transistores de porta flutuante (*Floating Gate Transistor - FG Transistor*), sua modelagem, e a análise do efeito da dose de ionização total (*Total Ionizing Dose- TID*) sobre os transistores FG. Para isto foi procurado e implementado um modelo de simulação elétrica do transistor FG em condições de leitura (análise DC), baseado no cálculo quantitativo da tensão na porta flutuante em função das tensões nos terminais do transistor, no valor de carga armazenado na porta flutuante e nos coeficientes de acoplamento capacitivo que apresentam este tipo de dispositivos. Para a análise do efeito TID, a tensão limiar do transistor MOS foi variada usando o método de simulação Monte Carlo, tendo em conta as variações da tensão limiar que apresentam os transistores FG submetidos na radiação ionizante. O estudo obteve como resultado a confirmação da perda de carga do FG à medida que é incrementada a dose de radiação, o que implica uma alteração na característica de retenção de carga que caracteriza as células de memórias não voláteis (*Non Volatile Memory - NVM*).

Palavras-chave: Transistor de Porta Flutuante; Transistor MOS; Doses de Ionização Total; Tensão Limiar; Retenção de Carga; Coeficiente de Acoplamento Capacitivo.

ABSTRACT

In this dissertation work, a study of the the floating gate Transistor (FG transistor) performed. The focus in the electrical modeling, and the analysis of the impact of the Total Ionizing Dose (TID) on the electrical performance of the device. Aiming electrical level simulation, different electric simulation models for the FG transistor in read conditions (DC analysis) were evaluated and the model best suited for implementation into the simulation tool was selected. The selected model is based on Floating Gate voltage calculation as a function of polarization voltage of the FG transistor terminals, the stored charge value in the Floating Gate and the capacitive coupling coefficient presented by this device. For the TID analysis the threshold voltage of the MOS transistor was shifted by means of a Monte Carlo simulation method, considering the threshold voltage variations when the FG transistor is subjected to the ionizing radiation. The analysis lead to the confirmation that the loss charge stored in the FG increases with the radiation dose, affecting the retention characteristics of the memory cells.

Keywords: Floating Gate Transistor; MOS Transistor; Total Ionizing Dose; Threshold Voltage; Charge Retention; Capacitive coupling coefficient.

LISTA DE ILUSTRAÇÕES

| | |
|---|----|
| Figura 1 – Esquemático da seção cruzada do transistor de porta flutuante..... | 16 |
| Figura 2 – Esquemático do Diagrama das bandas de energia (Parte inferior) da estrutura do transistor FG (Parte superior). O lado esquerdo representa o estado neutral da célula (o estado de apagado), enquanto o lado direito representa a célula carregada negativamente (estado de programação)..... | 17 |
| Figura 3 – Curvas I – V de um dispositivo de porta flutuante no estado apagado (A) e programado (B)..... | 18 |
| Figura 4 – Representação da banda de energia de um transistor MOS canal N, onde é apresentado o mecanismo de injeção CHE..... | 19 |
| Figura 5 – Representação do tunelamento Fowler – Nordheim através de uma estrutura MOS. Os elétrons na banda de condução do silício atravessam a banda de energia..... | 20 |
| Figura 6 – Corrente de tunelamento FN em função do campo elétrico..... | 22 |
| Figura 7. Esquemático do modelo de acople do transistor FG (MONDRAGÓN, et al 2002). Em este modelo, a convergência no análises DC é realizada usando resistores de alto valor em paralelo com cada capacitor conetado ao nó da porta flutuante..... | 23 |
| Figura 8. Corrente ID em função da tensão Vcg do modelo de acople modificado do transistor de porta flutuante..... | 24 |
| Figura 9. Modelo sináptico para la simulação de um transistor FG. M_{tun} modela a capacitância MOS túnel-junção; G_{tun} modela a corrente de tunelamento, G_{inj} e G_{well} modelam o impacto da injeção de elétrons na porta flutuante. R_1 e $V_{floating_gate}$ fornece uma convergência numérica no análises DC..... | 25 |
| Figura 10 – Esquema da seção transversal do transistor FG, onde CCG , CS , CD , CB , são as capacitâncias entre a porta flutuante, e a porta de controle, fonte, dreno e o substrato do transistor..... | 27 |
| Figura 11 – Esquemático do modelo de transistor de porta flutuante, o qual é composto por um capacitor entre a porta de controle e a porta flutuante (CG-FG), um transistor MOS e uma fonte de tensão controlada pela tensão conectada entre a porta flutuante e a terra, esta fonte é a encarregada de simular as variações na tensão da porta flutuante ao variar a carga armazenada..... | 29 |

| | |
|--|----|
| Figura 12 – Representação da atividade Solar..... | 31 |
| Figura 13 – Cinturões de Radiação Van Allen..... | 32 |
| Figura 14 – Raios Cósmicos Galácticos..... | 33 |
| Figura 15 – Degradação da mobilidade de portadoras na camada de inversão em função da dose de radiação em transistores MOS..... | 36 |
| Figura 16 – Esquema das Principais contribuições da radiação ionizante na degradação da tensão limiar dos transistores FG..... | 37 |
| Figura 17 – Mudanças da tensão limiar dum transistor FG como consequência do efeito da radiação ionizante..... | 37 |
| Figura 18 – Mudança da tensão limiar do transistor FG em função da doses de radiação ionizante..... | 38 |
| Figura 19. Junção P-N atingida por um íon: a) transferência de energia e formação do rastro de ionização, b) coleta de cargas por deriva com a camada de depleção deformada em formato de funil e c) coleta de cargas por difusão..... | 39 |
| Figura 20 – Pulso de corrente gerado por um SEE em função do tempo..... | 40 |
| Figura 21 – Procedimento usado para a simulação do modelo do transistor FG..... | 42 |
| Figura 22 – Esquemático do modelo escolhido para a simulação do transistor FG..... | 43 |
| Figura 23 – Corrente I_{DS} (acima) e Tensão FG (abaixo) do modelo do transistor FG simulando os dois estados de programação. Aqui, a tensão na porta de controle deixou-se em um valor fixo de $V_{CG} = 2\text{ V}$ | 50 |
| Figura 24 – Curvas de corrente I_{DS} - V_D para tensões na porta de controle numa faixa de 0.5V até 2V. a) estado de apagado. b) estado de programação..... | 51 |
| Figura 25 – Correntes I_{DS} do transistor FG no estado de apagado (estado “1”, $Q=0\text{C}$) em função da dose de radiação, com valores de tensão na porta de controle em uma faixa de 0.5 V até 2 V..... | 53 |
| Figura 26 – Correntes I_{DS} do transistor FG no estado de programação (estado “0”, $Q=6\text{fC}$) em função da doses de radiação, com valores na porta de controle em uma faixa de 0.5V até 2V..... | 55 |

Figura 27 – Curvas IDS do transistor FG nos dois estados de programação em função da doses de radiação. a) $V_{cG}=0.5V$, b) $V_{cG}=1V$, c) $V_{cG}=1.5V$ e d) $V_{cG}=2V$56

LISTA DE TABELAS

| | |
|--|----|
| Tabela 1 – Parâmetros de manufatura para memórias não voláteis arquitetura NOR..... | 44 |
| Tabela 2 – Parâmetros de manufatura para memórias não voláteis arquitetura NAND.... | 45 |
| Tabela 3 – Parâmetros usados para a simulação do transistor FG..... | 47 |
| Tabela 4 – Características das memórias de porta flutuante submetidas à radiação ionizante..... | 48 |
| Tabela 5 – Parâmetros elétricos usados para a simulação do efeito TID no transistor FG..... | 48 |
| Tabela 6 – Dados obtidos da simulação do efeito TID do transistor FG no estado de apagado (estado “1”, $Q=0C$), variado a tenção na porta de controle em uma faixa de 0,5V até 2V..... | 52 |
| Tabela 7 – Dados obtidos da simulação do efeito TID do transistor FG no estado de programação (estado “0”, $Q=6fC$), variado a tenção na porta de controle em uma faixa de 0,5V até 2V..... | 54 |

LISTA DE ABREVIATURAS

| | |
|-------|--|
| CHEI | Channel Hot Electron Injection |
| CG | Control Gate – Porta de Controle |
| CI | Circuito Integrado |
| CMOS | Complementary Metal Oxide Semiconductor |
| FG | Floating Gate – Porta Flutuante |
| FN | Fowler – Nordheim Tunneling |
| NVMs | Non Volatile Memories - Memórias Não Voláteis |
| MOS | Metal Oxide Semiconductor |
| PPGEE | Programa de Pós-Graduação em Engenharia Elétrica |
| SEE | Single Event Effect - Efeitos Singulares |
| SEU | Single Event Upset |
| SET | Single Event Transient |
| TID | Total Ionizing Dose |

SUMÁRIO

| | |
|--|-----------|
| INTRODUÇÃO..... | 14 |
| 1. CÉLULAS DE MEMÓRIA DE PORTA FLUTUANTE..... | 16 |
| 1.1. TRANSISTORES DE PORTA FLUTUANTE..... | 16 |
| 1.2. OPERAÇÃO DO TRANSISTOR DE PORTA FLUTUANTE..... | 18 |
| 1.2.1. Injeção de Elétrons..... | 18 |
| 1.2.2. Tunelamento Fowler – Nordehim..... | 20 |
| 1.3. MODELOS DO TRANSISTOR DE PORTA FLUTUANTE..... | 22 |
| 1.3.1. Modelo de Acople..... | 22 |
| 1.3.2. Modelo sináptico..... | 24 |
| 1.3.3. Modelo do transistor FG baseado no calculo da tensão FG..... | 26 |
| 2. RADIAÇÃO IONIZANTE EM DISPOSITIVOS DE PORTA FLUTUTANTE..... | 30 |
| 2.1. AMBIENTES DE RADIAÇÃO..... | 30 |
| 2.1.1. Ambientes de Radiação Espacial..... | 30 |
| 2.2. RADIAÇÃO IONIZANTE EM DISPOSITIVOS MOS..... | 33 |
| 2.2.1. Efeito de Dose Total..... | 33 |
| 2.2.2. Efeitos Singulares..... | 38 |
| 3. METODOLOGIA DE SIMULAÇÃO..... | 42 |
| 3.1. ESCOLHA DO MODELO DE SIMULAÇÃO DO TRANSISTOR FG..... | 42 |
| 3.2. EXTRAÇÃO DOS PARÂMETROS PARA A SIMULAÇÃO DO TRANSISTOR FG.... | 43 |
| 3.3. SIMULAÇÃO DO TRANSISTOR FG..... | 47 |
| 3.4. ESTIMAÇÃO DOS PARÂMETROS DE SIMULAÇÃO DO EFEITO TID NO TRANSISTOR FG BAIXO DIFERENTES DOSES DE RADIAÇÃO IONIZANTE..... | 47 |
| 3.5. SIMULAÇÃO DO EFEITO TID DOS TRANSISTORES FG..... | 48 |
| 3.6. EXPORTAÇÃO DOS DADOS..... | 49 |
| 4. RESULTADOS..... | 50 |
| CONCLUSÕES..... | 58 |
| REFERÊNCIAS..... | 60 |

INTRODUÇÃO

O mercado das memórias não voláteis (Non Volatile Memories - NVMs) tem crescido constantemente nos últimos anos, e as memórias flash tornaram-se as memórias não voláteis mais usadas, graças a sua velocidade, densidade, escalabilidade, entre outros (BEZ, CAMERLEGUI, *et al.*, 2003). As NVMs caracterizam-se por manter a informação armazenada quando a fonte de alimentação é desligada (BEZ, CAMERLEGUI, *et al.*, 2003) (PAVAN, BEZ, *et al.*, 1997) (GERALDI e PACCAGNELLA, 2010). Atualmente as memórias flash são fabricadas usando transistores de porta flutuante, os quais foram introduzidos por Kahng e Sze no ano de 1967 (KANG e SZE, 1967). O transistor de porta flutuante é similar ao típico transistor MOS, com exceção do eletrodo adicional conhecido como porta flutuante (Floating Gate - FG) e de uma camada de dielétrico entre a porta de controle (Control Gate - CG) e o FG. O FG é um nó de armazenamento de carga que é isolado eletricamente e acoplado capacitivamente com todos os terminais do transistor (Fonte, Dreno, Corpo e Porta de Controle). A carga armazenada no FG é medida mediante as mudanças da tensão limiar do transistor, em que as operações de programação e apagado são feitas através de dois mecanismos de condução: a injeção de elétrons (Channel Hot Electrons Injection - CHEI) e o tunelamento Fowler – Nordheim (Fowler - Nordheim Tunneling - FN), (BEZ, CAMERLEGUI, *et al.*, 2003), (RAGHUNATHAN, 2010).

O transistor FG é o bloco de construção de um conjunto completo de células de memória não voláteis e chips. Apesar de as NVMs baseadas em transistores FG terem ganhado uma ampla difusão, até agora não existe um modelo definido para realizar as simulações elétricas deste dispositivo, sendo tipicamente usado o modelo do transistor MOS para realizar a simulação do transistor FG, alterando a tensão limiar do transistor MOS com o alvo de reproduzir o processo de programação e apagado do transistor FG (PAVAN, LARCHER e MARMIROLI, 2004).

À medida que vai crescendo a integração das NVMs nas tecnologias atuais, vai sendo incrementada a necessidade de se ter um modelo do transistor FG que forneça uma simulação do comportamento do dispositivo, mediante o uso de cálculos qualitativos, realçando as propriedades básicas do transistor FG, com um custo computacional mínimo (PAVAN, LARCHER e MARMIROLI, 2004).

Por suas propriedades, as NVMs são cada vez mais atrativas nas aplicações espaciais, nucleares, médicas, entre outras (BAGATIN, GERARDIN, *et al.*, 2010). Mas os ambientes

em que são utilizadas estas aplicações são considerados como ambientes de radiação (BARTH, DYER e STASSINOPOULOS, 2003), o que implica que eles possuem uma alta concentração de partículas que podem afetar o funcionamento do dispositivo, onde o efeito de dose total ionizante (TID) é um dos efeitos que pode atingir o dispositivo (BEZ, CAMERLEGUI, *et al.*, 2003). No caso de NVMs o efeito TID afeta diretamente a retenção de carga nas células de memória produzindo falhas no dispositivo (OLDHAM, CHEN, *et al.*, 2012). Por esta razão é importante estudar o impacto do efeito TID nas células de memória não voláteis.

Neste trabalho foram avaliados modelos de simulação elétrica do transistor FG e desenvolvida uma metodologia de simulação elétrica do efeito TID sobre o transistor FG simulado. Aqui é apresentada uma descrição do transistor FG (funcionamento e modelagem), do efeito TID em células de memória de porta flutuante, a metodologia usada nas simulações do modelo elétrico do transistor e do efeito TID sobre o transistor FG, a discussão dos resultados obtidos e finalmente as conclusões obtidas neste trabalho de pesquisa.

1. CÉLULAS DE MEMÓRIA DE PORTA FLUTUANTE

O dispositivo de porta flutuante foi inventado no ano de 1967 (KANG e SZE, 1967), para o uso de armazenamento digital de dados. Com o passar dos anos, os dispositivos de porta flutuante tais como as memórias flash tornaram-se as memórias não voláteis mais usadas, graças a sua velocidade, densidade, escalabilidade, entre outros.

1.1. TRANSISTORES DE PORTA FLUTUANTE

O transistor de porta flutuante é similar ao típico transistor MOS, com a exceção da presença de um elemento de armazenamento conhecido como porta flutuante (Floating Gate - FG). O FG encontra-se situado entre a porta de controle (Control Gate - CG) e o canal do transistor, o qual está isolado eletricamente por meio de uma camada de material dielétrico. Na Figura 1, é mostrado o esquemático da seção cruzada do transistor FG. A FG atua como um poço potencial, quando a carga é forçada para entrar na porta flutuante, esta não pode se mover sem uma força externa aplicada (PAVAN, LARCHER e MARMIROLI, 2004), este efeito é observado no diagrama de bandas de energia na Figura 2.

Figura 1 – Esquemático da seção cruzada do transistor de porta flutuante

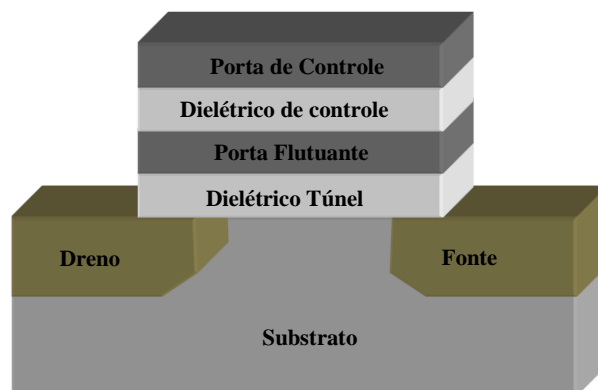
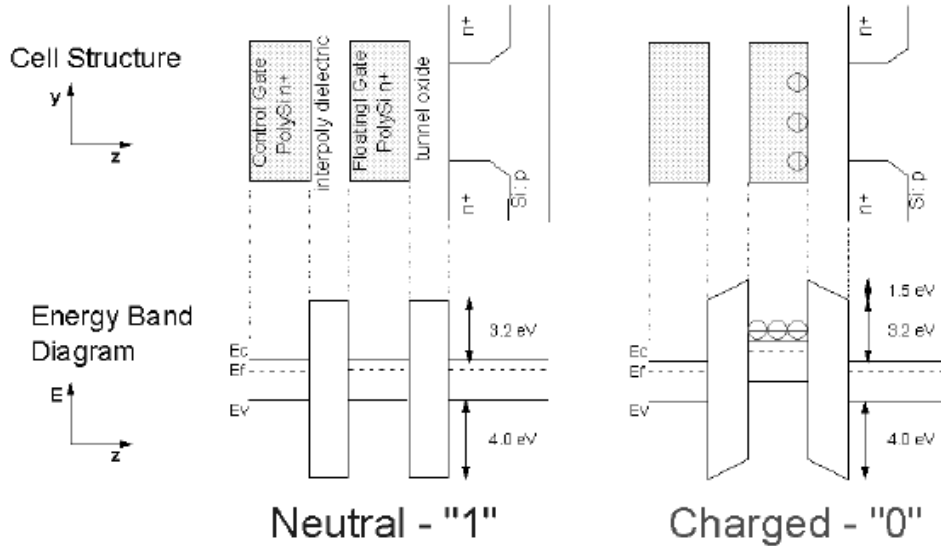


Figura 2 – Esquemático do Diagrama das bandas de energia (Parte inferior) da estrutura do transistor FG (Parte superior). O lado esquerdo representa o estado neutro da célula (o estado de apagado), enquanto o lado direito representa a célula carregada negativamente (estado de programação).



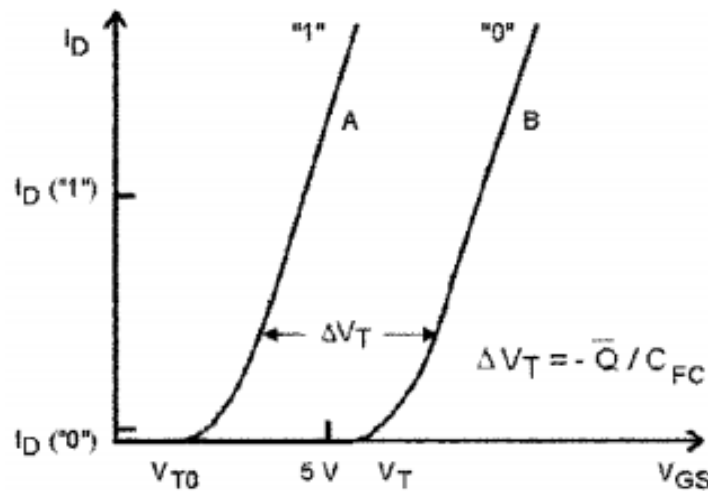
Fonte: BEZ, CAMERLEGUI, *et al.* (2003).

A célula de memória FG pode comutar de um estado a outro (programação “0” a apagado “1”). Como o transistor FG é similar a um transistor MOS, a tensão limiar do transistor FG está dada pela seguinte expressão:

$$V_{TH} = K - \frac{Q_{FG}}{C_{CG}} \quad (1)$$

Onde K é uma constante que depende da porta, do material do substrato, da dopagem, e da espessura do óxido; Q_{FG} é a carga na porta flutuante e C_{CG} é a capacitância entre a FG e a CG. Na equação 1, observa-se que as mudanças da carga armazenada na FG alteram o valor da tensão limiar do transistor. Essa alteração na tensão limiar impacta a corrente no canal fornecendo dois valores de correntes dependendo do estado do transistor. Este fenômeno é mostrado na Figura 3.

Figura 3 – Curvas I – V de um dispositivo de porta flutuante no estado apagado (A) e programado (B).



Fonte: PAVAN, BEZ, *et al.* (1997) e PAVAN, LARCHER e MARMIROLI (2004)

1.2. OPERAÇÃO DO TRANSISTOR DE PORTA FLUTUANTE

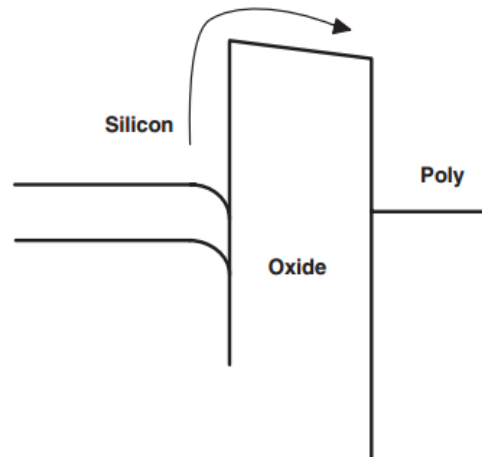
As duas operações do transistor FG (programação e apagado) são consideradas como operações de escrita, as quais são realizadas mediante a polarização do transistor FG, onde dependendo das tensões de polarização é possível transferir carga para ou a partir do FG, mudando a condutividade do transistor (PAVAN, LARCHER e MARMIROLI, 2004). Para realizar a comutação entre os estados, é necessário que a carga atravesse o dielétrico túnel, este processo é efetuado mediante dois mecanismos de condução de elétrons: a injeção de elétrons quentes (Channel Hot Electron Injection - CHE) e o tunelamento Fowler – Nordheim (Fowler – Nordheim Tunneling – FN). A injeção de portadoras somente é usada para agregar elétrons na FG (Estado de Programação), e o tunelamento é usado para adicionar ou remover elétrons do FG (estado de Programação ou Apagado) (BREWER e GILL, 2008).

1.2.1. Injeção de Elétrons

A ideia básica da injeção CHE é fornecer aos elétrons do canal a energia suficiente para superar a barreira de energia do dielétrico de túnel. Uma grande tensão no terminal do dreno faz com que os elétrons que estão atravessando o canal a partir do terminal da fonte em direção ao dreno ganhem a energia suficiente, tornando os elétrons quentes, provocando uma

fração destes elétrons a ser injetada ao FG (RAGHUNATHAN, 2010). Na Figura 4, é representada a injeção de elétrons mediante o mecanismo CHE.

Figura 4 – Representação da banda de energia de um transistor MOS canal N, onde é apresentado o mecanismo de injeção CHE.



Fonte: BREWER, E.; GILL, M (2008)

O mecanismo CHE é descrito mediante o modelo de sorte dos elétrons (Lucky Electron Model), este modelo baseia-se na probabilidade de um elétron ter a sorte de ser injetado à FG, tendo a energia necessária para poder superar a barreira de energia sem sofrer eventos de dispersão que podem reduzir a energia enquanto os elétrons movimentam-se do terminal da Fonte para o Dreno. A equação 2 descreve este fenômeno.

$$I_g = C \left(\frac{\lambda E_m}{\phi_b} \right)^2 \exp \left(\frac{-\phi_b}{\lambda E_m} \right) \quad (2)$$

Onde, ϕ_b é a energia da barreira na interface (3.2eV); E_m é o campo elétrico lateral na junção do dreno; C é o coeficiente pré-exponencial e λ são os elétrons no caminho livre (electrons mean free path).

O modelo descrito na equação 2 é meramente qualitativo, devido a não existir uma expressão analítica que consiga representar todo o fenômeno de injeção de elétrons, e muitas vezes não se ter todos os parâmetros físicos envolvidos na injeção de elétrons usando o mecanismo CHE.

Existem mais dois modelos qualitativos que descrevem o mecanismo CHE: o modelo efetivo de temperatura dos elétrons (the effective electron temperature model), e o modelo físico. O modelo efetivo de temperatura dos elétrons assume que os elétrons são aquecidos e transformados em um gás de elétrons como uma distribuição de Maxwell, com uma

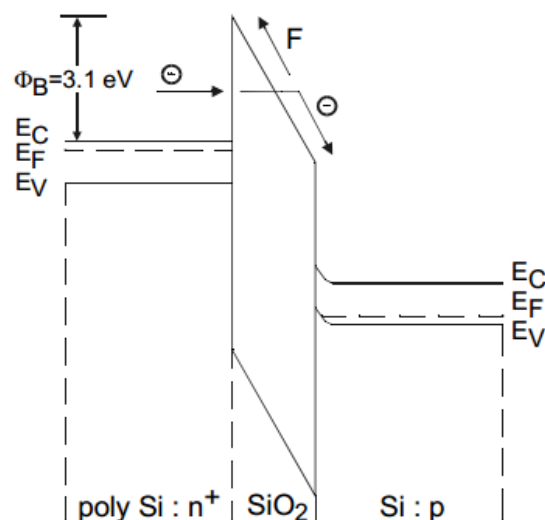
temperatura efetiva T_e que depende do campo elétrico. Assim, a corrente da porta é calculada como uma emissão termiônica de elétrons aquecidos sobre a barreira de energia da interface. O modelo físico calcula a corrente na porta, baseado na eficiência na injeção de elétrons, a qual depende da barreira de energia na interface e do campo elétrico lateral (BREWER e GILL, 2008).

É importante esclarecer que o mecanismo CHE somente pode injetar elétrons na FG, e não pode ser usado para remover os elétrons do elemento de armazenamento. Além disso, o mecanismo CHE não é considerado como viável para a programação do transistor FG, pois produz degradação no dispositivo associado ao aprisionamento de lacunas (Hole Trapping) na interface (PAVAN, LARCHER e MARMIROLI, 2004) (BREWER e GILL, 2008).

1.2.2. Tunelamento Fowler – Nordheim

O tunelamento Fowler-Nordheim (FN), é um mecanismo de tunelamento quântico-mecânico, que consiste em atravessar uma barreira de potencial fina, induzida por um campo elétrico. Na Figura 5, é mostrado o diagrama de bandas de energia de uma estrutura MOS que faz a representação do mecanismo de tunelamento FN de elétrons (RAGHUNATHAN, 2010).

Figura 5 – Representação do tunelamento Fowler – Nordheim através de uma estrutura MOS. Os elétrons na banda de condução do silício atravessam a banda de energia



Fonte: PAVAN, LARCHER e MARMIROLI (2004)

Quando uma grande tensão é aplicada através de uma estrutura MOS, a barreira de óxido curva-se sob a aplicação de um campo elétrico, apresentando uma barreira de forma

triangular. Ao incrementar o campo elétrico, a largura da barreira começa a ficar mais fina, permitindo que os elétrons consigam atravessar a barreira a partir da banda de condução do silício para a banda de condução do óxido. Este mecanismo foi demonstrado por Fowler e Nordheim no caso do tunelamento de elétrons através de uma barreira de vácuo, e posteriormente foi descrito por Lenzlinger e Snow para o caso do tunelamento no óxido. A densidade de corrente Fowler-Nordheim está dada pela equação 3 (BREWER e GILL, 2008).

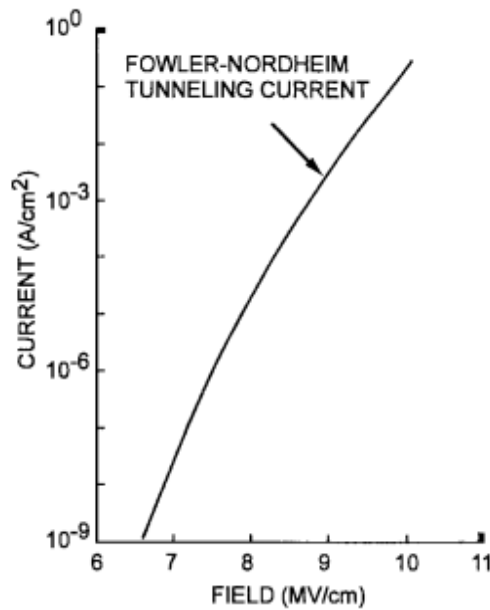
$$J = \frac{q^3}{8\pi h \phi_b} \frac{m}{m^*} E_{inj}^2 \exp\left[-(4\sqrt{2m^*} \phi_b^{3/2} / 3\eta q) / E_{inj}\right] \quad (3)$$

Onde, h é a constante de Planck, ϕ_b é a energia da barreira na interface de injeção, E_{inj} e o campo elétrico na interface de injeção, q é a carga de um simples elétron ($q=1.6 * 10^{-19}$ C), m é a massa livre do elétron ($m=9.1 * 10^{-31}$ Kg), m^* é a massa efetiva de um elétron na banda de gap do óxido e $\eta = h/2\pi$.

O mecanismo de tunelamento FN é amplamente usado nas NVMs, por ser um mecanismo puramente elétrico, e os níveis de corrente envolvidos no mecanismo serem muito baixos, permitindo gerar internamente as tensões de alimentação e obtendo tempos de programação (< 1 ms) doze ordens de magnitude menor que o tempo de retenção (> 10 anos), o qual é um requerimento fundamental para todas as tecnologias de NVM (PAVAN, LARCHER e MARMIROLI, 2004).

Por outro lado, a dependência exponencial da corrente de tunelamento no campo elétrico do óxido (Figura 6), produz alguns problemas do processo de controle, já que pequenas variações da espessura do óxido entre as células em uma matriz de memória resultam em grandes diferenças nas correntes de programação ou apagado, espalhando a distribuição da tensão limiar da célula de memória (PAVAN, LARCHER e MARMIROLI, 2004).

Figura 6 – Corrente de tunelamento FN em função do campo elétrico.



Fonte: PAVAN , BEZ, *et al.* (1997) ; RAGHUNATHAN (2010).

1.3. MODELOS DO TRANSISTOR DE PORTA FLUTUANTE

Nos últimos anos uma grande quantidade de modelos do transistor FG tem sido desenvolvidos, de entre os quais há modelos demasiado simples fornecendo assim representações limitadas do comportamento elétrico, ou demasiado complexos provocando limitações para a implementação do mesmo. Algumas destas estruturas têm sido muito populares na comunidade do projeto de circuitos integrados (RAPP, S. J. 2010).

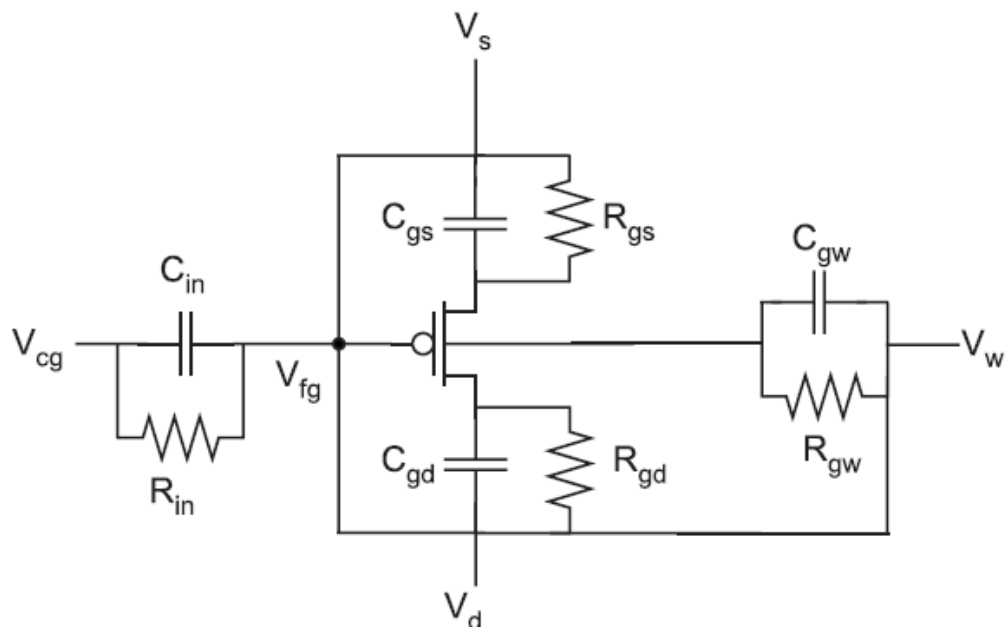
Os modelos mais populares são: o modelo de acoplamento (desenvolvido por MONDRAGÓN, et al 2002) e o modelo sináptico (DIORIO, C. et al. 1996 e RAHIMI, K. et al. 2002). O modelo de acoplamento usa o efeito das capacitâncias parasitas para descrever a operação do dispositivo, enquanto, o modelo sináptico concentra-se na alteração da carga do transistor FG. Baseado no modelo de acoplamento (MONDRAGÓN, et al 2002), é criado um modelo de simulação de células de memória de porta flutuante que calcula a tensão no FG usando coeficientes capacitivos de acoplamento e os valores das tensões nos terminais do transistor (LUCA, L. et al.2002).

1.3.1. Modelo de Acoplamento

O modelo de acoplamento proposto por MONDRAGÓN, et al, (Figura 7) modela o efeito das capacitâncias parasitas de maneira explícita usando em cada terminal capacitores e

resistores em paralelo, todos conectados entre os terminais do transistor e o nó da porta flutuante. Assim, C_{in} , C_{gs} , C_{gd} , C_{gw} , e R_{in} , R_{gs} , R_{gd} , R_{gw} são os capacitores e resistores dos terminais na porta de controle, fonte, dreno e corpo respectivamente. Do mesmo jeito V_{CG} , V_s , V_d e V_w são as tensões na porta de controle, fonte, dreno e corpo, V_{fg} é a tensão na porta flutuante. Estes resistores em paralelo são usados com o objetivo de resolver os problemas de convergência DC que o modelo possui. Os valores destes resistores são selecionados de tal forma que sejam o suficientemente grandes para serem ignorados em análises AC.

Figura 7. Esquemático do modelo de acople do transistor FG (MONDRAGÓN, et al 2002). Em este modelo, a convergência no análises DC é realizada usando resistores de alto valor em paralelo com cada capacitor conetado ao nó da porta flutuante



Fonte: RAPP, S. J. (2010)

Para este modelo a relação entre o tensão na porta flutuante e as tensões dos terminais do transistor em condições DC está dada pela equação 4

$$G_{in}(V_{cg} - V_{fg}) + G_{gs}(V_s - V_{fg}) + G_{gd}(V_d - V_{fg}) + G_{gw}(V_w - V_{fg}) = 0 \quad (4)$$

Onde, G_i representa a condutância em cada terminal do transistor $G_i = 1/R_i$, esta condutância também pode ser descrita como $G_i = kC_i$ (com $i = 1, 2, \dots, n$), onde k é uma constante que depende do valor desejado do resistor R .

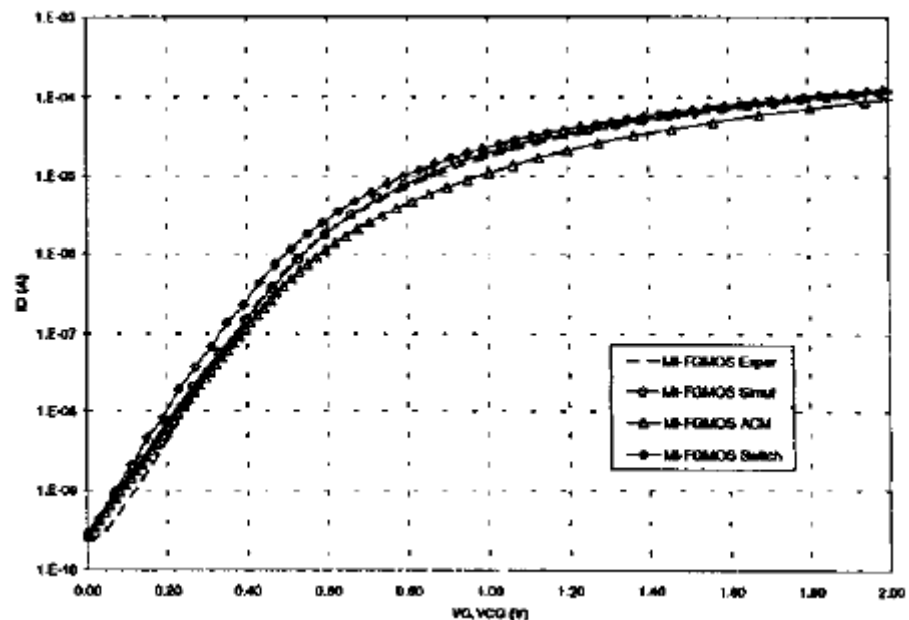
Ao substituir G_i por kC_i , a tensão na porta flutuante fica da seguinte maneira:

$$V_{fg} = \frac{(C_{in}V_{cg} + C_{gs}V_s + C_{gd}V_d + C_{gw}V_w)}{C_{tot}} \quad (5)$$

O valor de k é escolhido para fazer R o maior valor possível na faixa de 1000GΩ.

Em uma publicação posterior MONDRAGÓN, et al, fazem uma mudança no modelo, introduzindo uma fonte de tensão independente conectada entre o nó da porta flutuante e o terminal da porta do transistor MOS, esta fonte é usada para simular a contribuição da carga armazenada na porta flutuante (SÁNCHEZ-SINENCIO, E, 2010)..

Figura 8. Corrente ID em função da tensão Vcg do modelo de acople modificado do transistor de porta flutuante



Fonte: MONDRAGÓN, et al (2002)

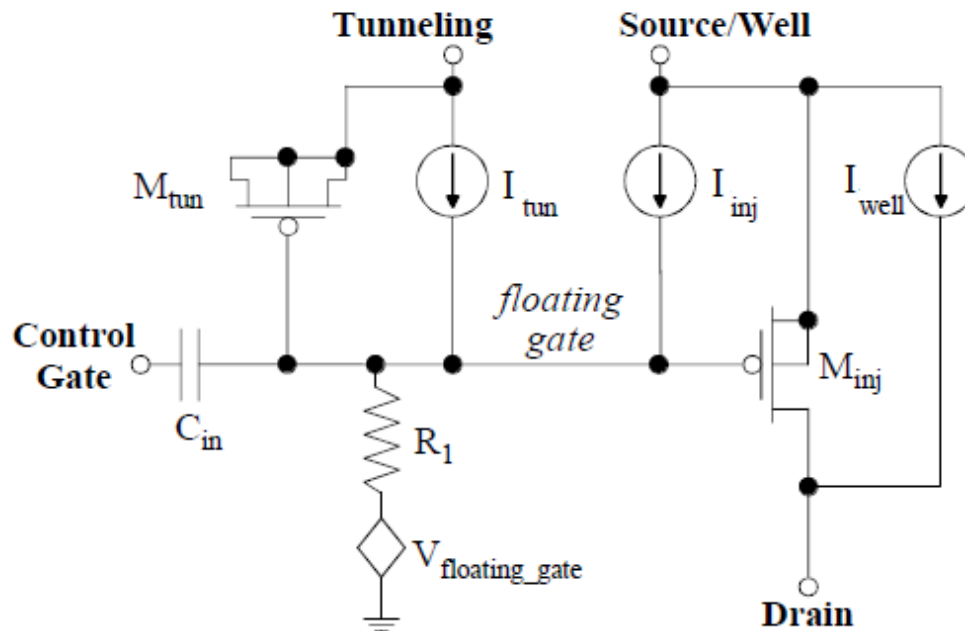
1.3.2. Modelo sináptico

RAHIMI, K. et al 2002, propõem uma estrutura de simulação (**¡Error! No se encuentra el origen de la referencia.**), a qual está focada na modelagem dos mecanismos de gravação do transistor FG (injeção e tunelamento de elétrons).

Nesta estrutura são modeladas três correntes: a corrente de tunelamento (I_{tun}) que flui da junção do túnel (tunneling junction) ao nó da porta flutuante, a corrente de injeção (I_{inj}) que flui a partir do canal ao nó da porta flutuante, e a corrente de substrato (well current) (I_b) que flui do canal ao substrato do dispositivo. Estas três correntes são modeladas usando

equações de ajuste empíricas, calculadas a partir de tensões e correntes medidas diretamente no dispositivo de porta flutuante.

Figura 9. Modelo sináptico para la simulação de um transistor FG. M_{tun} modela a capacitância MOS túnel-junção; G_{tun} modela a corrente de tunelamento, G_{inj} e G_{well} modelam o impacto da injeção de elétrons na porta flutuante. R_1 e $V_{floating_gate}$ fornece uma convergência numérica no análises DC.



Fonte: RAHIMI, K. et al. (2002)

A corrente produzida do mecanismo de tunelamento Fowler Nordheim depende da tensão que passa através do óxido e das dimensões do óxido (comprimento, largura e espessura), na equação 6, está descrita a expressão da usada para simular a corrente de tunelamento.

$$I_{tun} = -I_{tun0}WL \exp\left(-\frac{V_f}{V_{ox}}\right) \quad (6)$$

Onde, I_{tun0} é a corrente constante inicial, W e L são o comprimento e a largura da junção do túnel, V_f é um parâmetro de ajuste que depende da espessura do óxido, e V_{ox} é a tensão no óxido (RAHIMI, K. et al 2002)

As duas correntes produzidas pela injeção de elétrons, a corrente de injeção (I_{inj}), e a corrente potencial (I_b) foram desenvolvidas usando um processo de ajuste empírico. A

corrente de injeção (equação 7) depende da corrente do canal (I_s), a tensão de porta-dreno (gate to drain voltage) (V_{gd}), a tensão fonte-dreno (V_{sd}), e os parâmetros de ajuste α , β , δ e λ . A corrente no substrato (equação 8), é causada pela transferência não ideal de elétrons à porta de controle, é depende da corrente do canal, as tensões fonte-porta e fonte-dreno, a tensão limiar do dispositivo, e os parâmetros de ajuste η , γ , κ e λ .

$$I_{inj} = \alpha I_s \exp\left(-\frac{\beta}{(V_{gd} + \delta)} + \lambda V_{sd}\right) \quad (7)$$

$$I_{inj} = \eta I_s (\gamma V_{sd} - \kappa V_{sg} + V_{th}) \exp\left(-\frac{\lambda}{\gamma V_{sd} - \kappa V_{sg} + V_{th}}\right) \quad (8)$$

Para fornecer convergência em condições DC, é usado um resistor com um alto valor, e uma fonte de tensão dependente da tensão que produz um valor numérico da tensão na porta flutuante útil em alguns simuladores SPICE (RAHIMI, K. et al 2002).

1.3.3. Modelo do transistor FG baseado no calculo da tensão FG.

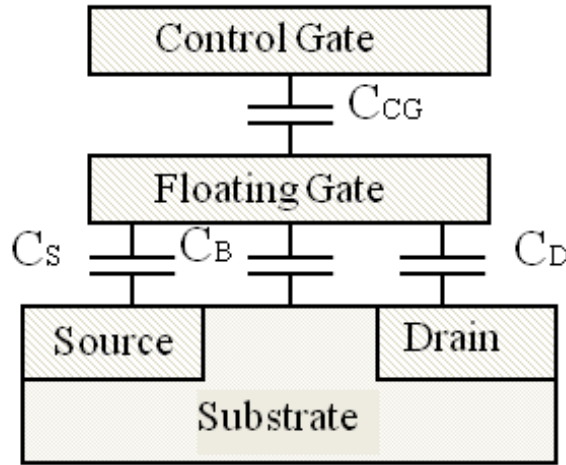
A chave para uma modelagem eficiente de um dispositivo elétrico é conseguir representar o comportamento elétrico do dispositivo usando cálculos qualitativos simples, permitindo realçar as propriedades básicas do dispositivo sem precisar de um esforço computacional excessivo.

Para o caso do modelo elétrico em condições DC, procura-se calcular a tensão na porta flutuante. Porquanto, uma vez conhecida a tensão na porta flutuante, a modelagem do transistor de porta flutuante reduz-se ao modelo do transistor MOS, onde a tensão na porta do transistor MOS é a tensão da porta flutuante já calculada. Como a porta flutuante está completamente rodeada por uma camada de material isolante, a tensão na porta flutuante não é um valor fixo, já que depende das capacitâncias de acople do eletrodo de porta flutuante com os outros eletrodos do transistor (fonte, dreno e corpo) (PAVAN, LARCHER e MARMIROLI, 2004).

1.3.3.1. Cálculo da Tensão na Porta Flutuante

No transistor FG, a porta flutuante está acoplada capacitivamente à porta de controle e aos demais terminais do transistor (Fonte, Dreno e Corpo). Na Figura 10, é mostrado o esquemático da seção transversal do transistor de porta flutuante. Esta figura é uma representação do modelo de coeficientes de acoplamento capacitivo, onde, C_{CG} , C_S , C_D e C_B são as capacitâncias entre a porta flutuante e a porta de controle, fonte, dreno, e o substrato do transistor (PAVAN, BEZ, et al., 1997).

Figura 10 – Esquema da seção transversal do transistor FG, onde C_{CG} , C_S , C_D , C_B , são as capacitâncias entre a porta flutuante, e a porta de controle, fonte, dreno e o substrato do transistor.



Fonte: PAVAN , BEZ, *et al.* (1997)

A seguinte expressão representa o valor da carga armazenada na porta flutuante mediante uma equação de balanceamento de carga (PAVAN, LARCHER e MARMIROLI, 2004).

$$Q_{FG} = C_{CG}(V_{FG} - V_{CG}) + C_S(V_{FG} - V_S) + C_D(V_{FG} - V_D) + C_B(V_{FG} - V_B) \quad (9)$$

Onde, V_{FG} é a tensão na porta flutuante, V_{CG} é a tensão na porta de controle, V_S , V_D e V_B são as tensões nos terminais de fonte, dreno e corpo respectivamente. Ao definir $C_{tot} = C_{CG} + C_S + C_D + C_B$ como a capacitância total da porta flutuante, é possível determinar a tensão na porta flutuante mediante a seguinte expressão (PAVAN , BEZ, *et al.*, 1997) (PAVAN, LARCHER e MARMIROLI, 2004):

$$V_{FG} = \frac{1}{C_{tot}} (Q_{FG} + C_{CG}V_{CG} + C_S V_S + C_D V_D + C_B V_B) \quad (10)$$

Para simplificar a equação 10, é definido $\alpha_j = C_j / C_{tot}$ como coeficiente de acople capacitivo relativo aos terminais j , assim, a tensão da porta flutuante é:

$$V_{FG} = \alpha_{CG} V_{CG} + \alpha_S V_S + \alpha_D V_D + \alpha_B V_B + \frac{Q_{FG}}{C_{tot}} \quad (11)$$

1.3.3.2. Cálculo da Corrente do Dreno

A equação de corrente do transistor de porta flutuante pode ser obtida mediante a equação convencional do transistor MOS. Para isto é necessário substituir a tensão na porta V_{GS} com a tensão no FG V_{FG} , e mudar os parâmetros do transistor: tensão limiar (V_{TH}), e o

fator de condutividade β . Assim, os parâmetros do transistor medidos com respeito à porta de controle são:

$$\begin{aligned} V_{TH}^{FG} &= \alpha_{CG} * V_{TH}^{CG} \\ \beta^{FG} &= \beta^{CG} / \alpha_{CG} \end{aligned} \quad (12)$$

$$V_{TH}^{CG} = V_{TH0}^{CG} - Q_{FG} / C_{CG} \quad (13)$$

Onde, V_{TH0}^{CG} é a tensão limiar quando $Q_{FG} = 0$, mostrando uma dependência linear da tensão limiar em função da carga injetada na porta flutuante. Assim, as equações de corrente para o transistor de porta flutuante nas regiões de tródo (Equação 14) e saturação (Equação 15) são:

$$\begin{aligned} I_D &= \beta^{CG} \left[\left(V_{CG} - V_{TH0}^{CG} + \frac{Q_{FG}}{C_{CG}} \right) V_D - \left(\frac{C_D}{C_{CG}} - \frac{1}{2\alpha_{CG}} \right) V_D^2 \right] \\ V_D &< \alpha_{CG} \left(V_{CG} + \frac{C_D}{C_{CG}} V_D - V_{TH0}^{CG} + \frac{Q_{FG}}{C_{CG}} \right) \end{aligned} \quad (14)$$

$$\begin{aligned} I_D &= \frac{\beta^{CG}}{2} \alpha_{CG} \left(V_{CG} + \frac{C_D}{C_{CG}} V_D - V_{TH0}^{CG} + \frac{Q_{FG}}{C_{CG}} \right)^2 \\ V_D &\geq \alpha_{CG} \left(V_{CG} + \frac{C_D}{C_{CG}} - V_{TH0}^{CG} + \frac{Q_{FG}}{C_{CG}} \right) \end{aligned} \quad (15)$$

Nas equações 14 e 15, observou-se o papel que tem a carga injetada na porta flutuante na mudança na corrente I_D do transistor FG, permitindo distinguir entre os estados de programação e apagado da célula de memória (PAVAN, LARCHER e MARMIROLI, 2004).

1.3.3.3. Coeficiente de Acoplamento Capacitivo na Porta de Controle

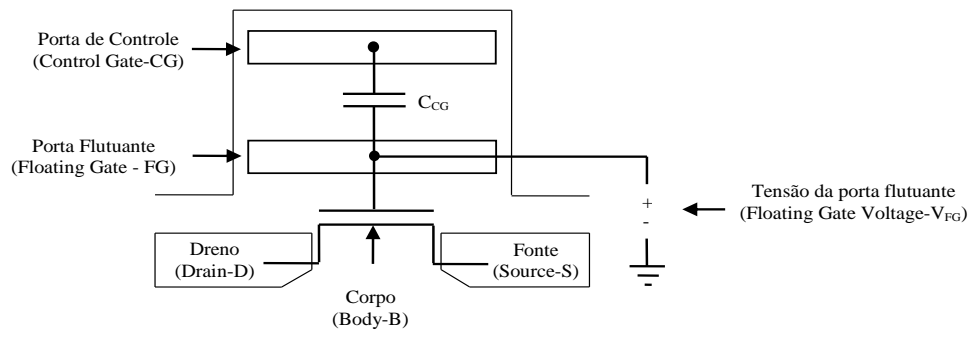
O coeficiente de acoplamento da porta de controle (α_{CG}) é o parâmetro com maior importância no desenho de NVMs. Este coeficiente, além de representar a média de acoplamento do CG ao FG, determina o campo elétrico que atravessa o óxido de túnel e o óxido de controle, influenciando na velocidade das operações de programação e apagado da célula de memória.

Um dispositivo com um α_{CG} baixo opera com um campo elétrico no óxido menor que um dispositivo com um α_{CG} alto. Portanto um transistor FG com um α_{CG} pequeno precisa de maiores tensões de operação para trabalhar à mesma velocidade que um transistor com um α_{CG} alto (RAGHUNATHAN, 2010).

1.3.3.4. Modelo Elétrico do Transistor de Porta Flutuante

A ideia do modelo elétrico do transistor de FG, é que ele possa representar o comportamento do transistor usando elementos elétricos simples. Além disso, procura-se que o modelo possa ser implementado em qualquer simulador de circuitos elétricos tipo SPICE. O modelo do transistor de porta flutuante é apresentado na Figura 11, onde se pode notar que o modelo é composto por um capacitor conectado entre a porta de controle (CG) e o nó da porta flutuante (FG), um transistor MOS cujo terminal de porta está conectado ao nó da porta flutuante, e uma fonte de tensão, controlada pela tensão, conectada entre o nó da porta flutuante e a terra.

Figura 11 – Esquemático do modelo de transistor de porta flutuante, o qual é composto por um capacitor entre a porta de controle e a porta flutuante (CG-FG), um transistor MOS e uma fonte de tensão controlada pela tensão conectada entre a porta flutuante e a terra, esta fonte é a encarregada de simular as variações na tensão da porta flutuante ao variar a carga armazenada.



Adaptação do modelo originalmente proposto por: LUCA, L. et al (2002) (PAVAN, LARCHER e MARMIROLI, 2004)

Aqui a fonte de tensão controlada pela tensão permite realizar a simulação do transistor de porta flutuante na análise DC, e calcular as variações da tensão na porta flutuante usando a equação 11.

2. RADIAÇÃO IONIZANTE EM DISPOSITIVOS DE PORTA FLUTUANTE

A quantidade de radiação que pode afetar os dispositivos e os materiais semicondutores depende do ambiente de radiação no qual estejam submetidos e das condições de operação dos dispositivos.

2.1. AMBIENTES DE RADIAÇÃO

Em geral, existem os seguintes ambientes de radiação:

- Espacial
- Experimentos físicos de alta energia
- Nuclear
- Ambientes naturais

Cada um destes ambientes caracteriza-se por ter seu próprio espectro de partículas e distribuição de energia

2.1.1. Ambientes de Radiação Espacial

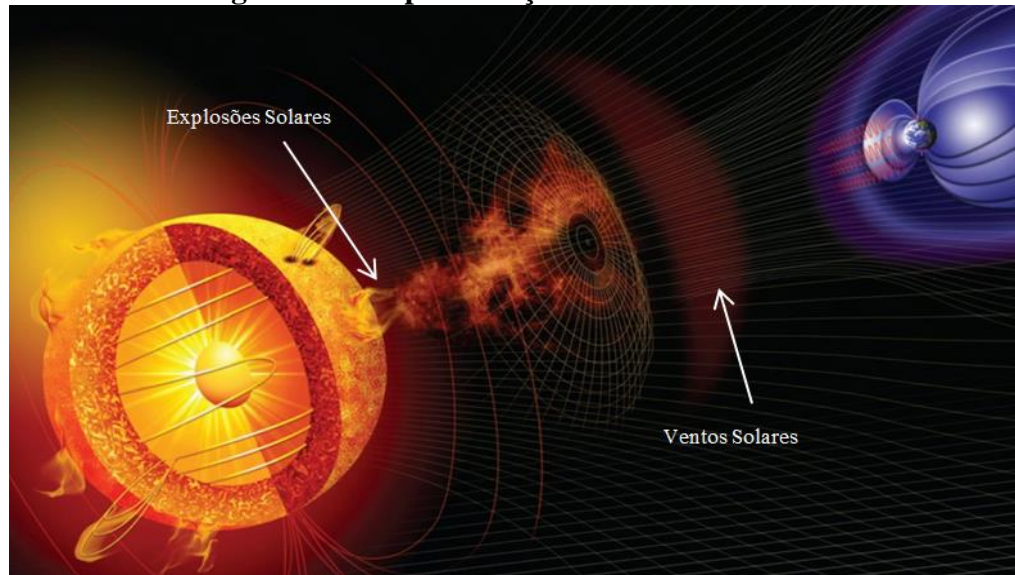
A terra e seu ambiente imediato estão protegidos pela atmosfera, a qual atua como uma tela protetora semipermeável, que permite passar a luz e o calor do sol, enquanto evita o cruze da radiação e dos raios UVs. No espaço a atividade solar, os cinturões de radiação e os raios cósmicos são a origem do ambiente radioativo, estes ambientes radioativos possuem grande quantidade de partículas de alta energia, produzindo efeitos de dose total e falhas transientes nos dispositivos eletrônicos que operem neste tipo de ambientes.

2.1.1.1. Atividade solar

A atividade solar é cíclica, com períodos de 11 anos divididos em quatro anos de atividade baixa, e sete anos de atividade alta. A atividade solar está composta por explosões e ventos solares. As explosões solares estão relacionadas à ejeção de massa coronal, a qual emite prótons de alta energia ($<100\text{MeV}$), partículas alfa e elétrons. Os ventos solares ocorrem pela alta temperatura da coroa do sol, excitando os elétrons até o ponto de permitir

que eles fujam do campo gravitacional do sol, este efeito tem como consequência um desbalanceamento de carga na cora do sol resultando na ejeção de prótons e íons pesados (BOUDENOT, 2007). Na Figura 12, pode-se observar uma representação da atividade solar.

Figura 12 – Representação da atividade Solar

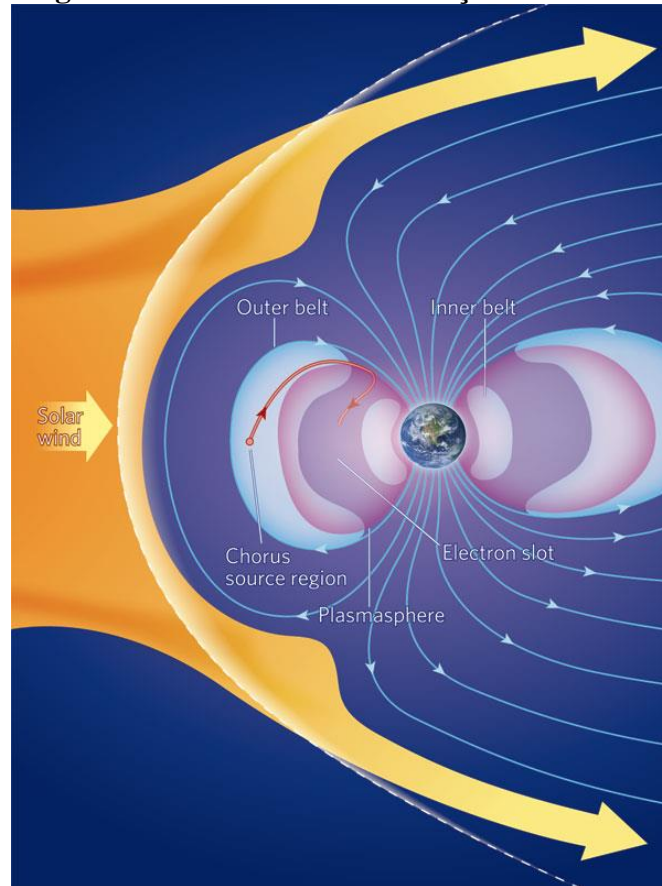


Fonte: OBSERVATORY

2.1.1.2. Cinturões de radiação Van Allen

Os cinturões de Van Allen foram descobertos por Van Allen em conjunto com vários importantes cientistas no Explorer I (BARTH, DYER e STASSINOPOULOS, 2003). Estes cinturões são regiões do espaço, ao redor da terra, repletas de elétrons e prótons. Estas regiões são formadas pela interação do campo magnético terrestre com o vento solar. Existem dois cinturões permanentes em torno à terra, o interno e o externo. O cinturão interno situa-se em uma região entre 100km e 10.000Km de altitude, onde os elétrons presos no cinturão possuem uma energia inferior a 5MeV. O cinturão externo situa-se em uma altitude aproximada de 20.000 Km a 60.000 Km (BALEN, 2010), os elétrons presos no cinturão externo têm uma energia de até 7MeV, além disso, no cinturão externo, o fluxo de elétrons tem uma maior variabilidade e intensidade em comparação com o cinturão interno. Estes cinturões também contém presos prótons de alta energia, de aproximadamente 100MeV. Em 1991, depois de uma forte tormenta magnética, foi registrado o surgimento temporário de vários cinturões de radiação, estes cinturões situam-se no meio dos cinturões de radiação interno e externo, e possuem elétrons com uma energia aproximada de 30 MeV (BOUDENOT, 2007). Na Figura 13, é mostrado o esquema da magnetosfera e dos cinturões de Van Allen.

Figura 13 – Cinturões de Radiação Van Allen.



Fonte: BALEN (2010)

2.1.1.3. Raios Cósmicos Galácticos

Os raios cósmicos galácticos (RCG) são uma combinação de partículas energéticas transitórias provenientes de explosões solares e ejeção de massa coronal do sol (MAVROMICHALAKI, PAPAIOANNOU, *et al.*, 2007). Os raios cósmicos estão compostos por 83% de prótons, 13% de núcleos de Hélio e 3% de elétrons. Os níveis de RCG são modulados pelos ciclos solares, com um pico de alta incidência de RCG no semiciclo solar de baixa atividade. A origem deste tipo de radiação ainda não foi completamente identificada, é sabido que uma parte dos íons vem de fora da via láctea, e outra parte é originada dentro da via láctea. A radiação cósmica é quase isotrópica quando chega perto da magnetosfera. Porém, a isotropia do RCG não é preservada ao ter contato com o campo magnético terrestre.

A composição dos RCG é quase idêntica a do material encontrado em outros locais da galáxia, e parece ser afetada pela interação com material interestelar. A energia dos RCG é de menos de 1 GeV por núcleo (BOUDENOT, 2007).

Figura 14 – Raios C3smicos Gal3cticos



Fonte: Cosmic Ray

2.2. RADIAÇÃO IONIZANTE EM DISPOSITIVOS MOS

As estruturas MOS s3o elementos cruciais na maioria dos dispositivos eletr3nicos de tecnologia sobre Sil3cio como: CMOS, dispositivos MOS de canal N (NMOS) e canal P (PMOS), CMOS lineares e bipolares (BICMOS), os dispositivos de carga acoplada (CCDs), e as mem3rias n3o vol3teis (NVMs). Nos 3ltimos 30 anos, a evolu3o dos dispositivos baseados em estruturas MOS (o escalamento do canal, as altera3es nos procedimentos de fabrica3o, o aumento da densidade, a diminui3o da energia de alimenta3o, entre outras) tem influenciado o impacto do efeito da radia3o ionizante sobre este tipo de dispositivos (HUGHES e BENEDETTO, 2003).

2.2.1. Efeito de Dose Total

O efeito de Dose Total Ionizante (*Total Ionizing Dose – TID*) em dispositivos MOS acontece em diel3tricos relativamente finos. Estes diel3tricos (tipicamente SiO_2) tem uma espessura aproximada de 2nm ate 1000nm, e s3o usados como estruturas de prop3sito em circuitos integrados, como portas de controle (Control Gates), isolamento el3trico (isolamento lateral usando 3xido de campo, isolamento vertical usando 3xidos enterrados e o isolamento intermet3lico, incluindo a utiliza3o de material diel3trico com um k baixo), entre outros.

A sensibilidade dos dispositivos MOS ao efeito TID depende de v3rios fatores tais como: a taxa de dose de radia3o, tipo de ioniza3o, campo el3trico interno e externo do

dispositivo, a geometria do dispositivo, a temperatura de operação, as condições de pós-irradiação, as propriedades do material dielétrico (estrutura, defeitos, dopagem e estequiometria), processo de fabricação, impurezas no óxido, entre outras (HUGHES e BENEDETTO, 2003).

A radiação ionizante induz acumulação de cargas no óxido e na interface em forma de armadilhas e cargas fixas, sendo estas cargas as responsáveis pelas mudanças nas características dos dispositivos e circuitos, além disso, a contínua exposição ao fluxo de elétrons e prótons reduz significativamente o tempo de vida útil no sistema (SCHWANK, SHANEYFELT , *et al.*, 2008).

2.2.1.1. Transistores MOS

Quando os transistores MOS são expostos à radiação ionizante de alta energia, são gerados pares elétron-lacuna no óxido, induzindo acumulação de carga, a qual é responsável pela degradação do dispositivo.

Imediatamente depois da geração das portadoras, os elétrons são rapidamente varridos em direção à porta do transistor, e as lacunas são derivadas em direção à interface Si/SiO₂. Porém, antes que os elétrons saiam do óxido, alguns deles são recombinados com as lacunas. As lacunas que escapam à recombinação inicial são transportadas através do óxido da interface Si/SiO₂ por salto de estados localizados no óxido. Quando as lacunas estão perto da interface do óxido, uma fração delas fica presa, formando armadilhas de carga positiva no óxido.

A carga induzida pela radiação é acumulada nestes isoladores causando a degradação paramétrica do dispositivo. As cargas presas no óxido da porta podem inverter a interface do canal causando correntes de fuga que fluem em condições de desligado ($V_{gs}=0V$), resultando num incremento no consumo dos circuitos integrados (CI) chegando até ao ponto de produzir falhas funcionais nos CI. Grande concentração de armadilhas de carga na interface pode decrementar a mobilidade das portadoras e variar a tensão limiar dos transistores MOS de canal N e canal P (SCHWANK, SHANEYFELT , *et al.*, 2008)

2.2.1.1.1. Desvio da Tensão Limiar

O desvio da tensão limiar é um dos efeitos causados pela radiação ionizante em dispositivos MOS. Este efeito é produzido pelos efeitos eletrostáticos das cargas aprisionadas no óxido (N_{ot}) e na interface (N_{it}). Usualmente a carga presa no óxido é positiva, enquanto a

carga aprisionada na interface poder ser positiva, negativa ou neutra, dependendo do potencial e da natureza física dos efeitos responsáveis pelo aprisionamento de cargas na interface (BALEN, 2010) (SCHWANK, SHANEYFELT , *et al.*, 2008).

Assim, o desvio da tensão limiar do transistor MOS é a soma dos desvios ocasionados pelas cargas presas na interface (ΔV_{it}) e no óxido (ΔV_{ot}), conforme a equação 16.

$$\Delta V_{TH} = \Delta V_{ot} + \Delta V_{it} \quad (16)$$

$$\begin{aligned} \Delta V_{ot} &= -Q_{ot}/C_{ox} \\ \Delta V_{it} &= -Q_{it}/C_{ox} \end{aligned} \quad (17)$$

Para os transistores NMOS, o desvio da tensão limiar produzido pelas cargas presas no óxido tende a ser negativo, enquanto as cargas presas na interface ocasionam um desvio na tensão limiar positiva. Já para o transistor PMOS, ambas as contribuições no desvio da tensão limiar são negativas.

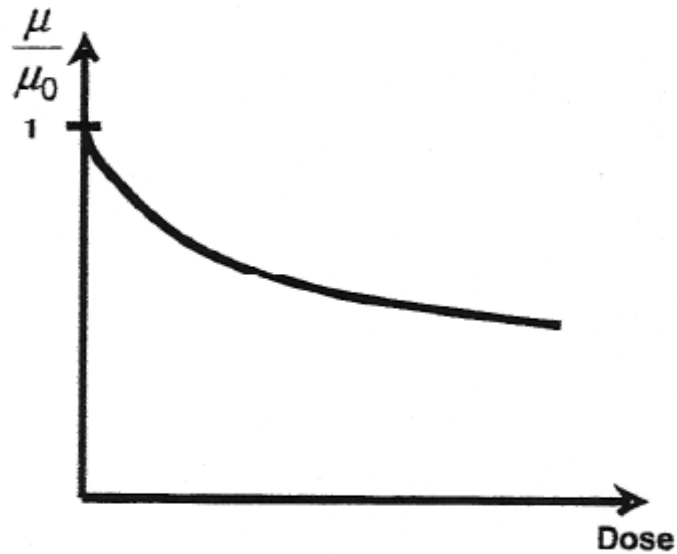
2.2.1.1.2. Degradação da Mobilidade de Portadores

A mobilidade dos portadores na camada de inversão influencia a velocidade e a corrente nos Transistores MOS (BALEN, 2010). Ao submeter o transistor MOS à radiação ionizante, a mobilidade de portadores apresenta uma alteração significativa causada pelo espalhamento Coulomb (*espalhamento de uma ou mais partículas ao interagir com o campo eletrostático de um núcleo*). O espalhamento de portadores depende da proximidade das cargas à interface, onde as cargas aprisionadas na interface exercem uma maior influência na mobilidade de portadores em comparação com cargas presas no óxido (SCHWANK, SHANEYFELT , *et al.*, 2008). A equação 18 apresenta o modelo da degradação da mobilidade (μ).

$$\mu = \frac{\mu_0}{1 + \alpha_{it}N_{it} + \alpha_{ot}N_{ot}} \quad (18)$$

Onde, α_{it} e α_{ot} são os efeitos que quantificam os efeitos de aprisionamento de cargas na interface e no óxido, e μ_0 é a mobilidade nominal. Na **Figura 15**, é plotada a degradação da mobilidade em função da dose de radiação (SCHWANK, SHANEYFELT , *et al.*, 2008).

Figura 15 – Degradação da mobilidade de portadoras na camada de inversão em função da dose de radiação em transistores MOS

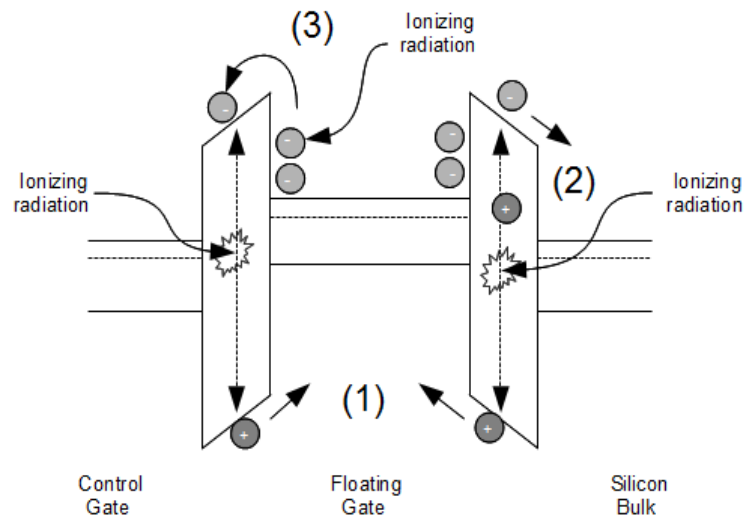


Fonte: SCHWANK, SHANEYFELT , *et al.* (2008)

2.2.1.2. Transistores de Porta Flutuante

Nos transistores de porta flutuante são gerados pares de elétron-lacuna no óxido que rodeia a porta flutuante, os elétrons que sobrevivem à recombinação são rapidamente movidos para fora do transistor, enquanto as lacunas movem-se lentamente na direção do FG por causa do campo elétrico. Parte deles é injetada no FG (contribuição 1, Figura 16), enquanto o resto das lacunas fica preso no óxido (contribuição 2, Figura 16). Os elétrons armazenados no FG são foto-emitidos (contribuição 3, Figura 16), ganhando a energia suficiente para saltar sobre a barreira de energia do óxido (CELLERE e PACCAGNELLA, 2004).

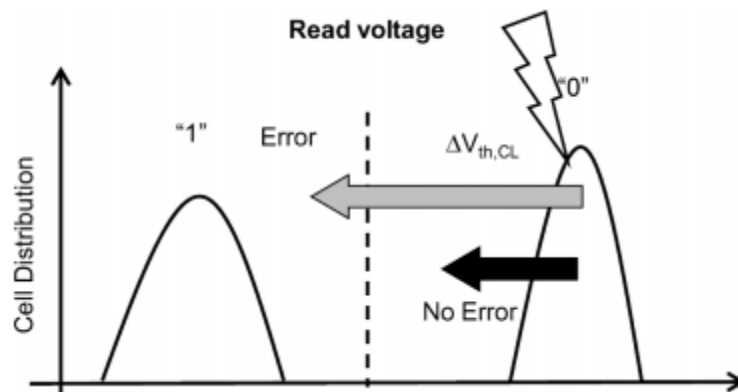
Figura 16 – Esquema das Principais contribuições da radiação ionizante na degradação da tensão limiar dos transistores FG.



Adaptação: CELLERE, G.; PACCAGNELLA, A (2004)

A informação armazenada na porta flutuante influencia o impacto do transistor sob radiação ionizante, onde o transistor programado no estado 0 apresenta uma redução da tensão limiar movendo-se através da tensão limiar intrínseca (**Figura 17**).

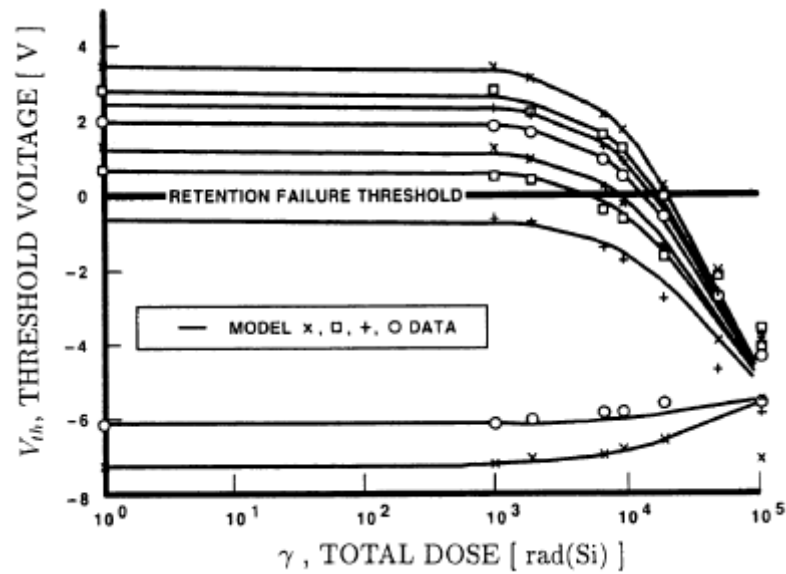
Figura 17 – Mudanças da tensão limiar dum transistor FG como consequência do efeito da radiação ionizante.



Fonte:GERALDI e PACCAGNELLA (2010).

Depois de uma dose de 90Krad, o transistor programado no estado 0 apresenta uma grande perda de carga na porta flutuante, o que significa uma falha na célula de memória, onde o dispositivo apresenta uma mudança no estado de programação de 0 para 1 (**Figura 18**) (CELLERE e PACCAGNELLA, 2004).

Figura 18 – Mudança da tensão limiar do transistor FG em função da doses de radiação ionizante.



Fonte: SNYDER , MCWHORTER, *et al.* (1986) CELLERE e PACCAGNELLA (2004).

2.2.2. Efeitos Singulares

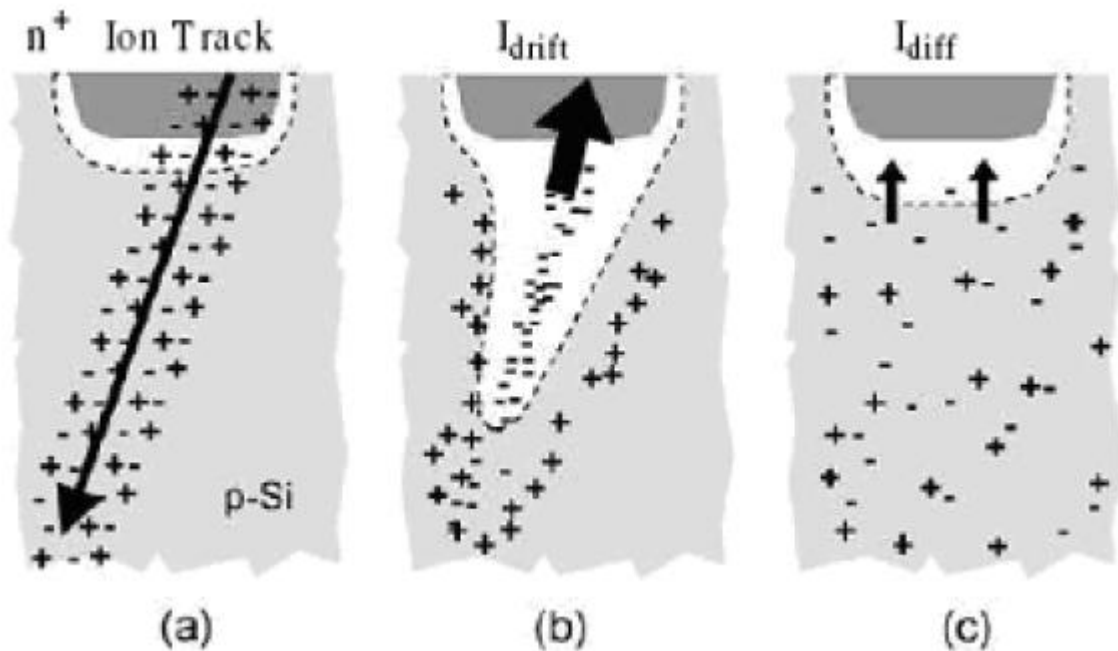
Os efeitos de eventos singulares (Single Event Effect - SEE) são causados pelo impacto de uma única partícula energética em um nó sensível de um CI. Esta colisão no circuito transfere energia para o material ionizando-o e gerando pares elétron-lacuna. Isto, em nível elétrico, gera um pulso de corrente. Esta corrente pode ser interpretada como um sinal e afetar o comportamento do dispositivo. O tempo de duração do pulso de corrente depende do tipo de partícula e sua energia, bem como da tecnologia e da região específica do circuito afetado (BALEN, 2010).

2.2.2.1. Geração do Pulso de Corrente

A junção PN do terminal do dreno dos transistores MOS em estado desligado, é a região com maior sensibilidade à colisão de partículas energéticas, produzidas pela radiação ionizante. (BAUMANN, 2001). Quando um íon energético colide com uma região sensível, é formada uma trilha cilíndrica de pares elétron-lacuna e uma elevada concentração de portadores, seguindo a passagem do íon (Figura 19.a), no momento em que a trilha de ionização resultante atravessa a região de depleção, são coletados rapidamente os portadores pelo campo elétrico, criando um pulso de corrente transiente neste nó. Este evento deforma a camada de depleção em formato de um funil. Este funil aumenta a eficiência da coleta de carga devido ao aumento da região de depleção dentro do substrato (Figura 19.b). O tamanho

deste funil é função da dopagem do substrato (o funil é maior para substratos menos dopados). A coleta de cargas ocorre dentro de 1ns e é seguida pela difusão das mesmas (Figura 19.c) (DE SOUZA FRANCK, 2011).

Figura 19. Junção P-N atingida por um íon: a) transferência de energia e formação do rastro de ionização, b) coleta de cargas por deriva com a camada de depleção deformada em formato de funil e c) coleta de cargas por difusão.



Fonte: BALEN (2010) e (DE SOUZA FRANCK, 2011)

A carga adicional é coletada enquanto os elétrons se difundem na região de depleção em uma escala de tempo longa (centenas de ns). Quanto mais distante da junção o evento ocorre, menor é a quantidade de carga que será coletada, diminuindo a probabilidade que a colisão íons cause uma falha (DE SOUZA FRANCK, 2011).

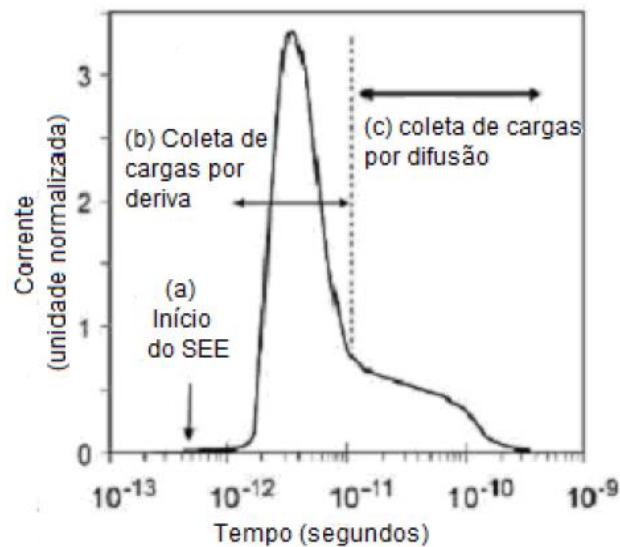
O modelo matemático do pulso de corrente gerado por um SEE é descrito na seguinte equação:

$$I_p(t) = I_0(e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (19)$$

Onde I_0 é aproximadamente o máximo valor da corrente resultante da coleta de cargas, τ_α é a constante de tempo relacionada à coleta de cargas pela junção e τ_β é a constante de

tempo relacionada ao estabelecimento do rastro de ionização deixado pelo íon incidente (BALEN, 2010).

Figura 20 – Pulso de corrente gerado por um SEE em função do tempo.



Fonte: BALEN (2010)

Os efeitos SEE provocam dois tipos de falhas nos dispositivos: permanentes (*hard errors*) ou não permanentes (*soft errors*). As falhas não permanentes caracterizam-se por não afetarem o funcionamento do CI a longo prazo, como inversões do valor de um bit (Single Event Upset - SEU) ou pulsos transitórios de corrente (Single Event Transient- SET) (HANNA BOTH, 2011). O SEU está relacionado à inversão de bits em elementos de memória, estes erros podem ter uma duração indefinida ou serem corrigidos após um ou mais ciclos de relógio. O SET causa um pulso de corrente em um dado ponto do circuito, que pode propagar-se, modificando a tensão de outros nós e a corrente em ambos os pontos do circuito (BALEN, 2010).

2.2.2.2. Efeitos SET e SEU

O que define o tipo do SEE é a região em que a partícula energética colide. Neste caso, a partícula pode colidir com uma região sensível da lógica combinacional ou com um elemento de memória. A região sensível é tipicamente o dreno de um transistor desligado. Quando uma partícula colide com o dreno de um transistor desligado PMOS de uma célula de memória SRAM, o pulso de transiente gerado pode aumentar o valor da tensão nó. Assim, esta alteração de tensão poderá ser interpretada como uma mudança do nível lógico de zero para um. Caso a partícula energética colida com o dreno de um transistor NMOS, o efeito é gerado

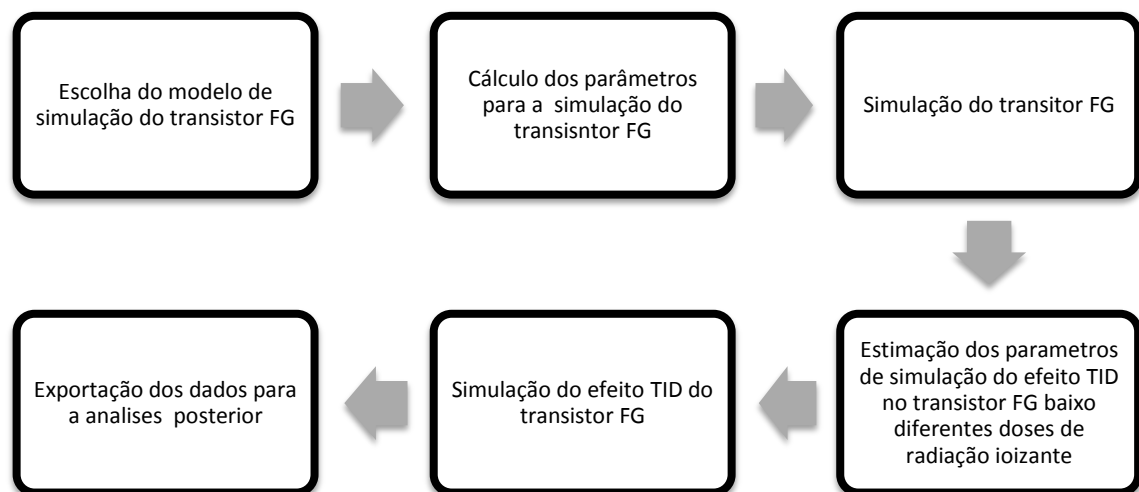
é inverso, sendo descarregado o nó associado ao dreno do transistor atingido. Em ambos os casos, o pulso de tensão induzido pode causar a inversão indesejada do valor lógico armazenado na célula de memória, ou seja, pode ocorrer um bit flip na célula de memória (DE SOUZA FRANCK, 2011). Este fenômeno é conhecido como SEU (Single Event Upset – SEU).

Quando uma partícula energética colide com uma região sensível de um circuito combinacional, é gerado um pulso de corrente, que se pode propagar no circuito. Este pulso de corrente gerado pelo SEE pode ser propagado até uma saída primária, podendo então ser capturado por um elemento de memória, e assim, ser interpretado como um valor lógico correto, gerando um erro no sistema. Neste caso, o fenômeno é denominado como evento singular transiente SET (Single Event Transient-SET). Existem três tipos de mascaramentos que podem impedir que o pulso gerado por um SET se propague pela lógica do circuito combinacional e atinja um elemento de memória: mascaramento lógico, mascaramento elétrico e mascaramento por latching window (DE SOUZA FRANCK, 2011) (BALEN, 2010).

3. METODOLOGIA DE SIMULAÇÃO

A simulação do modelo do transistor de porta flutuante e do seu efeito TID foi feita por etapas, que são descritas na Figura 21. Estas etapas compreendem desde a escolha do modelo de simulação do transistor de Porta Flutuante, até a exportação dos resultados das simulações.

Figura 21 – Procedimento usado para a simulação do modelo do transistor FG



3.1. ESCOLHA DO MODELO DE SIMULAÇÃO DO TRANSISTOR FG

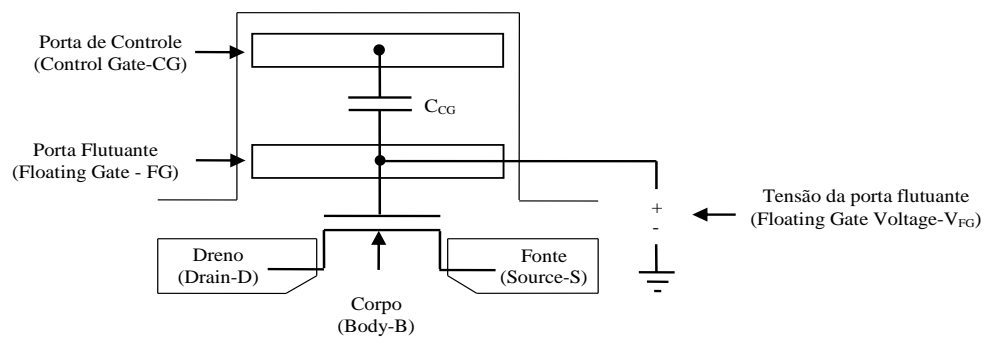
Para a simulação do transistor de porta flutuante, foi necessário procurar e escolher um modelo de simulação elétrico; para esta escolha levaram-se em conta os seguintes aspectos:

- O modelo representa o comportamento elétrico do dispositivo com suficiente acuidade, sem ser demasiado complexo para análises qualitativas do circuito (sem necessidade de simulação elétrica)
- O modelo não precise de um esforço computacional excessivo.
- O modelo deve ter convergência em condições DC.
- O modelo poder ser simulado usando elementos eletrônicos simples, como transistores, capacitores, fontes, entre outros.

Portanto, tendo em conta os aspectos descritos acima, o modelo escolhido para a simulação do transistor de porta flutuante é modelo baseado no cálculo da tensão FG (LUCA, PAVAN, *et al.*, 2002) (PAVAN, LARCHER e MARMIROLI, 2004) (Figura 22), este modelo

está composto por um capacitor conectado entre a porta de controle (CG) e o nó da porta flutuante (FG), um transistor MOS cujo terminal de porta está conectado ao nó da porta flutuante, e uma fonte de tensão controlada pela tensão conectada entre o nó da porta flutuante e a terra. Onde a fonte de tensão controlada pela tensão fornece a convergência na análise DC e permite realizar o cálculo da tensão limiar do transistor de porta flutuante tendo em conta o valor da carga armazenada no FG, as tensões nos terminais do transistor e os coeficientes de acoplamento capacitivo do transistor FG, para isto é usada a equação 11.

Figura 22 – Esquemático do modelo escolhido para a simulação do transistor FG.



Adaptação: (LUCA, PAVAN, *et al.*, 2002) (PAVAN, LARCHER e MARMIROLI, 2004)

3.2. CÁLCULO DOS PARÂMETROS PARA A SIMULAÇÃO DO TRANSISTOR FG

A estimação dos parâmetros para a simulação do modelo elétrico do transistor FG, não é uma tarefa simples. Para a simulação do modelo do transistor de porta flutuante, é preciso que os parâmetros de simulação (taxas de acoplamento do transistor, as tensões de polarização, as mudanças da tensão limiar, a carga armazenada na porta flutuante) sejam os mais próximos a os valores que apresentam os dispositivos de porta flutuante em sua forma física.

Para a isto, foram procurados os valores das taxas de acoplamento capacitivo, tendo em conta as seguintes características: espessura dos óxidos do interpoly e do túnel, a área normalizada da porta flutuante e a largura do canal, além disso, procurou-se que estes valores correspondam com as especificações dadas dos dispositivos irradiados na literatura (CELLERE e PACCAGNELLA, 2004) (CELLERE, PACCAGNELLA, *et al.*, 2004) (CELLERE, PACCAGNELLA, *et al.*, 2004).

Nas Tabelas 1e 2, são resumidos alguns parâmetros usados na manufatura do transistor de porta flutuante, e são especificados o ano de produção, o nó tecnológico, a largura física do

canal, as espessuras do óxido de porta e túnel, entre outros (RAGHUNATHAN, 2010) (International Technology Roadmap for Semiconductors, 2011). Em (RAGHUNATHAN, 2010) afirma-se que para uma boa operação de uma memória de porta flutuante é necessário que a taxa de acoplamento capacitivo entre a porta de controle e a porta flutuante seja maior a 0,6; este valor foi comprovado nas Tabelas 1 e 2, em que a taxa de acople da porta de controle oscila entre 0,6 e 0,7.

Tabela 1 – Parâmetros de manufatura para memórias não voláteis arquitetura NOR

| NOR FLASH | | | | |
|---|-----------|-----------|-----------|-----------|
| Year of production | 2009 | 2010 | 2011 | 2012 |
| NOR Flash technology node-F (nm) | 50 | 45 | 40 | 35 |
| Floating gate NOR Flash | | | | |
| Cell size – area factor in a multiples of F^2 | 9 - 11 | 9 - 11 | 9 – 11 | 9 – 11 |
| Gate length L_g physical (nm) | 110 | 110 | 120 | 110 |
| Tunnel oxide thickness (nm) | 8 - 9 | 8 - 9 | 8 – 9 | 8 – 9 |
| Interpoly dielectric material | ONO | ONO | ONO | ONO |
| Interpoly dielectric thickness EOT (nm) | 13 - 15 | 13 - 15 | 13 – 15 | 13 – 15 |
| Gate coupling ratio | 0.6 – 0.7 | 0.6 – 0.7 | 0.6 – 0.7 | 0.6 – 0.7 |
| Highest W/E voltage (V) | 7 - 9 | 7 – 9 | 7 – 9 | 7 – 9 |
| I_{read} (uA) | 21 – 75 | 20 - 26 | 19 – 25 | 17 – 22 |
| Endurance | 1,00E+05 | 1,00E+05 | 1,00E+05 | 1,00E+05 |

| | | | | |
|--|---------|---------|---------|---------|
| (erase/write cycles) | | | | |
| Nonvolatile data retention (years) | 10 – 20 | 10 – 20 | 10 – 20 | 10 – 20 |
| Maximum number of bits per cell (MLC) | 2 | 2 | 2 | 2 |
| Array architecture (with cell contact (CC) or virtual ground (VG)) | CC | CC | CC | CC |

Fonte: RAGHUNATHAN, 2010

Tabela 2 – Parâmetros de manufatura para memórias não voláteis arquitetura NAND NAND FLASH memories

| NAND FLASH memories | | | | |
|---|---------|---------|---------|---------|
| Year of production | 2009 | 2010 | 2011 | 2012 |
| NAND Flash technology node-F (nm) | 34 | 32 | 22 | 20 |
| Number of word lines in one NAND string | 64 | 64 | 64 | 64 |
| Cell type (FG, CT, 3D, etc.) | FG | FG | FG | FG |
| 3D NAND number of memory layers | 1 | 1 | 1 | 1 |
| Cell size – area factor in a multiples of F^2 SLC/MLC | 4.0/1.3 | 4.0/1.3 | 4.0/1.3 | 4.0/1.3 |
| Tunnel oxide thickness (nm) | 6 – 7 | 6 – 7 | 6 – 7 | 6 – 7 |
| Interpoly dielectric | ONO | ONO | ONO | ONO |

| | | | | |
|--|-----------|-----------|----------|--------------|
| material | | | | |
| Interpoly dielectric thickness EOT (nm) | 10 - 13 | 10 - 13 | 10 - 13 | 11 |
| Gate coupling ratio | 0.6 - 0.7 | 0.6 - 0.7 | 0.6 | 0.6 |
| Control gate material | n-poly | n-poly | n-poly | n-poly/metal |
| Highest W/E voltage (V) | 17 - 19 | 17 - 19 | 17 - 19 | 15 - 17 |
| Endurance (erase/write cycles) | 1,00E+05 | 1,00E+05 | 1,00E+04 | 1,00E+04 |
| Nonvolatile data retention (years) | 10 - 20 | 10 - 20 | 10 | 10 |
| Maximum number of bits per cell (MLC) | 3 | 3 | 3 | 3 |

Fonte: RAGHUNATHAN, 2010

Na literatura encontra-se que, para células de porta flutuante com um óxido de porta com espessura na faixa de 7nm até 20nm, o valor da capacitância da porta de controle é aproximadamente de 3fF (PAVAN, LARCHER e MARMIROLI, 2004).

Com isto é possível calcular o valor da capacitância total usando a equação 20.

$$\alpha_{CG} = \frac{C_{CG}}{C_{tot}} \rightarrow C_{tot} = \frac{C_{CG}}{\alpha_{CG}} \quad (20)$$

Assumindo que a taxa de acoplamento capacitivo na porta de controle é 0.7, temos a capacitância total aproximada de 4,28fF.

Na literatura afirma-se que os valores das taxas de acople capacitivo dos terminais de Dreno, Fonte e Corpo são muito pequenos em comparação com o a taxa de acople da porta de controle ($\alpha_D = 0.0068$; $\alpha_S = 0.0072$ e $\alpha_B = 0.0051$) (PAVAN, LARCHER e MARMIROLI, 2004) (RAGHUNATHAN, 2010) (RAPP, 2010).

Para estimar o valor da carga armazenada na porta flutuante, levou-se em conta que o desvio da tensão limiar nos dois estados de programação da célula de memória depende da

quantidade de carga armazenada e do valor da capacitância total da célula de memória ($\Delta V_{TH} = Q_{FG}/C_{tot}$), para um desvio na tensão limiar de 2V vai-se ter uma carga de 6fC para o estado “0” (programação), e de 0C para o estado “1”.

Conforme a Figura 22, o modelo também precisa de um transistor MOS, tendo em conta que a largura do canal dos transistores FG (Tabela 1) está em torno de 110nm a 120nm. Para esta simulação foi escolhido o modelo do transistor MOS 130nm BSIM4.

Na Tabela 3, há um sumário dos parâmetros estimados para esta simulação do transistor FG em condições DC.

Tabela 3 – Parâmetros usados para a simulação do transistor FG

| Capacitância Porta de Controle | 3fF | |
|---------------------------------------|-------------------|--------|
| Taxas de acople capacitivo | Porta de controle | 0.7 |
| | Dreno | 0.0068 |
| | Fonte | 0.0072 |
| | Corpo | 0.0051 |
| Carga armazenada | Programação | 6fC |
| | Apagado | 0C |
| Tecnologia do transistor MOS | 130nm | |

3.3. SIMULAÇÃO DO TRANSISTOR FG

Para a simulação do transistor FG foram usados os parâmetros fornecidos na Tabela 3. Estas simulações foram feitas em condições DC, onde a tensão da porta de controle estava na faixa de 0.5V até 2V, a tensão do dreno na faixa de 0V até 2V. Nestas simulações foram medidas a corrente no terminal do dreno e a tensão no nó da porta flutuante para os dois estados de programação do dispositivo.

3.4. ESTIMAÇÃO DOS PARÂMETROS DE SIMULAÇÃO DO EFEITO TID NO TRANSISTOR FG BAIXO DIFERENTES DOSES DE RADIAÇÃO IONIZANTE

Para a simulação do efeito TID no transistor de porta flutuante foram estimados os desvios da tensão limiar dos transistores FG submetidos à radiação ionizante registrados na

literatura onde a maioria dos dispositivos apresenta as características resumidas na Tabela 4 (BEZ, CAMERLENGHI, *et al.*, 2003) (CELLERE, PACCAGNELLA, *et al.*, 2004) (CELLERE, PACCAGNELLA, *et al.*, 2004) (GERALDI e PACCAGNELLA, 2010) (OLDHAM, CHEN, *et al.*, 2011) (OLDMAN, CHEN, *et al.*, 2012).

Tabela 4 – Características das memórias de porta flutuante submetidas à radiação ionizante

| | |
|--|----------------|
| Espessura do óxido do túnel | 8,5nm - 10,4nm |
| Espessura do ONO equivalente | 12,5nm – 15nm |
| Área normalizada da Porta Flutuante | 0.38 – 1 |
| Células por setor | 512k |
| Tecnologia | 34nm – 64nm |

Para a estimação de parâmetros de simulação do efeito TID, procuraram-se características físicas dos dispositivos irradiados na literatura que estivessem correlacionadas com as características do modelo do transistor FG simulado. A partir disto, foram estimados os desvios da tensão limiar do transistor FG, a corrente de fuga entre os terminais do dreno e a fonte para quatro doses de radiação diferente.

Tabela 5 – Parâmetros elétricos usados para a simulação do efeito TID no transistor FG

| Doses de Radiação (Krad) | Desvio do Vth para o estado “0” (V) | Desvio padrão (V) | Desvio do Vth para o estado “1” (V) | Desvio Padrão (V) | Corrente de fuga (A) |
|---------------------------------|--|--------------------------|--|--------------------------|-----------------------------|
| 0 | 0 | 1.2 | 0 | 1 | 0.7p |
| 1 | 0.5 | 1.4 | 0 | 1 | 0.7p |
| 10 | 0.7 | 1.4 | 0.1 | 1 | 0.7p |
| 100 | 1.6 | 1.6 | 0.5 | 0.7 | 4n |

3.5. SIMULAÇÃO DO EFEITO TID DOS TRANSISTORES FG

Para a simulação do efeito TID no transistor FG, levaram-se em conta os parâmetros fornecidos na Tabela 5 os quais foram simulados usando o método de Monte Carlo com 10.000 repetições. Assim como na simulação do modelo do transistor, a tensão na porta de controle estava na faixa de 0.5V até 2V, e a tensão do dreno estava na faixa de 0V até 2V.

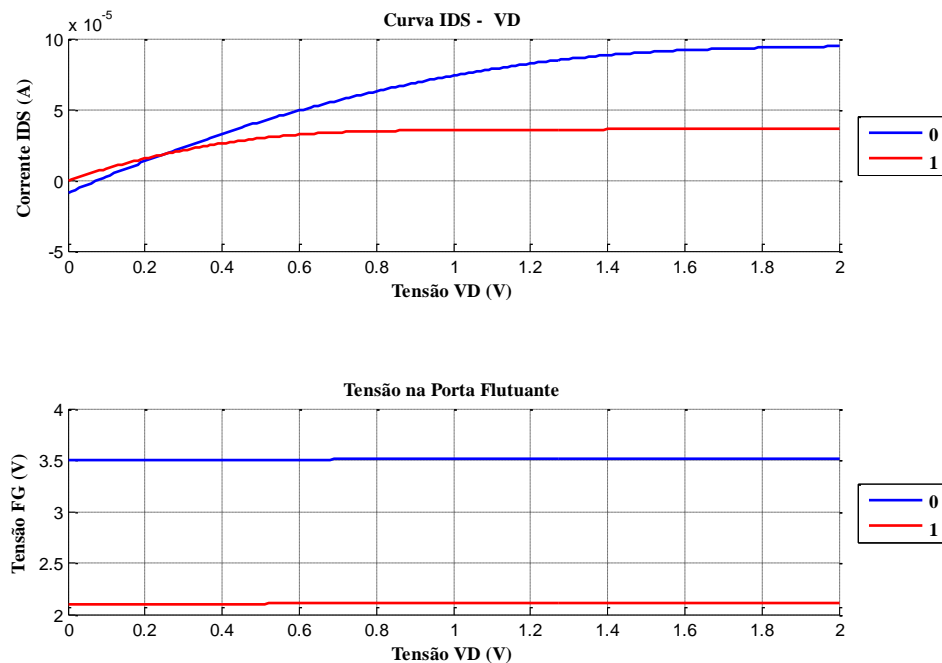
3.6. EXPORTAÇÃO DOS DADOS

Para uma melhor análise dos dados obtidos das simulações, estes foram exportados desde o simulador SPICE em arquivos de texto, e posteriormente importados no MATLAB para sua análise. No caso da análise dos dados obtidos da simulação do modelo, foram avaliadas as correntes IDS do transistor em função da tensão VD nos dois estados de programação da célula de memória FG. No caso da análise da radiação ionizante, foram feitos histogramas das correntes simuladas, e foram calculadas algumas medidas de dispersão como a média e a variância, para estes dados também foi importante ter clareza do estado de programação da célula simulada, devido ao fato de que o comportamento do transistor FG sob radiação ionizante depende do seu estado de programação.

4. RESULTADOS

A primeira parte do trabalho está focada na avaliação do modelo usado para a simulação do transistor de porta flutuante em condições DC, para isto foram medidas as correntes I_{DS} do transistor FG simulado e a tensão na porta flutuante nos dois estados de programação da célula de memória, usando o modelo baseado no calculo da tensão FG, para esta simulação foram usados e os parâmetros fornecidos na Tabela 3.

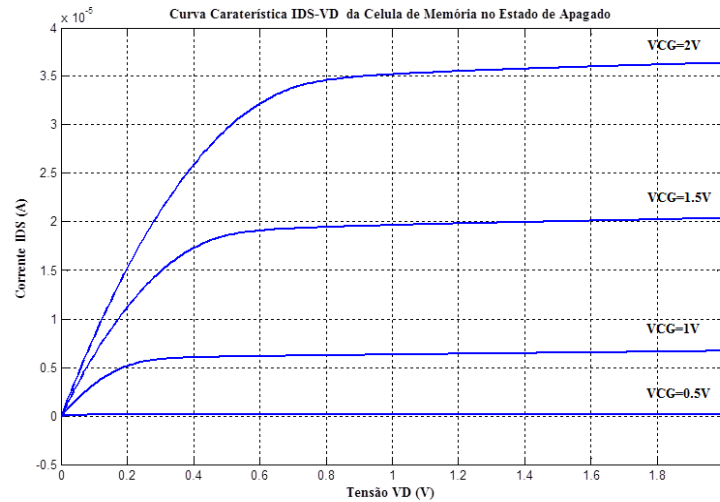
Figura 23 – Corrente I_{DS} (acima) e Tensão FG (abaixo) do modelo do transistor FG simulando os dois estados de programação. Aqui, a tensão na porta de controle deixou-se em um valor fixo de $V_{CG} = 2\text{ V}$



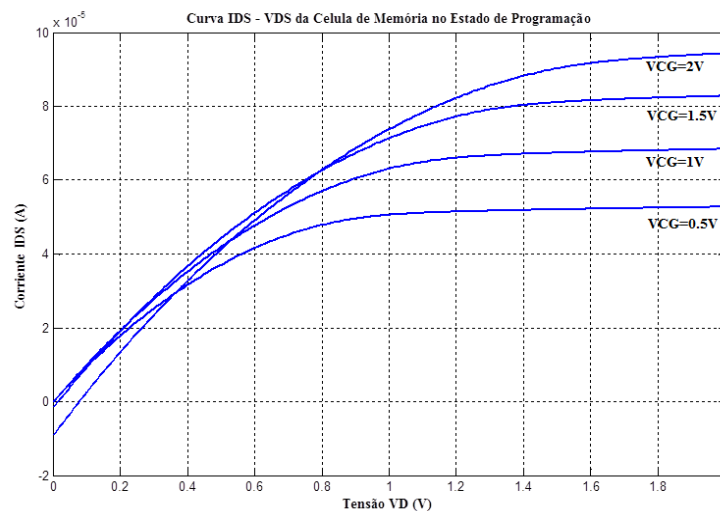
Na Figura 23, podem-se observar as correntes I_{DS} dos dois estados de programação, e suas respectivas tensões na porta flutuante. Para a avaliação do modelo considerou-se o deslocamento dos sinais de corrente e de tensão nos dois estágios de programação, onde foi observado que para o estado de apagado (estado “1”) a corrente I_{DS} ($V_D=2\text{V}$) é de $36,47\ \mu\text{A}$, com uma tensão na porta flutuante de $2,13\ \text{V}$, enquanto para o estado de programação da célula de memória (estado “0”), a corrente I_{DS} ($V_D=2\text{V}$) apresenta um valor de $94,51\ \mu\text{A}$ e uma tensão na porta flutuante de $3,51\ \text{V}$. Além disso, foi simulado o transistor FG com uma

tensão na porta de controle numa faixa de 0.5 V até 2 V. Na Figura 24 são mostradas as curvas características $I_{DS}-V_D$ obtidas desta simulação.

Figura 24 – Curvas de corrente $I_{DS}-V_D$ para tensões na porta de controle numa faixa de 0.5V até 2V. a) estado de apagado. b) estado de programação



a



b

É importante esclarecer que o modelo usado possui algumas limitações relacionadas à precisão no cálculo da tensão na porta flutuante, já que para este cálculo é necessário conhecer os valores dos coeficientes de acople capacitivo, os quais não podem ser estimados diretamente na célula de memória de porta flutuante, onde a extração destes coeficientes de acople é feita mediante a avaliação da relação entre a tensão limiar, o ganho e a transcondutância do transistor FG, o que pode produzir erros devidos à estimação destes coeficientes.

Com isto, pode-se afirmar que o modelo consegue fazer uma representação aproximada do comportamento do transistor FG em condições DC, onde é possível distinguir entre os dois estados de programação graças ao deslocamento das correntes I_{DS} , sem a necessidade grande esforço computacional usando elementos eletrônicos simples.

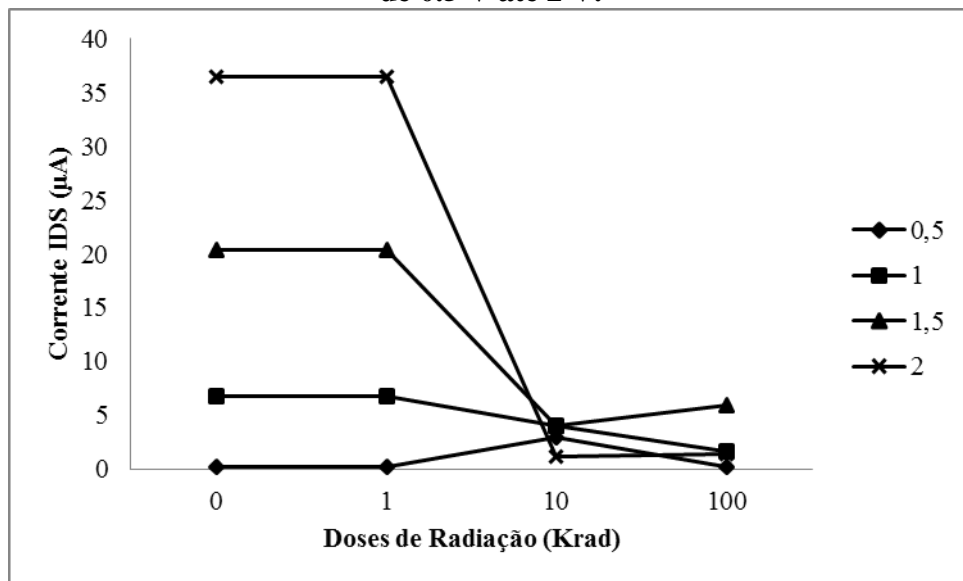
As simulações do efeito TID sobre o modelo do transistor FG foram feitas tendo em conta os dados fornecidos na Tabela 5, onde se usou o método de simulação de Monte Carlo, o qual variou a tensão limiar do transistor MOS (faz parte do modelo de simulação do transistor FG), tendo em conta os desvios da tensão limiar que apresentam os dispositivos de porta flutuante submetidos à radiação ionizante registrados na literatura. Nas Tabelas 6 e 7, são sumarizados os dados obtidos das simulações do efeito TID do modelo de transistor FG sob várias doses de radiação, diferenciando os dois estados de programação da célula de memória FG. Estas tabelas apresentam os valores médios das correntes I_{DS} ($V_D=2V$) e os desvios padrão que apresentaram estas correntes nos dois estados de programação e sob 4 valores diferentes de tensão na porta de controle.

Tabela 6 – Dados obtidos da simulação do efeito TID do transistor FG no estado de apagado (estado “1”, $Q=0C$), variado a tenção na porta de controle em uma faixa de 0,5V até 2V

| Tensão $V_{CG}=0,5V$ | | |
|--|--|--------------------------------------|
| Doses de Radiação (Krad) | Corrente Media I_{DS} (μA) | Desvio Padrão da corrente (A) |
| 0 | 0,18 | 2,45e-20 |
| 1 | 0,18 | 2,45e-20 |
| 10 | 2,99 | 6,65e-6 |
| 100 | 0,26 | 1,67e-6 |
| Tensão $V_{CG}=1V$ | | |
| 0 | 6,73 | 5,96e-19 |
| 1 | 6,73 | 5,96e-19 |
| 10 | 4,04 | 2,78e-6 |
| 100 | 1,68 | 4,86e-6 |
| Tensão $V_{CG}=1,5V$ | | |
| 0 | 20,4 | 3,05e-18 |
| 1 | 20,4 | 3,05e-18 |
| 10 | 4,07 | 2,79e-6 |

| | | |
|--|------|----------|
| 100 | 5,90 | 9,66e-6 |
| Tensão $V_{CG} = 2V$ | | |
| 0 | 36,5 | 5,70e-18 |
| 1 | 36,5 | 5,70e-18 |
| 10 | 1,17 | 2,94e-7 |
| 100 | 1,36 | 1,46e-5 |

Figura 25 – Correntes I_{DS} do transistor FG no estado de apagado (estado “1”, $Q=0C$) em função da dose de radiação, com valores de tensão na porta de controle em uma faixa de 0,5 V até 2 V.



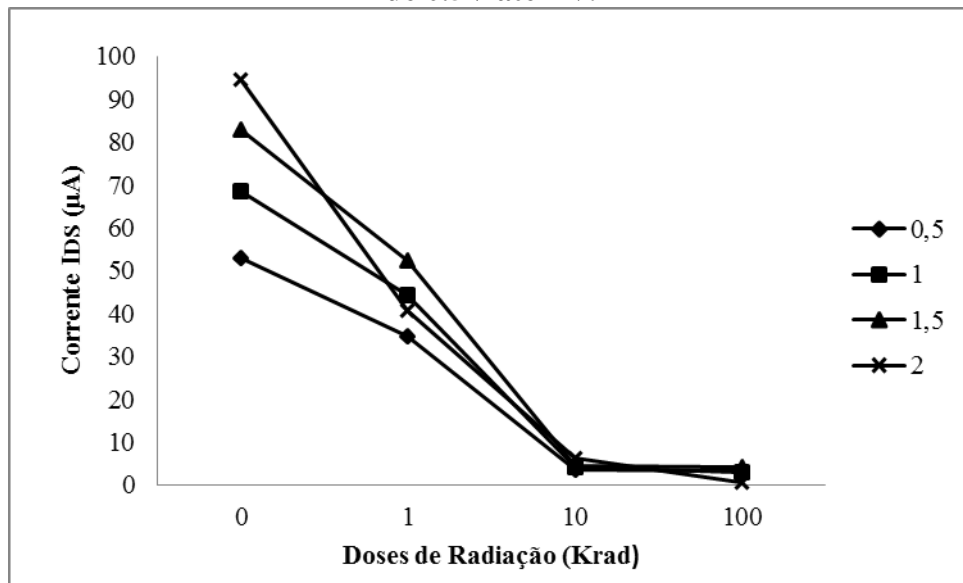
Na Figura 25, são representadas as correntes I_{DS} em função da dose de radiação ionizante, para o transistor FG no estado de apagado (estado “1”) com vários valores de tensão na porta de controle, aqui se observou que os valores das correntes I_{DS} tendem para um valor na faixa de 0,26 μA até 5,90 μA para todos os valores da tensão na porta de controle.

Tabela 7 – Dados obtidos da simulação do efeito TID do transistor FG no estado de programação (estado “0”, $Q=6fC$), variado a tenção na porta de controle em uma faixa de 0,5V até 2V

| Tensão $V_{CG} = 0,5V$ | | |
|--|--|--------------------------------------|
| Doses de Radiação (Krad) | Corrente Media I_{DS} (μA) | Desvio Padrão da corrente (A) |
| 0 | 52,9 | 6,94e-18 |
| 1 | 34,8 | 4,24e-5 |
| 10 | 3,50 | 5,10e-5 |
| 100 | 3,13 | 6,01e-5 |
| Tensão $V_{CG} = 1V$ | | |
| 0 | 68,6 | 5,31e-18 |
| 1 | 44,4 | 4,41e-5 |
| 10 | 4,09 | 5,018e-5 |
| 100 | 2,92 | 5,30e-5 |
| Tensão $V_{CG} = 1,5V$ | | |
| 0 | 83 | 1,34e-17 |
| 1 | 52,3 | 4,20e-5 |
| 10 | 4,48 | 4,58e-5 |
| 100 | 4,02 | 4,52e-5 |
| Tensão $V_{CG} = 2V$ | | |
| 0 | 94,5 | 1,26e-17 |
| 1 | 40,7 | 3,60e-5 |
| 10 | 6,15 | 3,89e-5 |
| 100 | 0,62 | 4,16e-5 |

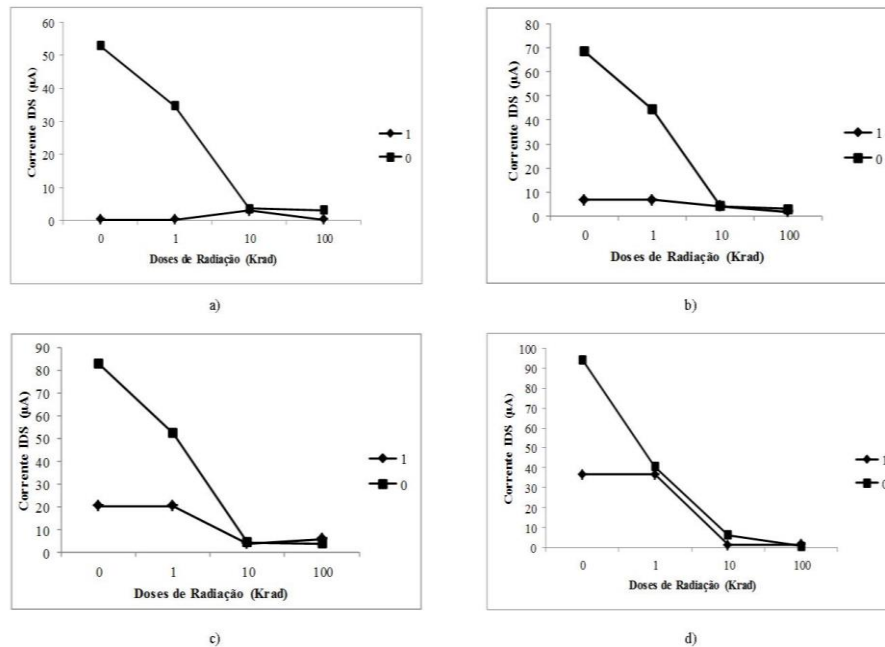
De forma similar, na Figura 26, foram plotados os valores das correntes I_{DS} fornecidos na Tabela 7, estes valores representam a mudança da corrente I_{DS} do transistor FG no estado de programação (estado “0”) ao estar sob a influência da radiação ionizante. Nesta figura, observou-se que a corrente I_{DS} sofre um comportamento semelhante ao apresentado na **Figura 25**, onde à medida que incrementa as doses de radiação, a corrente diminui até ficar na faixa de 0.62 μA até 4,02 μA .

Figura 26 – Correntes IDS do transistor FG no estado de programação (estado “0”, $Q=6fC$) em função da doses de radiação, com valores na porta de controle em uma faixa de 0.5V até 2V.



Na Figura 27, foram plotados os valores das correntes IDS do transistor FG para os dois estados de programação, cada gráfica apresenta os valores obtidos na simulação para diferentes valores de tensão na porta de controle. Aqui se podem observar as mudanças da corrente IDS na medida em que incrementa a dose de radiação. Em todas as seções da figura, comprovou-se que a variação da corrente IDS é maior para o transistor programado no estado 0 em comparação ao programado no estado 1, isto é consequência da perda de carga que apresenta a porta flutuante, dada pela geração, recombinação e foto emissão de carga no transistor FG, onde na medida em que incrementa a dose de radiação, a perda de carga chega a ser tão alta que não é possível ter certeza do estado inicial de programação do transistor FG. Na Figura 27, seções a), b) e c), observou-se que este fenômeno manifesta-se a partir dos 10krad, e segue à medida que incrementa a doses de radiação, mas para o caso do transistor FG simulado com uma tensão na porta de controle de 2V (Figura 27.d), a perda de carga na porta flutuante a uma dose de radiação de 1Krad é tão alta que poderia ser interpretada como um erro.

Figura 27 – Curvas IDS do transistor FG nos dois estados de programação em função da doses de radiação. a) $V_{cG}=0.5V$, b) $V_{cG}=1V$, c) $V_{cG}=1.5V$ e d) $V_{cG}=2V$.



Este fenômeno é considerado como uma falha devida a uma mudança no estado de programação da célula de memória, a qual sempre acontece na direção de “0” para “1”, comprometendo a retenção dos dados e a confiabilidade do dispositivo. Já que a operação de leitura poderá fornecer dado incorreto. Este evento tem sido reportado por vários autores. No caso de (CELLERE, PACCAGNELLA, *et al.*, 2005) (CELLERE, PACCAGNELLA, *et al.*, 2007), esta falha acontece em células de memória irradiadas a uma dose de 90krad. Em (BAGATIN, GERARDIN, *et al.*, 2009) este evento ocorre a partir de uma dose de 85krad. Em (BAGATIN, GERARDIN, *et al.*, 2011) esta falha é detectada a partir dos 30Krad. Estas falhas também são registradas em (BAGATIN, M. *et al.* 2010), (OLDHAM, T. R. *et al.* 2011) e (OLDHAM, T. R. *et al.* 2012). De acordo com os resultados obtidos no presente trabalho, foi possível realizar uma modelagem adequada do efeito TID sobre os transistores de porta flutuante, observando o fenômeno de inversão de bits em direção de 0 a 1 ao incrementar a dose de radiação, produto da perda de carga armazenada na porta flutuante graças aos processos de recombinação e foto emissão produzidos pela radiação ionizante. Porém, os resultados encontrados diferem dos descritos na literatura, em relação a dose de radiação na qual apresenta-se a inversão de bits. Neste trabalho esta inversão evidencia-se a uma dose de

10Krad enquanto que, na literatura, este fenômeno é registrado em uma faixa de 30Krad a 90Krad. Esta diferença pode ser atribuída a incertezas no momento de estimar na estimativa dos parâmetros de simulação do efeito TID (desvio da tensão limiar em função da perda de carga armazenada na porta flutuante). Observe-se que os artigos que reportam o comportamento do transistor de porta flutuante sob TID não informam todos os parâmetros necessários à simulação, de forma que foi necessário recorrer a diferentes autores para obter todos os parâmetros necessários à simulação. Para uma maior concordância entre os resultados simulados e os reportados na literatura, poderia procurar-se um procedimento diferente para estimar o desvio de a tensão limiar do transistor de porta flutuante usado nas simulações do efeito TID no dispositivo. Este processo de estimação da tensão limiar poderia ser a partir de uma taxa de perda de carga da porta flutuante estimada a partir da dose de radiação, onde posteriormente poderia calcular-se o desvio da tensão limiar em função das mudanças da carga armazenada na porta flutuante.

CONCLUSÕES

Neste trabalho de dissertação foi desenvolvida uma metodologia para simular uma célula de memória de porta flutuante, e foi feita a análise do efeito TID na célula simulada. Inicialmente, poderia se dizer que o modelo usado para a simulação do transistor FG consegue representar de forma adequada o comportamento que apresenta o dispositivo experimentalmente na literatura, esta afirmação é suportada pelas curvas de corrente IDS e a tensão FG apresentadas na Figura 23, os quais foram os resultados obtidos das simulações feitas sobre o modelo descrito na seção 1.3.3. desta dissertação. Mesmo que o modelo consiga fazer uma representação adequada da célula de memória, este apresenta algumas limitações relacionadas à extração e estimação dos parâmetros de simulação, os quais influenciam a acuidade do cálculo da tensão da porta flutuante, e, se estes parâmetros não forem corretamente estimados, a simulação apresentará um erro no cálculo da tensão na porta flutuante, sendo este erro propagado a todas as variáveis de interesse. Por outro lado, este modelo apresenta a vantagem de ser fácil de implementar em simuladores SPICE, exibindo eficiência computacional, uma boa representação quantitativa do comportamento básico da célula de memória e convergência em condições de leitura (análises DC).

Para o caso da avaliação do efeito TID, foi observado que é possível fazer a simulação deste efeito mediante as mudanças da tensão limiar do transistor MOS do modelo de simulação do transistor FG, para isto consideraram-se as mudanças da tensão limiar que apresentam os dispositivos FG devidas à geração, à recombinação e à foto-emissão de carga que acontece nos transistores FG como consequência do efeito TID. Com esta avaliação, comprovaram-se os problemas de retenção de carga que podem apresentar os dispositivos de porta flutuante e foram observadas mudanças de estados de programação sempre na direção do estado “0” para “1”, como resultado da degradação na tensão limiar da célula de memória. Esta degradação também pode ser devida à criação de defeitos no óxido do transistor FG, os quais podem gerar caminhos de condução comprometendo a retenção de carga do dispositivo.

Porém, ainda é cedo para dizer que a técnica usada para fazer a simulação elétrica do efeito TID em transistores FG seja a melhor, pode-se ver que ela forneceu uma boa aproximação em comparação aos resultados experimentais achados na literatura.

Finalmente, pode-se afirmar que o modelo de simulação elétrica usado para a representação do comportamento do transistor FG consegue fazer uma reprodução aproximada do comportamento básico do dispositivo de porta flutuante, desde que os parâmetros usados

para a execução deste modelo sejam estimados corretamente, para o caso da avaliação do efeito TID nestes transistores, foi possível corroborar o comportamento registrado na literatura, em que a degradação da tensão limiar produto da perda de carga na porta flutuante do transistor FG produz uma falha do dispositivo.

Como sugestão para trabalhos futuros, inclui simular um bloco de memória não volátil, arquitetura NOR ou NAND usando o modelo de simulação elétrica empregado neste trabalho, e avaliar o efeito TID no mesmo, com o alvo de corroborar o modelo e a técnica de simulação do efeito TID em células de memória de porta flutuante.

REFERÊNCIAS

- ARMAGH **Observatory**. Disponível em: <<http://www.arm.ac.uk/climate/intro.html>>. Acesso em: 17 Apr. 2013.
- BAGATIN, M. et al. Error Instability in Floating Gate Flash Memories Exposed to TID. **IEEE Transactions on Nuclear Science**, [S.1], v. 56, n. 6, p. 3267-3273, Dec. 2009.
- BAGATIN, M. et al. Increase in the Heavy-Ion Upset Cross Section of Floating Gate Cells Previously Exposed to TID. **IEEE Transactions on Nuclear Science**, [S.1], v. 57, n. 6, p. 3407-3413, Dec. 2010.
- BAGATIN, M. et al. Effect of Total Ionizing Dose on The Retention of 41-nm NAND Flash Cells. **IEEE Transactions on Nuclear Science**, [S.1], v. 58, n. 6, p. 2824-2829, Dec 2011.
- BALEN, R. **Efeitos da Radiação em Dispositivos Análogos Programáveis (FPAAs) e Técnicas de Proteção**. 2010. 206 p. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.
- BARTH, J. L.; DYER, C. S.; STASSINOPOULOS, E. G. Space, Atmospheric, and Terrestrial Radiation Environments. **IEEE Transactions on Nuclear Science**, [S.1], v. 50, n. 3, p. 466-482, June 2003.
- BAUMANN, R. C. Soft Errors in Advanced Semiconductor Devices-Part I: The Three Radiation Sources. **Devices and Materials Reliability**, [S.1], v. 1, n. 1, p. 17-22, Mar. 2001.
- BEZ, R. et al. Introduction to Flash Memory. **Proceedings of IEEE**, [S.1], v. 91, n. 4, p. 489 - 502, Apr. 2003.
- BOUDENOT, C. Radiation Space Environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007.
- BREWER, E.; GILL, M. **NonVolatile Memory Technologies with Emphasis on Flash: A Comprehensive Guide to Understanding and Using NVM Devices**. New Jersey: IEEE PRESS, 2008.
- CELLERE, G. et al. A Model for TID Effects on Floating Gate Memory Cells. **IEEE TRANSACTIONS ON NUCLEAR SCIENCE**, [S.1], v. 51, n. 6, p. 3753-3758, Dec. 2004.
- CELLERE, G. et al. Ionizing Radiation Effects on Floating Gates. **Applied Physics Letters**, [S.1], v. 85, n. 3, p. 485-487, July 2004.
- CELLERE, G.; PACCAGNELLA, A. A Review of Ionizing Radiation Effects in Floating-Gate Memories. **IEEE transactions on Devices and Materials Reliability**, [S.1], v. 4, n. 3, p. 359-370, Sept. 2004.

CELLERE, G. et al. Effect of Different Total Ionizing Dose Sources on Charge Loss From Programmed Floating Gate Cells. **IEEE Transactions on Nuclear Science**, [S.1], v. 52, n. 6, p. 2372-2377, Dec. 2005.

CELLERE, G. et al. Total Ionizing Dose Effects in NOR and NAD Flash Memories. **IEEE Transactions on Nuclear Science**, [S.1], v. 54, n. 4, p. 1066-1070, Aug. 2007.

COSMIC Ray. Disponível em: <<http://www.cosmicray.com/>>. Acesso em: 10 Maio 2013.

SOUZA, F. **Avaliação de Atraso, Consumo e Proteção de Somadores Tolerantes a Falhas**. 2011. 165p. Dissertação (Mestrado em Microeletrônica) –Universidade Federal do Rio Grande do Sul, Porto Alegre, 2011.

DIORIO, C. et al. A Single Transistor Silicon Synapse. **IEEE Transactions on Electron Devices**, [S.1], v. 43, n. 11, p. 1 - 9, Nov. 1996.

GERALDI, S.; PACCAGNELLA, A. Present and Future Non - Volatile Memories for Space. **IEEE Transactions on Nuclear Science**, [S.1], v. 57, n. 6, p. 3016 - 3039, Dec. 2010.

HANNA BOTH,. **Análise de Falhas em Uma Memória PSRAM por Efeitos de Dose Total Ionizante**. 2011. 48 p. Trabalho de Conclusão de Curso (Graduação em Engenharia Elétrica) – Universidade Federal do Rio Grande do Sul, Porto Alegre, 2011.

HUGHES, H. L.; BENEDETTO, J. M. Radiation Effects and Hardening of MOS Technology: Devices and Circuits. **IEEE Transactions on Nuclear Science**, [S.1], v. 50, n. 3, p. 500-522, June 2003.

INTERNATIONAL Technology Roadmap for Semiconductors, 2011. Disponível em: <<http://www.itrs.net/about.html>>. Acesso em: 20 Jan. 2013.

KANG, K.; SZE, S. M. A Floating Gate and Its Applications to Memory Devices. **IEEE Transactions on Electronic Devices**, [S.1], v. 14, p. 629, 1967.

LUCA, L. et al. A New Model Compact DC Model of Floating Gate Memory Cells Without Capacitive Coupling Coefficients. **IEEE TRANSACTIONS ON ELECTRON DEVICES**, [S.1], v. 49, n. 2, p. 301-307, Feb. 2002.

MAVROMICHALAKI, H. et al. Cosmic Ray Radiation Effects on Space Environment Associated to Intense Solar and Geomagnetic Activity. **IEEE Transactions on Nuclear Science**, [S.1], v. 54, n. 4, p. 1089-1096, Aug. 2007.

MONDRAGÓN, F.; SCHNEIDER, M. C.; SÁNCHEZ-SINENCIO, E. Extration of Electrical Parameters of Floating Gate Devices for Circuit Analysis, Simulation, and Desing. **Circuits and Systems**, [S.1],v. 1, p. I-311 - I-314, 2002.

OLDHAM , T. R. et al. Effect of radiation exposure on the retention of commercial NAND Flash Memory. **IEEE TRANSACTIONS ON NUCLEAR SCIENCE**, [S.1], v. 58, n. 6, p. 2904-2910, Dec. 2011.

OLDHAM, T. R. et al. Retention Characteristics of Commercial NAND Flash Memory After Radiation Exposure. **IEEE Transactions on Nuclear Science**, [S.1], v. 59, n. 6, p. 3011-3015, Dec. 2012.

PAVAN , P. et al. Flash Memory Cells - An Overview. **Proceeding IEEE**, [S.1], v. 85, n. 8, p. 1248 - 1271, Aug. 1997.

PAVAN, P.; LARCHER , L.; MARMIROLI, A. **Floating Gate Devices: Operation and Compact Modeling**. New York: Kluwer Academic Publishers, 2004.

RAGHUNATHAN, S. **Scale Planar Floating-Gate NAND Flash Memory Technology: Challenges and Novel Solutions**. 2010. 173 p. Dissertation (Doctor of Philosophy of Electrical Engineering) – Stanford University, Stanford, 2010.

RAHIMI, K. et al. A Simulation Model for Floating Gate MOS Synapse Transistors. **Proceedings of International Symposium on Circuit Systems**, [S.1], v. 2, p II 532 – II-535, 2002.

RAPP, S. J. **A comprehensive Simulation Model for Floating Gate Transistor**. 2010. 53 p, Thesis (Master of Science in Electrical Engineering) – West Virginia University, Morgantown, 2010.

SÁNCHEZ-SINENCIO, E. **Analog and Mixed-Signal center**. Disponível em: <<http://amesp02.tamu.edu/~sanchez/607-2010-Floating%20Gate%20Circuits.pdf>>. Acesso em: 17 Nov. 2012.

SCHWANK, J. S. et al. Radiation Effects in MOS Oxides. **IEEE Transactions on Nuclear Science**, [S.1], v. 55, n. 4, p. 1833 – 1853, Aug. 2008.

SNYDER , E. S. et al. Radiation Response of Floating Gate EEPROM Memory Cells. **IEEE Transactions on Nuclear Science**, [S.1], v. 36, n. 6, p. 2131-2139, Dec. 1986.

YIN, L.; EMBABI, S. H. K.; SÁNCHEZ SINENCIO , E. A Floating-Gate MOSFET D/A Converter. **IEEE International Symposium on Circuit and Systems**, Hong Kong, v. 1, p 409-412, June 1997.