

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

JOSÉ EDUARDO PEREIRA SOUZA

**PROPOSTA DE FILTRAGEM ADAPTATIVA DE PULSOS
TRANSIENTES PARA PROTEÇÃO DE CIRCUITOS
INTEGRADOS SOB EFEITO DA RADIAÇÃO**

Dissertação apresentada como requisito parcial
para a obtenção do grau de Mestre em
Microeletrônica.

Prof. Dra. Fernanda Lima Kastensmidt
Orientadora

Porto Alegre, 2013.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA
INSTITUTO DE INFORMÁTICA

JOSÉ EDUARDO PEREIRA SOUZA

**Proposta de filtragem adaptativa de pulsos
transientes para proteção de circuitos
integrados sob efeito da radiação**

Dissertação apresentada como requisito parcial
para a obtenção do grau de Mestre em
Microeletrônica.

Prof. Dra. Fernanda Lima Kastensmidt
Orientadora

Porto Alegre, 2013

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Souza, José Eduardo Pereira

Proposta de Filtragem Adaptativa de Pulsos Transientes para Proteção de Circuitos Integrados sob Radiação / José Eduardo Pereira Souza. – Porto Alegre: Programa de Pós-Graduação em Microeletrônica, 2013.

85 f.:il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2013. Orientador: Fernanda Gusmão de Lima Kastensmidt.

1. Efeitos da Radiação em Circuitos Integrados. 2. Filtragem temporal de pulsos de SET. 3. Circuito de Atraso Configurável. 4. Taxa de Erro de Software. I. Kastensmidt, Fernanda Gusmão de Lima. II. Aplicação da Filtragem Temporal Adaptativa para Proteção a Pulso de SET.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Aldo Bolten Lucion

Diretor do Instituto de Informática: Prof. Flávio Rech Wagner

Coordenador do PGMICRO: Prof. Ricardo Reis

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

Agradecimentos

Quando eu iniciei o mestrado, eu tinha um plano, uma meta e um prazo estabelecido para fazer a defesa e me encaminhar para novos rumos como, por exemplo, sempre pensei em fazer um doutorado e trabalhar fora do país por um tempo. Entretanto alguns acontecimentos apareceram e mudaram os rumos, planos, metas e os prazos. Mas, o mais engraçado é que o encaixe deste acontecimentos, os quais considero maravilhas, ocorreram de forma tão natural que hoje dá trabalho lembrar qual era o plano original.

Esta dissertação que escrevo já não é apenas para mim, como considerava no início. Hoje este trabalho representa não apenas novas ideias e contribuições, mas posso considerá-lo como um presente que dedico a saudade da minha mãe e do meu irmão que estão longe (Bahia) e a minha mulher Priscila Gonçalves e minha filha Julia. Posso considerá-lo também como o meio de uma maratona, aquele instante que você sabe que já correu bastante, mas ainda está longe da bandeirada final.

Portanto, hoje eu quero agradecer a todos que, de uma forma ou outra, me ajudaram nessa caminhada, em especial a Deus por me iluminar e me dar forças e sabedoria em todos os momentos. À minha mãe, Fred, irmão, avós, tios e família. À Priscila e Julia pela paciência nas horas que não estive presente. Agradecer à minha Sogra (D. Neusa), Sr. Silvio, minha cunhadinha Joseane, Brayan e Cesar que me acolheram de braços abertos. Aos amigos que fiz em Porto Alegre, em especial, aos amigos de apartamento: Antônio Felipe, Miltinho, Diozênio, Zezinho, Acácio e David. Aos amigos de laboratório da UFRGS William, Lucas, Anelise, André, Leo, Eduardo Chielle, Jorge, Raul, Samuel e tantos outros. Aos amigos da empresa PARKS S/A que desde a minha chegada conseguiram entender a importância deste mestrado para mim. E queria agradecer em especial à minha orientadora Fernanda Kastensmidt que está comigo desde o começo e sempre me ajudou principalmente em seus “rabiscos” no laboratório cheios de ideias que me guiaram a transformá-lo neste trabalho que lhes apresento.

Proposal Adaptive Filtering of Transient Pulse for Protect the Integrated Circuit in Radiation Effect

ABSTRACT

This dissertation proposes the use of an adaptive filtering technique of transient pulses in order to protect the integrated circuit under the effect of radiation. To ensure this technique it is necessary to use a tolerant radiation flip-flop having the ability to have a configurable delay adjustment. The purpose of the use a programmable radiation hardened flip-flop is having option of to select the most appropriate delay in the SET temporal filtering for each flip-flop in a circuit. Thus, each flip-flop can filter SETs by using different delays based on the propagation-delay of its logical path. The propagation-delay variances among multiple paths can be used to increase or reduce the delay of the SET filtering.

This approach was validated in a case-study by electrical simulation with injection of thousands of SET pulses of different widths, which were randomly injected in a circuit with adaptive filtering technique and the results showed efficient use of this SET filtering technique in integrated circuits.

In order to maximize the results of this technique a new programmable delay element was developed and inserted into the flip-flop. This approach of the new element was validated in a second case-study, using a set of benchmark circuits from ISCAS'85 was also evaluated by injecting faults. Results showed that using the proposed method, the number of errors can be reduced without decreasing the performance and with low area overhead.

Keywords: Radiation Effects in Circuit Integrated, SET pulse Temporal Filtering, Configurable Delay Circuit, Soft Error Rate.

Proposta de Filtragem Adaptativa de Pulsos Transientes para Proteção de Circuitos Integrados sob Efeitos da Radiação

RESUMO

Esta dissertação propõe a utilização da técnica de filtragem adaptativa de pulsos transientes de modo a proteger os circuitos integrados sob efeito da radiação ionizante. Para garantir o uso desta técnica é necessária a utilização de um flip-flop tolerante à radiação que possua a capacidade de ter um ajuste de atraso configurável. O objetivo do uso do flip-flop programável é ter a opção de selecionar o atraso mais apropriado para filtragem temporal de pulsos de SET para cada circuito. Sendo assim, cada flip-flop pode filtrar SETs pelo uso de diferentes atrasos, baseado no atraso de propagação de cada caminho lógico. A variação nos atrasos de propagação entre múltiplos caminhos combinacionais pode ser usada para aumentar ou reduzir o atraso da filtragem de SET.

Esta abordagem foi validada com o estudo de caso através de simulação elétrica e pela injeção de milhares de pulsos de SET com diferentes larguras em um circuito com filtragem adaptativa de pulsos tolerantes, os quais foram injetados de forma randômica no circuito. Os resultados mostraram o uso eficiente desta técnica de filtragem de SET em circuitos integrados.

De modo a maximizar os resultados, um novo elemento de atraso programável foi desenvolvido e inserido no flip-flop. Para validação deste novo elemento, um segundo estudo de caso, utilizando o conjunto de circuitos dos benchmarks do ISCAS'85 foi também avaliado com a injeção de falhas. Os resultados mostraram que o uso do método proposto, reduz o número de erros sem perda de desempenho e com baixo incremento de área.

Palavras-Chave: Efeitos da Radiação em Circuitos Integrados, Filtragem Temporal de pulsos de SET, Circuito de Atraso Configurável, Taxa de Erro.

LISTA DE ABREVIATURAS E SIGLAS

CDE	Configurable Delay Element
CMOS	Complementary Metal-Oxide-Semiconductor
DICE	Dual Interlocked Storage Cell
DF	Delay Filter
HIT	Heavy Ions Tolerant
LET	Linear Energy Transfer
MS	Master-Slave
MSFF	Master-Slave Flip-Flop
NMOS	N-channel Metal-Oxide-Semiconductor
PMOS	P-channel Metal-Oxide-Semiconductor
PTM	Predictive Technology model
RHBD	Radiation Hardening by Design
SEE	Single Event Effect
SER	Soft Error Rate
SET	Single Event Transient
SEU	Single Event Upset
SRAM	Static Random-Access Memory
TDFD	Temporal-Dice Flip-Flop
TID	Total Ionizing Dose
TMR	Triple Modular Redundancy
TP	Time Propagation
TSPC	True Single Phase Clock

LISTA DE FIGURAS

<i>Figura 1.1: Célula de memória afetada por um SEU.....</i>	<i>14</i>
<i>Figura 1.2: Efeitos de um pulso de SET em portas lógicas combinacional e elementos de memória, flip-flop conectados a lógica combinacional</i>	<i>14</i>
<i>Figura 2.1: Geração de pares elétrons e lacunas quando atingindo por uma partícula carregada.....</i>	<i>18</i>
<i>Figura 2.2: Representação Genérica de um pulso de Corrente.....</i>	<i>20</i>
<i>Figura 2.3: Modelo da forma de onda do pulso de transitório SET e a representação do mesmo modelo no nível lógico</i>	<i>20</i>
<i>Figura 2.4: Célula de memória com resistor de desacoplamento.....</i>	<i>21</i>
<i>Figura 2.5: Célula de Memória HIT.....</i>	<i>22</i>
<i>Figura 2.6: Célula de memória NASA.....</i>	<i>22</i>
<i>Figura 2.7: Célula de memória DICE.....</i>	<i>23</i>
<i>Figura 2.8: Células de memória com TMR.....</i>	<i>24</i>
<i>Figura 2.9: Célula de memória TMR modificada com 3 votadores.....</i>	<i>24</i>
<i>Figura 2.10: Célula de memória com TMR modificada.....</i>	<i>25</i>
<i>Figura 2.11: Redimensionamento de portas lógicas baseado na probabilidade de um pulso de SET ser capturado.....</i>	<i>26</i>
<i>Figura 2.12: Estrutura do element-C.....</i>	<i>26</i>
<i>Figura 2.13: Temporal latch.....</i>	<i>27</i>
<i>Figura 2.14: Esquemático do flip-flop TSPC-DICE.....</i>	<i>28</i>
<i>Figura 2.15: Elemento de atraso utilizado nas células DICE.....</i>	<i>29</i>
<i>Figura 2.16: Esquemático do flip-flop DF-DICE.....</i>	<i>29</i>
<i>Figura 2.17: Edge triggered pulse latch.....</i>	<i>30</i>
<i>Figura 2.18: Gerador de pulso de clock atrasado.....</i>	<i>31</i>
<i>Figura 2.19: MS-DICE.....</i>	<i>31</i>
<i>Figura 2.20: Temporal MS-DICE.....</i>	<i>32</i>
<i>Figura 2.21: Célula TDFF.....</i>	<i>33</i>
<i>Figura 3.1: Exemplo de um circuito digital com três caminhos lógicos com diferentes tempos de propagação (T_p).....</i>	<i>37</i>
<i>Figura 3.2: Elemento com atraso programável (δ) proposto por Knudsen.....</i>	<i>38</i>
<i>Figura 3.3: Fluxo da metodologia proposta para avaliação da taxa de erro na injeção de falhas usando um elemento de atraso configurável.....</i>	<i>39</i>
<i>Figura 4.1: Circuito para estudo de caso.....</i>	<i>41</i>
<i>Figura 4.2: Gráfico representativo dos valores de VBIANS e VBIASP.....</i>	<i>41</i>
<i>Figura 4.3: Simulação das saídas dos 3 caminhos lógicos em relação ao sinal de clock.....</i>	<i>42</i>
<i>Figura 4.4: Funcionamento do circuito TDFF.....</i>	<i>44</i>
<i>Figura 4.5: Injeção de um pulso de SET com largura menor que o atraso configurado em δ do flip-flop TDFF, nenhum erro é observado.....</i>	<i>44</i>
<i>Figura 4.6: Injeção de SET de largura superior ao configurado δ, um erro é observado na saída.....</i>	<i>45</i>
<i>Figura 4.7: Injeção de pulsos de SET para os caminhos 1, 2 e 3 com larguras menores que o atraso configurado em δ para os flip-flops TDFF2, TDFF4 e TDFF6.....</i>	<i>46</i>
<i>Figura 4.8: Usando o circuito de atraso δ em série para proteção a maiores pulsos SET.....</i>	<i>48</i>
<i>Figura 5.1: Esquemático proposto do elemento de atraso configurável. (CDE).....</i>	<i>50</i>
<i>Figura 5.2: Atrasos configuráveis de acordo como os 4-bits de entrada.....</i>	<i>50</i>
<i>Figura 5.3: Simulação elétrica em SPICE do CDE proposto.....</i>	<i>51</i>
<i>Figura 5.4: Layout para o elemento de atraso programável (proposto por Knudsen 2006).....</i>	<i>52</i>
<i>Figura 5.5: Layout proposto para o novo elemento de atraso configurável (CDE).....</i>	<i>52</i>
<i>Figura 5.6: Percentual de erro com relação à largura do pulso de SET para o circuito 432.....</i>	<i>59</i>

<i>Figura 5.7: Percentual de erro com relação à largura do pulso de SET para o circuito 880.</i>	<i>59</i>
<i>Figura 5.8: Percentual de erro com relação à largura do pulso de SET para o circuito 1908.</i>	<i>59</i>
<i>Figura 5.9: Percentual de erro com relação à largura do pulso de SET para o circuito 3540.</i>	<i>60</i>

LISTA DE TABELAS

<i>Tabela 2.1: Resumo comparativo das técnicas de proteção a SEU e SET em células de Memórias</i>	34
<i>Tabela 2.2: Resumo comparativo das técnicas de proteção a SEU e SET em flip-flop</i>	35
<i>Tabela 4.1: Circuito de estudo de caso com flip-flops padrão e flip-flops TDFP</i>	43
<i>Tabela 4.2: Características dos pulsos de SET suportados por cada caminho lógico</i>	45
<i>Tabela 4.3: Resumo da Taxa de Erro a partir da injeção de Falhas</i>	47
<i>Tabela 4.4: Área e desempenho para os casos propostos</i>	48
<i>Tabela 4.5: O impacto do uso dos circuitos programáveis (δ) em series</i>	48
<i>Tabela 5.1: Comparação entre os elementos de atrasos configuráveis</i>	51
<i>Tabela 5.2: Características do circuitos benchmark ISCAS'85 selecionados para o estudo de caso</i>	53
<i>Tabela 5.3: Análise da ferramenta STA nos circuitos benchmark ISCAS'85</i>	53
<i>Tabela 5.4: Análise da injeção de falhas e taxa de erro para o circuito C432</i>	54
<i>Tabela 5.5: Análise da injeção de falhas e taxa de erro para o circuito C880</i>	55
<i>Tabela 5.6: Análise da injeção de falhas e taxa de erro para o circuito C1908</i>	56
<i>Tabela 5.7: Análise da injeção de falhas e taxa de erro para o circuito C3540</i>	57
<i>Tabela 5.8: Área e frequência para o estudo de caso benchmarks ISCAS'85</i>	58
<i>Tabela A.1: Tabela do circuito C432</i>	67
<i>Tabela A.2: Tabela do circuito C880</i>	68
<i>Tabela A.3: Tabela do circuito C1908</i>	69
<i>Tabela A.4: Tabela do circuito C3540</i>	70

SUMÁRIO

ABSTRACT	5
RESUMO	6
LISTA DE ABREVIATURAS E SIGLAS.....	7
LISTA DE FIGURAS.....	8
LISTA DE TABELAS	10
1 INTRODUÇÃO	13
2 FUNDAMENTAÇÃO TEÓRICA	17
2.1 Efeitos da Radiação.....	17
2.2 Caracterização de um Circuito Integrado sob SEE através de Simulação	19
2.3 Estado da Arte das Células de Memórias com Proteção contra SEU	21
2.3.1 Resistor de Desacoplamento (WEAVER, 1987)	21
2.3.2 HIT – Heavy Ions Tolerant (BESSOT, 1993).....	21
2.3.3 Célula de Memória NASA – (LIU, 1992).....	22
2.3.4 DICE – Dual Interlocked Cell (CALIN, 1996).....	23
2.3.5 TMR – Triple Modular Redundancy - NEUMANN (1956)	23
2.4 Estado da Arte das Técnicas de proteção a SET	25
2.4.1 Redimensionamento de Portas Lógicas - (RAO, 2006)	25
2.4.2 Uso de Elemento-C (MONGKOLKACHIT, 2003)	26
2.4.3 Temporal Latch - (MAVIS, 2002)	27
2.5 Estado da Arte dos Flip-Flops com proteção combinadas contra SET e SEU	27
2.5.1 TSPC DICE - True Single Phase Clock - (JAHINUZZAMAN, 2010).....	28
2.5.2 DF- DICE – Delay Filtered – (NASEER, 2006).....	29
2.5.3 Edge Triggered Pulse Latch – (WANG, 2004).....	30
2.5.4 MS-DICE - Master-Slave DICE - (WANG, 2004).....	31
2.5.5 Temporal MSFF-DICE - Temporal Dice Latch Flip-Flop – (MATUSH, 2010).....	32
2.5.6 TDFD – Temporal Dice Flip-flop – (KNUDSEN, 2006).....	33
2.6 Análise Comparativa das Técnicas de Proteção à Radiação	33

3	METODOLOGIA PROPOSTA PARA O USO DE FILTRAGEM ADAPTIVA DE SET EM CIRCUITOS INTEGRADOS	36
3.1	Trabalho Original.....	37
3.2	Metodologia Aplicada	38
4	VALIDAÇÃO DA TÉCNICA FILTRAGEM ADAPTIVA DE SET EM CIRCUITOS INTEGRADOS.....	40
4.1	Estudo de Caso I.....	40
4.1.1	Injeção de Falhas por Simulação Elétrica	43
4.1.2	Taxa de Erro Observada através da Injeção de Falhas por Simulação Lógica.....	46
4.2	Expansão da Técnica Proposta para SET mais Longo	48
5	APERFEIÇOAMENTO DA FILTRAGEM ADAPTIVA DE SET EM CIRCUITOS INTEGRADOS.....	49
5.1	Proposta de Elemento de Atraso Configurável - CDE	49
5.2	Comparação Entre os Elementos de Configurações de Atrasos.....	51
5.3	Estudo de Caso II	52
5.3.1	Injeção de Falhas e Análise da Taxa de Erro	53
5.4	Sumário	58
6	CONCLUSÃO	61
	REFERÊNCIAS.....	63
	APÊNDICE A – CONFIGURAÇÃO DOS CIRCUITOS ISCAS’ 85	67
	APÊNDICE B – CÓDIGO DO FLIP-FLOP TDFF.....	71
	APÊNDICE C – ARTIGO LATW (2012).....	79

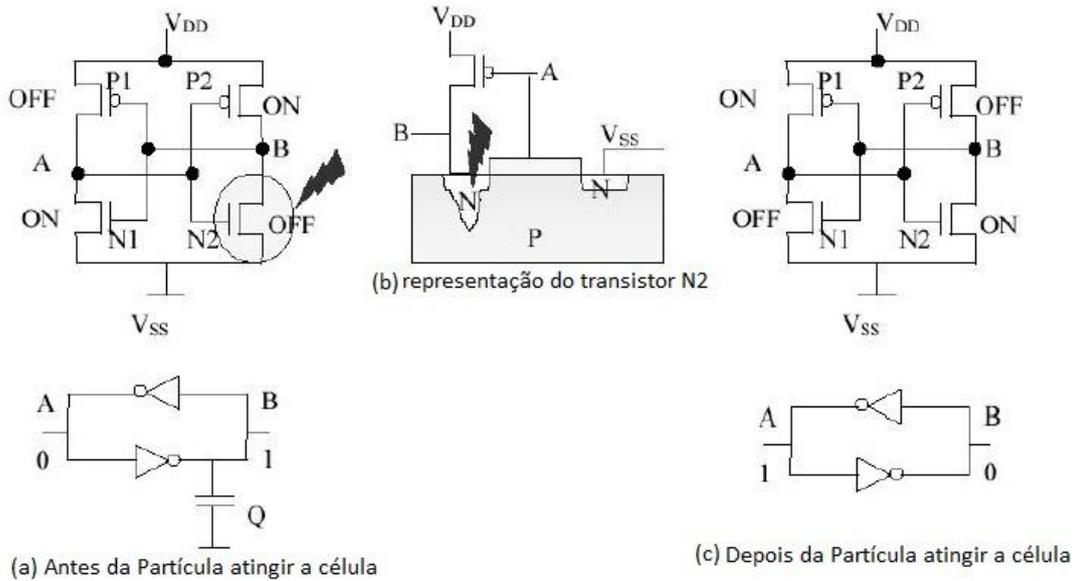
1 INTRODUÇÃO

O contínuo avanço da tecnologia de fabricação de circuitos integrados (CI) tem resultado na diminuição significativa do tamanho dos transistores, da tensão de alimentação, e conseqüentemente das margens de tolerância de ruído dos transistores devido a perturbações do meio (SHE, 2010). Uma das perturbações do meio é a radiação ionizante presente no espaço através de prótons, elétrons e íons pesados, afetando o funcionamento em aplicações espaciais como satélites; e na atmosfera terrestre através de nêutrons, múons e partículas secundárias como alfa, afetando principalmente o funcionamento em aplicações aviônicas.

Um dos efeitos da radiação ionizante são falhas transientes que podem ocorrer quando as partículas ionizantes interagem com os átomos de Silício provocando pulsos transientes de carga elétrica que podem carregar ou descarregar os nós lógicos. Os eventos de efeitos singulares, conhecido no inglês como *Single Event Effect* - (SEE), é o nome genérico dos efeitos transientes causados pela radiação. O impacto da partícula ionizante em um nó sensível causa uma perturbação na resposta do circuito, a ocorrência deste evento permite classificar os SEE de duas formas diferentes: se a incidência da partícula afetar diretamente o dreno de um transistor que compõe um elemento de memória causando a inversão do valor armazenado, ou seja, um *bit-flip*, este SEE é denominado de *Single Event Upset* - (SEU), no entanto se existe a ocorrência de um sinal transiente no dreno de um transistor de uma porta lógica combinacional, este SEE é classificado como *Single Event Transient* - (SET) (BLUM, 2007).

Em ambos, o mecanismo de geração é semelhante, diferindo apenas quanto à natureza lógica ou funcional do circuito atingido. Uma partícula carregada pode atingir tanto um elemento sequencial, quanto um circuito combinacional lógico. Ao atingir um nó sensível de uma célula de memória (mais especificamente o dreno do transistor em modo desligado) o valor armazenado pode ser invertido. Isto ocorre devido à célula de memória SRAM ter dois estados, um que representa o valor armazenado '0' e o outro que representa o valor armazenado '1'. Em cada estado, dois transistores estão ligados e outros dois transistores estão desligados, como ilustrado na Figura 1.1(a). A inversão do valor na memória ocorre quando a partícula energizada consegue ativar o transistor desligado, como apresentado na Figura 1.1(b), passando o seu estado para ligado e invertendo assim os valores armazenados (ANGHEL, 2000). Este fenômeno é denominado de SEU e está representado na Figura 1.1(c).

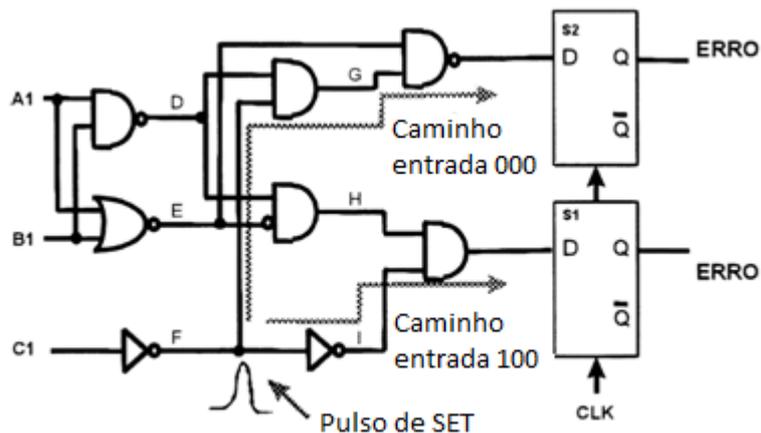
Figura 1.1: Célula de memória afetada por um SEU.



Fonte: (ANGHEL, 2000).

No entanto, quando uma partícula carregada atinge um nó sensível de uma célula lógica combinacional também é gerado um pulso transiente. Este fenômeno é denominado de SET e está representado na Figura 1.2. Uma observação importante é que o pulso de SET pode ou não pode ser capturado pela célula de memória, dependendo do tempo de propagação do caminho lógico, ou seja, nem sempre um pulso de SET é capturado pela célula de memória. Entretanto, se o mesmo for capturado, este deixa de ser um SET e passa a ser um SEU.

Figura 1.2: Efeitos de um pulso de SET em portas lógicas combinacional e elementos de memória, flip-flop conectados a lógica combinacional



Fonte: (MONGKOLKCHIT, 2003).

As falhas classificadas como SEU e SET se não foram mascaradas logicamente ou eletricamente pelo sistema, podem ocasionar erros na funcionalidade. Esses erros

podem não necessariamente danificarem o sistema de forma permanente e podem ser corrigidos posteriormente (SIMIONOVSKI, 2012). As falhas do tipo SEU tem sido uma das principais fontes de preocupação de erros nos circuitos integrados. No entanto, recentes estudos indicam que, em tecnologias nanométricas, devido ao aumento da frequência de operação, a probabilidade de captura de um SET por um elemento de memória aumentou. A relação entre a largura do pulso SET transiente e o período do relógio têm variado conforme a tecnologia. Logo há dois fatores que contribuem para a maior probabilidade de SET em circuitos fabricados em tecnologia nanométrica (JAHINUZZAMAN, 2010):

- Relação da largura do pulso SET com o período do relógio. Embora em (FERLET-CAVROIS, 2005), fala-se que a largura do pulso SET não tem variado muito de tecnologia para tecnologia, a frequência do relógio tem aumentado drasticamente, então SET que duravam 10% do pulso do relógio, hoje podem durar mais de 50% em alguns casos.
- A redução do tamanho dos transistores que tem se tornado mais vulneráveis à radiação devido à diminuição da carga crítica mínima capaz de gerar um pulso SET no dreno do transistor desligado.

De modo a tolerar SEU em circuitos integrados, diversas técnicas baseadas na substituição do elemento de memória por um elemento de memória tolerante composto por transistores extras de mitigação, mascaramento ou redundância são empregadas. Dentre estas técnicas as que mais se destacam na literatura para proteção a SEU são: DICE (*Dual Interlocked Storage Cell*) (CALIN, 1996) e a HIT (*Heavy Ion Tolerant*) (BESSOT, 1993). Este destaque ocorre, devido ao projeto da célula de memória DICE prover excelente proteção contra SEU usando 4 (quatro) inversores interconectados para trabalhar com redundância provendo de uma segunda fonte de dado não corrompidos depois de atingido por um pulso de SET. Enquanto a célula de memória HIT possui 12 (doze) transistores divididos em duas estruturas para armazenamento da informação. Estes flip-flops robustos podem estar protegidos contra o pulso de SEU, mas não conseguem realizar a proteção contra pulsos de SET.

Sendo assim, para a proteção a pulso de SET é fortemente recomendado o uso de elementos que insiram filtragem temporal do sinal da lógica combinacional antes deste sinal ser armazenada no elemento de memória. A ideia principal é utilizar três caminhos redundantes separados no tempo (intencionalmente) por diferentes elementos geradores de atrasos (MAVIS, 2002). Os caminhos triplos são votados por maioria em um votador de maioria, do inglês *majority voter*, que mascara a falha transiente SET impedindo que esta seja armazenada no elemento de memória. Desta forma, o circuito é robusto para pulso de SET com duração de até o comprimento do elemento de atraso selecionado. No entanto, de maneira semelhante, os circuitos com proteção a SET não conseguem proteger contra pulso de SEU nas células de memórias.

Porém, a técnica de filtragem do SET por atraso apresenta um grande custo no desempenho do circuito já que os atrasos são inseridos nos caminhos lógicos do circuito entre as barreiras temporais. O tamanho do pulso SET a ser filtrado é diretamente proporcional ao elemento de atraso selecionado para a filtragem que por sua vez é diretamente proporcional ao aumento do período de relógio do circuito, provocando então uma diminuição significativa na frequência de operação do circuito.

Para proteger contra falhas do tipo SEU e SET simultaneamente, existem combinações de células de memória robustas (flip-flops robustos) a SEU interconectadas com filtragem temporal a SET, como exemplo: o TSPC-DICE (*True*

Single-Phase Clock) (JAHINUZZAMAN, 2010), DF-DICE (*Delay-Filter*) (NASEER,2005), o Temporal DICE MSFF (*Temporal Master Dice Slave Flip-Flop*) (MATUSH, 2010) e TDFF (*Temporal-Dice Flip-Flop*) (KNUDSEN, 2006). Todos estes elementos de memória são flip-flops do tipo-D mestre-escravo e usam a célula DICE como elemento escravo do flip-flop, servindo para proteção a SEU e utilizam algum tipo de filtragem na entrada do flip-flop como a fase mestre, para proteção a SET.

Dentre estes trabalhos, o flip-flop TDFF (KNUDSEN, 2006), em particular, tem uma inovação interessante, pois possui um elemento gerador de atraso que pode ser configurado, através de suas fontes de tensão, para um determinado intervalo de propagação de atraso. Sendo assim, a ideia deste trabalho é utilizar a vantagem da capacidade de usar a configuração de atrasos proposto pelo flip-flop mestre-escravo tipo-D TDFF para aplicar aos diferentes caminhos lógicos com diferentes “folgas” existentes no caminho combinacional.

A capacidade de poder adaptar a filtragem de pulso de SET de acordo com a propagação de atrasos do caminho lógico é muito atrativa para reduzir o impacto da técnica de filtragem de SET na frequência de operação do circuito. O atraso de propagação do caminho crítico determina o desempenho do circuito. Então, ao aplicar uma filtragem de SET para o flip-flop no caminho crítico, o elemento gerador de atraso causará um impacto no desempenho do circuito. Mas isto não significa que os demais caminhos lógicos não possam utilizar de maiores atrasos gerados pelo elemento de atraso programável sem degradar o desempenho do circuito. Isto ocorre porque existem muitos outros caminhos combinacionais com menores tempos de propagação de atraso se comparados ao caminho crítico, e é exatamente essa diferença existente na propagação de atrasos que pode ser usada para selecionar maiores atrasos nos elementos geradores para garantir maiores filtragem a pulso de SET.

Consequentemente, permitir que cada flip-flop possa ser configurado para certo período de atraso de modo a tolerar diferentes larguras de pulso SET torna a adaptabilidade do circuito uma forma de proteção aos pulsos de SET. Os resultados apresentados neste trabalho mostraram que a técnica de adapção de atrasos por caminho lógico para flip-flops de acordo com as “folgas” existente entre os tempos de propagação é válida. Para isto, um estudo de caso (gerado a partir de um circuito real) foi desenvolvido para a aplicação dos testes de injeção de falhas. Com isso, foi possível verificar que ocorre a redução da taxa de erros de falhas no circuito quando este método proposto é utilizado sem perda de desempenho.

A presente dissertação é dividida em seis capítulos. O capítulo 2 apresenta os fundamentos teóricos nos quais o trabalho é embasado, além do estado-da-arte dos principais flip-flops tolerantes à radiação. O capítulo 3 descreve a metodologia empregada para o fluxo de circuitos integrados com o uso de flip-flops robustos a SEU e SET em caminhos combinacionais. O capítulo 4 apresenta o estudo de caso para validação do método proposto e os resultados da injeção de falhas. O capítulo 5 detalha o aperfeiçoamento da técnica proposta em um estudo de caso com circuitos reais e sintéticos do benchmarks ISCA’S 85, além dos resultados obtidos através de simulação da injeção de falhas. E por fim, o capítulo 6 apresenta as conclusões obtidas na realização deste trabalho e trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

Muitas pesquisas significativas na área de mitigação de SEE têm sido realizadas ao longo dos anos de modo a evitar ou minimizar os efeitos da radiação em circuitos integrados. Portanto, este capítulo apresenta um resumo sobre os efeitos da radiação em circuitos digitais e, subsequentemente, é mostrado o estado da arte das técnicas de proteção a SEU (*Single Event Upset*) em células de memórias, as técnicas de filtragem para proteção a SET (*Single Event Transient*) em circuitos combinacionais e principalmente dos flip-flops tolerantes à radiação, estes que, em sua maioria, se propõem a utilizar a combinação de técnicas de SEU e SET para conseguirem atingir maiores níveis de robustez e confiabilidade.

2.1 Efeitos da Radiação

A radiação no ambiente espacial afeta significativamente o desempenho e a funcionalidade dos dispositivos eletrônicos (NASEER, 2006). Os dispositivos eletrônicos espaciais são atingidos por diferentes partículas geradas a partir da atividade solar e galáctica. As principais fontes de partículas carregadas que contribuem para o efeito da radiação são prótons e íons pesados. Estas partículas carregadas interagem com os átomos de Silício do material causando excitação e ionização dos átomos (SIMIONOVSKI, 2012).

Entretanto, não somente no ambiente espacial ocorre a influência destas partículas, por exemplo, nêutrons na atmosfera interagem com o material gerando partículas secundárias carregadas que podem ionizar o dreno dos transistores desligados provocando pulso de corrente derivado da carga coletada (JAHINUZZAMAN, 2010). O pico do fluxo de nêutron na atmosfera está em aproximadamente 60.000 pés (aproximadamente 20 km) onde alguns aviões comerciais e militares voam. Por exemplo, em Nova Iorque o fluxo de nêutrons é de aproximadamente 20 nêutrons/cm²/s.

O impacto da radiação em circuitos integrados tem sido categorizado basicamente em dois grupos (NASEER, 2006): o primeiro é denominado dose ionizante total, do inglês *Total Ionizing Dose* (TID) que é o reflexo dos efeitos acumulados sobre o circuito após um longo período de tempo de exposição contínua à radiação, enquanto que o outro grupo é o efeito de evento de singulares, do inglês *Single Event Effect* (SEE), resultado imediato do impacto do pulso ionizante da carga devido ao efeito da radiação.

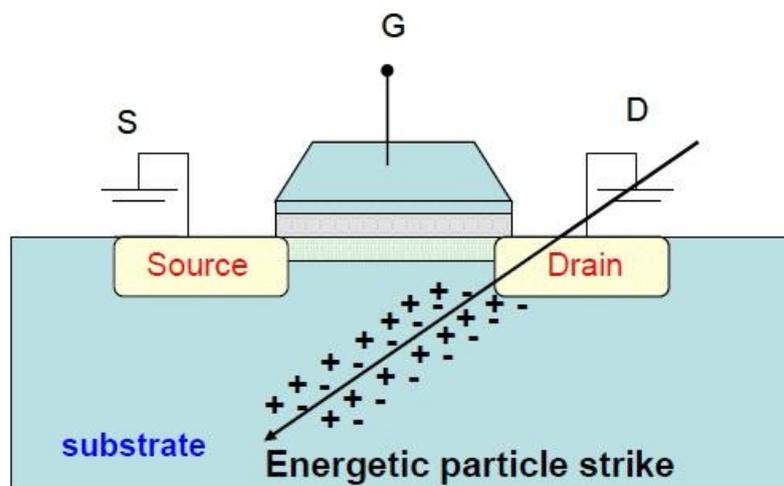
TID pode ser caracterizado como a degradação acumulada ao longo do tempo de certas propriedades elétricas do circuito. Isto ocorre devido ao acúmulo de cargas no óxido de Silício, tanto superficiais (nas interfaces com o semicondutor) quanto no interior do óxido. Estes são efeitos de longo prazo e sua intensidade depende da taxa da

dose e do tempo de exposição. A dose acumulada ao longo do tempo é medida em krads(Si) e os efeitos principais são a diferença refletidas no transistor e causa o aumento da corrente de fuga no mesmo.(SIMIONOVSKI, 2012).

Os Efeitos de Eventos Singulares – (SEE) ocorrem devido ao impacto de partículas energizadas no Silício, ionizando-o e isto pode provocar uma carga ou descarga de um nodo lógico gerando assim um pulso de corrente que se propaga no circuito (SIMIONOVSKI, 2012). Os SEE são os tipos de efeitos que serão considerados no presente trabalho.

Quando um íon atinge a junção NP do material semiconductor ocorre à perda de energia via ionização com a consequente produção de pares elétrons e lacunas ao longo da trajetória da partícula, como ilustrado na Figura 2.1. A ionização gera um pulso de corrente transiente que pode ser interpretado como um sinal normal introduzido no circuito (NARASIMHAM, 2008). É importante observar que a extensão desta trajetória de íons que atravessam o Silício depende da energia incidente e do ângulo de incidência da mesma (SIMIONOVSKI, 2012). Prótons e nêutrons podem causar reação no núcleo ao atravessar o material, produzindo partículas secundárias. Sendo assim, as partículas secundárias irão ionizar diretamente a junção.

Figura 2.1: Geração de pares elétrons e lacunas quando atingindo por uma partícula carregada



Fonte: (Narasimham, 2008).

Uma grandeza da radiação importante é o fluxo das partículas que é definido pela quantidade de partículas que passam durante um segundo através de um cm^2 de área [$1/\text{s}\cdot\text{cm}^2$], enquanto que a fluência das partículas é definida pela integração do fluxo ao longo do tempo [$1/\text{cm}^2$].

Experimentalmente, pode-se observar a taxa de erro. Para isto, é necessário verificar o funcionamento do circuito sob determinado fluxo e fluência de partículas. A taxa de erro, do inglês conhecido como *Soft Error Rate* (SER), pode nos ajudar a calcular a área sensível do circuito conhecido como seção de choque, do inglês *cross-section*, calculada pela divisão da quantidade de erros sobre a fluência das partículas ou pela taxa de erros dividida pelo fluxo de partículas. (SIMIONOVSKI, 2012).

Na próxima seção serão apresentados métodos para a caracterização da sensibilidade do circuito a SEE, e a eficiência das técnicas de proteção à radiação será discutida.

2.2 Caracterização de um Circuito Integrado sob SEE através de Simulação

Há diversos métodos para caracterizar um circuito integrado sob radiação e seus efeitos do tipo SEE. O primeiro é testar o circuito no meio final, como em satélites, aviões ou em experimentos com radiação natural na superfície da terra. Porém, essa caracterização é muito cara e pode demorar muito tempo para conseguir obter um número razoável de falhas e erros funcionais a ser analisados devido ao baixo fluxo nestes ambientes.

Uma maneira de caracterizar a sensibilidade de um circuito integrado à SEE é acelerar o efeito através de aceleradores de partículas que produzem fluxos de partículas muito maiores que os observados no meio, mas aceleram o número de erros e a taxa de erros. E assim, em algumas horas ou dias, pode-se calcular a seção de choque de um circuito integrado em relação a algumas partículas ionizantes. Porém, este método também é caro, pois exige o circuito fabricado, horas do acelerador de partículas, horas de pessoal, montagem e traslado.

Em laboratório, podem-se realizar simulações computacionais para analisar a susceptibilidade de um circuito sob SEE, validar e analisar a eficiência de técnicas de mitigação e mascaramento de SET e SEU. Isto pode ser feito realizando simulações no nível elétrico e no nível lógico:

- Nível elétrico usando simulador SPICE: o simulador elétrico permite a avaliação de circuitos eletrônicos descritos textualmente, onde estão inseridos os comandos de descrição do circuito e de análise requerida.
- Nível lógico usando simulador de eventos: permite verificar o correto funcionamento do circuito mapeado para uma tecnologia específica. Nesta etapa podem ser analisados os atrasos dos caminhos críticos do circuito, verificando se o circuito atende as restrições temporais do projeto.

Em simulação elétrica, um pulso de SET pode ser modelado por um pulso de corrente no formato de uma dupla exponencial. Esse pulso pode ser inserido no dreno de transistores desligados de portas lógicas combinacionais e em elementos de memória para simular a inversão do valor lógico, conhecido como *bit-flip* (SEU).

O pulso de corrente transiente gerado pela incidência de uma partícula radioativa em uma região PN reversamente polarizada é influenciada pela tecnologia de fabricação do transistor, tipo de partícula, a energia da partícula e o ângulo de incidência (WIRTH, 2008). Assim, quando se modela o pulso SET no simulador elétrico, pode-se usar um pulso de corrente na forma de uma dupla exponencial onde os parâmetros desta curva podem ser ajudados conforme o formato do SET a ser inserido. O SET pode ter diversos valores de amplitude e de duração. Sendo assim o pulso de corrente pode ser representado pela equação (MESSENGER, 1982):

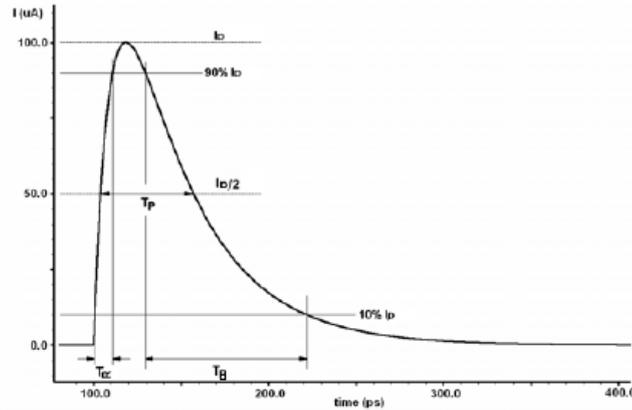
$$I_{set}(t) = I_0(e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (1)$$

O valor de $I_{set}(t)$ é a intensidade da corrente no tempo; I_0 representa o valor máximo de corrente desejado na incidência; τ_α é a constante de tempo relacionada à

coleta da carga pela junção e τ_β é a constante de tempo relacionado ao estabelecimento do caminho de ionização criado pela partícula incidente (SIMIONOVSKI, 2012).

O pulso de corrente possui como característica uma rápida subida controlada pelos processos de deriva, enquanto que um lento declínio é controlado pelo processo de difusão dos elétrons livres gerados no caminho de ionização da partícula no meio. A Figura 2.2 mostra uma representação genérica do pulso de corrente gerado a partir da equação 1.

Figura 2.2: Representação Genérica de um pulso de Corrente.



Fonte: (SIMIONOVSKI, 2012).

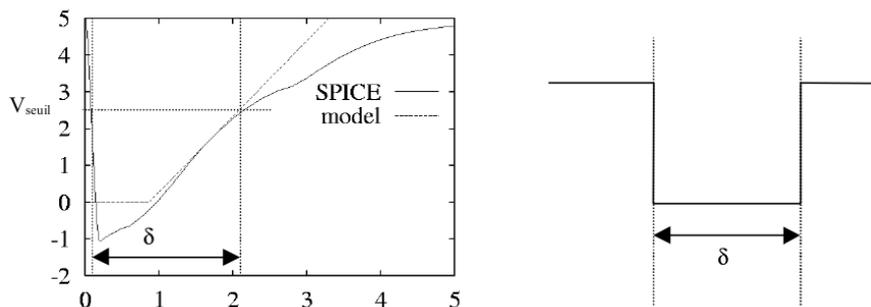
O total de carga coletada por um nodo quando afetado por uma partícula pode ser modelado pela equação 2 (OMANA, 2007) e (LIMA, 2002), na Figura 2.2 a carga coletada é representada pela área gerada delimitada nas curvas do pulso de corrente induzido.

$$Q_{crit} = \int_0^{\infty} I(t)dt = I_0(\tau_\alpha - \tau_\beta) \quad (2)$$

Se a carga coletada Q_{crit} atinge um valor crítico acima do qual é suportado sobre o nodo atingindo, o valor pode ser invertido e pode-se propagar (OMANA, 2007).

No caso da simulação lógica, o pulso de SET é visto como um pulso quadrado de amplitude máxima da excursão do sinal e de certa duração. As vantagens de usar simulação lógica é o tempo de simulação e a quantidade de portas lógicas e flip-flops que podem ser simulados ao mesmo tempo. A Figura 2.3 mostra a esquerda o pulso SET modelado em SPICE e o seu equivalente no simulador lógico.

Figura 2.3: Modelo da forma de onda do pulso de transitório SET e a representação do mesmo modelo no nível lógico



Fonte: (ANGHEL, 2000).

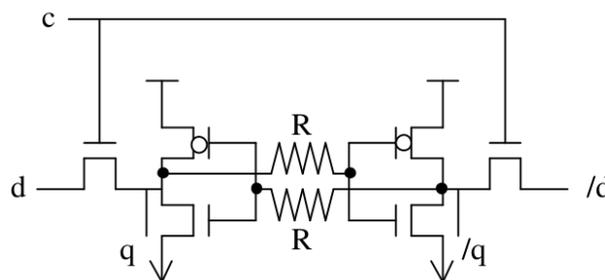
2.3 Estado da Arte das Células de Memórias com Proteção contra SEU

As células de memórias são normalmente projetadas com transistores de tamanho mínimo e, por isso, a carga crítica mínima para gerar um SET em um elemento de memória é baixa fazendo com que esses elementos sejam muito sensíveis a *bit-flip* (SEU). Por esta razão, surgiram ao longo do tempo diferentes tipos de projetos com técnicas de proteção à radiação, do inglês *Radiation-Hardened-by-Design* (RHBD). Dentre as diversas técnicas destacam-se alguns devido ao maior uso e/ou eficiência: a) célula de memória com resistores de desacoplamento (WEAVER, 1987); b) célula HIT (BESSOT, 1993); c) célula DICE (CALIN, 1996); d) célula utilizada pela NASA (LIU, 1992); e) Tripla redundância modular (TMR – *Triple Modular Redundancy*) por NEUMANN (1956); e f) *Temporal Latch* (MAVIS, 2002). Muitas destas técnicas são variações da célula de memória padrão SRAM, enquanto outras utilizam técnicas de redundância e votadores em sua estrutura. No entanto, todos os projetos possuem o mesmo objetivo que é garantir maior robustez nas estruturas da célula.

2.3.1 Resistor de Desacoplamento (WEAVER, 1987)

A técnica de inserir resistores de desacoplamento na estrutura padrão da célula de memória SRAM pode ser considerada uma das primeiras técnicas de proteção a SEU. A célula de memória com resistores de desacoplamento utiliza as resistências associadas de modo a evitar a inversão do valor lógico armazenado (WEAVER, 1987). Isto ocorre porque a resistência (colocada entre a saída de um inversor e a entrada de outro) funciona como um filtro para um pulso transiente, causado por uma partícula carregada, retardando o sinal por um tempo, para evitar assim que ocorra a inversão do valor lógico armazenado, como mostra a Figura 2.4. Entretanto, como desvantagem desta técnica, observa-se a sensibilidade às baixas temperaturas, o aumento do atraso e a necessidade de uma máscara extra no processo de fabricação para a resistência (LIMA, 2002).

Figura 2.4: Célula de memória com resistor de desacoplamento



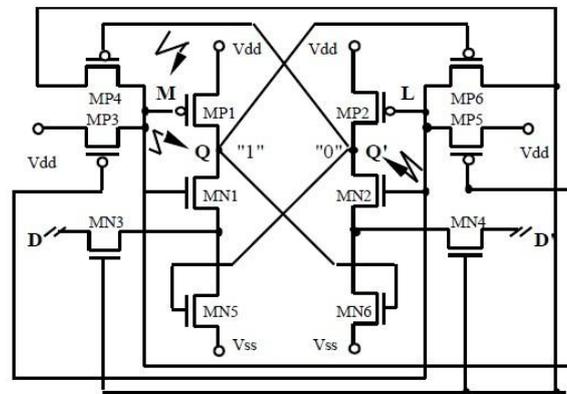
Fonte: WEAVER (1987).

2.3.2 HIT – Heavy Ions Tolerant (BESSOT, 1993)

A célula HIT é composta por 12 transistores organizados de modo a formar duas estruturas de armazenamentos, interconectadas por caminhos de realimentação, como ilustrada na Figura 2.5. Utiliza o conceito de realimentação do sinal de modo a recuperar o valor correto em um nodo, após este ser afetado por um pulso de SEU (BESSOT, 1993). A célula HIT foi projetada para um rápido tempo de recuperação,

após sofrer uma inversão do valor lógico em sua estrutura e apresenta um baixo consumo estático sem diminuir seu desempenho. Em contra partida, a célula HIT possui como desvantagem o aumento da área em relação à célula padrão SRAM devido a inserção de novos transistores para realimentar o valor do nodo afetado por um pulso SEU. Além disso, estes transistores (adicionais) tornam-se nodos sensíveis do circuito (NASEER, 2006).

Figura 2.5: Célula de Memória HIT.

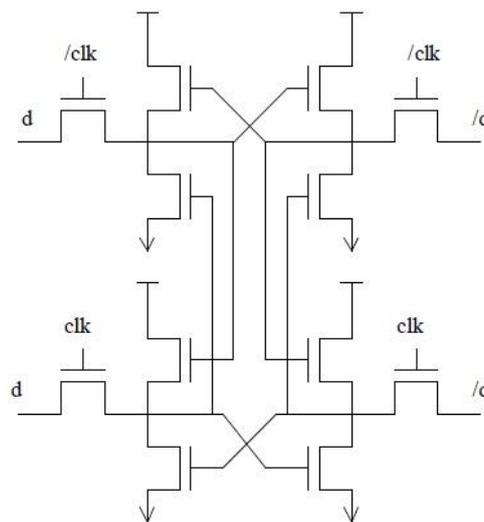


Fonte: BESSOT (1993).

2.3.3 Célula de Memória NASA – (LIU, 1992)

Um dos métodos utilizados para proteção aos efeitos da radiação é o armazenamento de dados em duas diferentes localizações na estrutura da célula de maneira que a parte corrompida possa ser restaurada. Exemplo do uso desta técnica pode ser encontrado na célula DICE (CALIN, 1996) e a denominada célula NASA (LIU, 1992), sendo esta última ilustrada na Figura 2.6. A principal vantagem do uso deste método é a independência ao processo tecnológico, ou seja, não depende do tamanho dos transistores, imunidade a SEU e alto desempenho no processo de escrita e leitura (LIU, 1992).

Figura 2.6: Célula de memória NASA



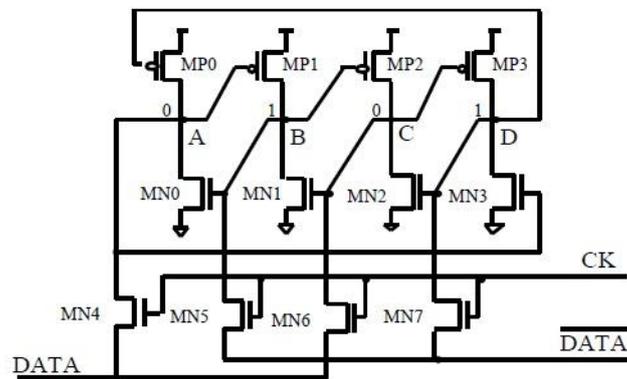
Fonte: LIU (1992).

A célula de memória NASA possui 12 transistores em sua estrutura e provê a redundância mantendo a fonte de dados não corrompidos depois de um pulso de SEU. O caminho de recuperação dos dados é baseado no uso de um transistor “fraco” e outro “forte”. O tamanho do transistor fraco é aproximadamente 1/3 do tamanho de um transistor normal. O tamanho do transistor fraco de redundância tem relação direta com o tempo de recuperação do dado corrompido (LIMA, 2002).

2.3.4 DICE – Dual Interlocked Cell (CALIN, 1996)

A célula DICE utiliza como princípio básico a redundância para superar a susceptibilidade à inversão do valor lógico dentro de sua estrutura. Se uma partícula de radiação atingir um nodo sensível da célula (ex: dreno de um NMOS ou PMOS estando os mesmos desligados), os nodos redundantes restauram o estado do nodo que foi afetado prevenindo assim a informação armazenada. Composta de 12 transistores a sua estrutura está ilustrada na Figura 2.7.

Figura 2.7: Célula de memória DICE.



Fonte: CALIN (1996)

O projeto da DICE tem 4 nodos (A, B, C e D) exemplificados na Figura 2.7. O valor é armazenado em dois pares de valores complementares (B e D = 1) e (A e C = 0), os quais são elementos essenciais para o armazenamento dos dados. Nas operações de escrita e leitura, estes nodos complementares são acessados simultaneamente para garantir que os valores são iguais (SHE, 2010). Percebe-se assim que os valores são armazenados em partes distintas. Portanto, as partes complementares devem possuir os mesmo valores.

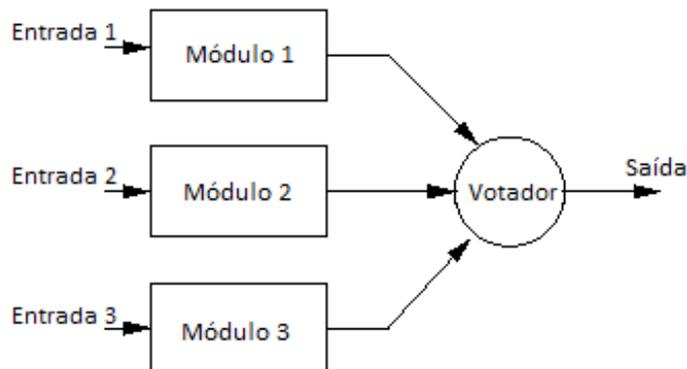
A célula DICE tem sido amplamente utilizada devido a sua eficiência na proteção contra pulsos de SEU, além de não possuir dependência de tecnologia (HAGHI, 2009). A sua desvantagem é em relação ao incremento em área, uma vez que possui o dobro do número de transistores quando comparada a uma célula padrão de memória.

2.3.5 TMR – Triple Modular Redundancy - NEUMANN (1956)

A tripla redundância de módulos (TMR) é uma técnica de redundância utilizada para proteger contra pulso de SEU. Em um TMR, um módulo crítico (ex: flip-flops e latches) é replicado três vezes e sua saída é extraída através de um votador (SHE, 2010). A Figura 2.8 ilustra uma célula de memória TMR com votador. Quando um pulso de

SEU ocorre em um dos módulos críticos, o circuito votador tem a função de ignorar o valor corrompido, causado pela falha no circuito afetado, e aceitar o valor correto dos outros dois módulos que não foram atingidos pelo pulso.

Figura 2.8: Células de memória com TMR.

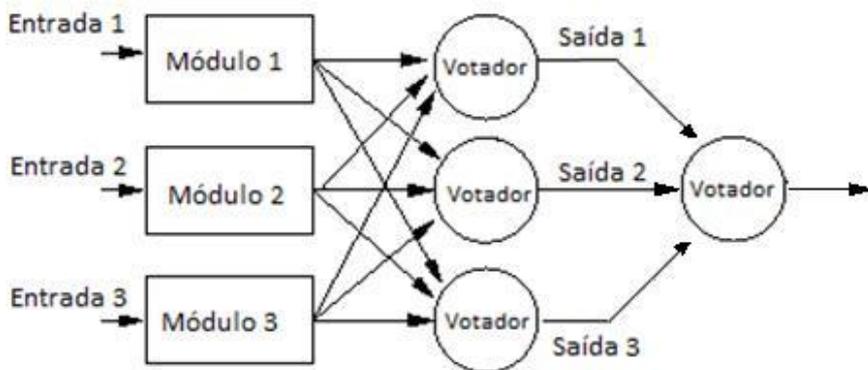


Fonte: SHE (2010)

Usualmente, os projetos de TRM utilizam 3 circuitos idênticos (redundantes) e quando 2 ou mais saídas possuírem os mesmos valores este é considerado o valor correto para a saída. Como a possibilidade de pulso de SEU atingir um mesmo nodo de dois ou mais módulos ao mesmo tempo é muito baixa, este método tem rendimento efetivo quando ocorre apenas um erro simples no circuito (MONGKOLKACHIT, 2003). Entretanto, esta abordagem possui como desvantagem o aumento do projeto em no mínimo de 200% quando comparado ao circuito original. Além disso, ocorre o aumento do consumo do circuito (SHE, 2010). É importante observar que a velocidade de operação dos módulos não é afetada uma vez que são executas em paralelo, só deve ser acrescentado o atraso causado pelo votador (MONGKOLKACHIT, 2003). Outra limitação é que o uso do TMR protege apenas pulso de SEU, pois não faz nenhuma análise dos dados na entrada, não protegendo assim contra pulso de SET.

Analisando a Figura 2.8 verifica-se que caso o pulso de SEU ocorrer apenas em um dos módulos não existirá problema, pois o mesmo será eliminado no momento da votação, entretanto criou-se um ponto vulnerável que é o próprio votador, uma vez que o pulso de SEU atingir um nodo sensível de sua estrutura o mesmo não conseguirá se recuperar. Sendo assim, variações da estrutura do TMR podem ser encontradas como mostrada na Figura 2.9 e 2.10.

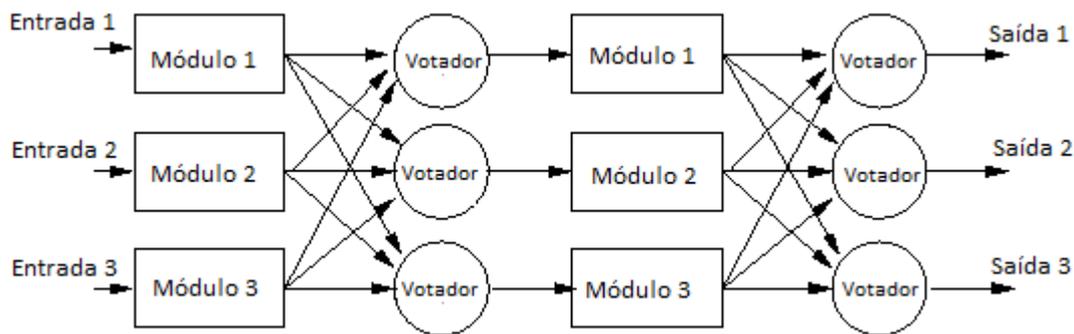
Figura 2.9: Célula de memória TMR modificada com 3 votadores.



Fonte: SHE (2010)

A Figura 2.9 mostra a criação de três votadores que recebem as mesmas entradas, gerando assim três saídas. A redundância em votadores é uma alternativa para a eliminação de um único ponto vulnerável. Enquanto que na Figura 2.10 existe a redundância criada na Figura 2.9, é importante observar que projetos que usam esse tipo de estrutura são projetos críticos que necessitam de um maior grau de confiabilidade. Entretanto, é importante observar que estas variações intensificam as desvantagens do TMR, principalmente no que se refere ao aumento em área e consumo do circuito.

Figura 2.10: Célula de memória com TMR modificada.



Fonte: MONGKOLKACHIT (2003)

2.4 Estado da Arte das Técnicas de proteção a SET

Com a diminuição dos transistores e o aumento da frequência de *clock* do circuito, o efeito causado pelo pulso de SET foi agravado (SOUZA, 2012). Diferentes projetos e técnicas de modelagem têm sido propostas para que não ocorra a captura destes pulsos nos flip-flops, ocasionando assim o armazenamento errado de dados.

As principais linhas de pesquisas para proteção a SET são o redimensionamento ou clonagem de portas lógicas propostas por (RAO, 2006) e (DIRIL, 2005) respectivamente, e a técnica de filtragem do pulso inserindo atraso antes da captura sinal, proposto por (MONGKOLKACHIT, 2003) e (MAVIS, 2002).

2.4.1 Redimensionamento de Portas Lógicas - (RAO, 2006)

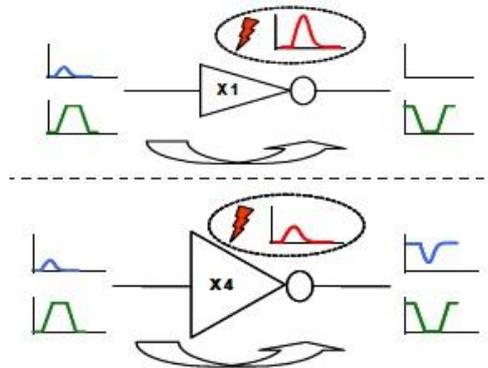
A ideia básica da técnica de redimensionamento de portas lógicas para atenuar o problema causado por um pulso de SET é avaliar os nodos mais vulneráveis de um circuito lógico através do uso de algoritmos. Com base na probabilidade de captura do valor incorreto na “janela de abertura”, criado pelo sinal de *clock*, redimensionar as portas lógicas.

A Figura 2.11 ilustra esta ideia, supondo que o inversor de tamanho X foi detectado como um ponto vulnerável do circuito para a captura do pulso de SET e provável causador de inversão do valor lógico. Seus transistores *pmos* e *nmos* são redimensionados de tamanho, por exemplo, passa a ter um valor 4x (quatro vezes) maior que o original. Sendo assim, de acordo com esta técnica o redimensionamento provoca uma redução da probabilidade de captura de pulsos de SET por aquele transistor ou célula.

Uma vez que os nodos das portas mais sensíveis são selecionados, as portas lógicas são redimensionadas, de maneira tal que a capacitância do nodo é aumentada para reduzir a probabilidade da ocorrência de SET. A principal desvantagem é o uso de

algoritmos complexos para a detecção de nodos vulneráveis para circuitos muito grandes. Além disso, o aumento da capacitância do nodo nem sempre leva a uma redução da largura do pulso de SET (WIRTH, 2008).

Figura 2.11: Redimensionamento de portas lógicas baseado na probabilidade de um pulso de SET ser capturado.

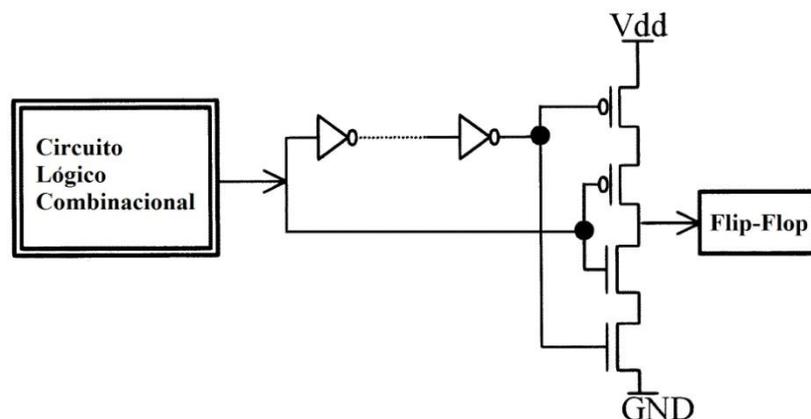


Fonte: RAO (2006)

2.4.2 Uso de Elemento-C (MONGKOLKACHIT, 2003)

O princípio básico da técnica proposta por este circuito, também conhecido como elemento-C (MONGKOLKACHIT, 2003) é a filtragem do sinal de entrada antes do armazenamento em um flip-flop. O elemento-C mantém o estado atual e somente modifica a sua saída quando todas as entradas possuírem valores lógicos idênticos (MONGKOLKACHIT, 2003). A estrutura da utilização do elemento-C é mostrado na Figura 2.12.

Figura 2.12: Estrutura do element-C



Fonte: MONGKOLKACHIT (2003)

Analisando a Figura 2.12 percebe-se que quando o dado sai do circuito combinacional o mesmo possui 2 caminhos: um caminho com zero de atraso, e o outro caminho com um atraso denominado $T_{critico}$ (este atraso é aproximadamente igual à largura do pulso de SET que se deseja suprimir). Sendo assim um pulso de SET com largura não superior a $T_{critico}$ não será capaz de mudar a saída do elemento-C. Entretanto, um pulso de SET com largura maior que o $T_{critico}$ pode acabar sendo capturado dependendo apenas da janela de abertura do *clock* para o flip-flop.

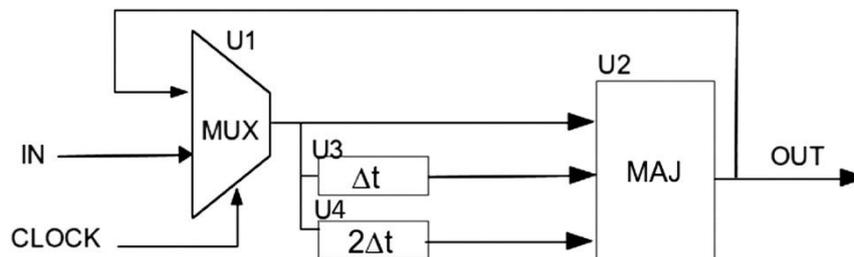
Uma das vantagens desta técnica é que pode ser implementada facilmente em cada entrada do flip-flop, e possui um nível de proteção que pode ser configurado através do aumento ou redução dos atrasos inseridos entre o circuito combinacional e o flip-flop (MONGKOLKACHIT, 2003). Entretanto a inclusão destes circuitos irá aumentar área, enquanto que a perda de velocidade depende da largura do pulso de SET que se deseja tolerar (NASEER, 2006).

2.4.3 Temporal Latch - (MAVIS, 2002)

A utilização da técnica de redundância temporal é caracterizada pela amostragem dos dados de entrada em diferentes intervalos de tempo. Este intervalo é a representação da largura dos transientes a serem suprimidos, podendo assim fazer a votação do valor correto (NASEER, 2006).

O *temporal latch* é baseado na ideia de utiliza a variabilidade do atraso para amostrar o dado em diferentes momentos (MAVIS, 2002). Além disso, usa um votador de maioria de votos para transmitir o valor correto na saída. A Figura 2.13 ilustra o *temporal latch*.

Figura 2.13: *Temporal latch*.



Fonte: MAVIS (2002)

Na Figura 2.13 a separação temporal é causada pelos elementos U3 e U4. A grande vantagem desta técnica é poder configurar os elementos U3 e U4 para possuírem diferentes atrasos, aumentando a robustez do temporal Latch.

É importante observar a inclusão dos circuitos de atrasos e do circuito votador aumenta significativamente a área e o consumo do circuito. Além disso, o projeto passa a sofrer uma perda de desempenho que é no mínimo igual ao dobro da largura de pulso SET de que se deseja proteger (NASEER, 2006).

2.5 Estado da Arte dos Flip-Flops com proteção combinadas contra SET e SEU

Dentre os principais tipos de flip-flop tolerantes à radiação, apresentados nas seções 2.3 e 2.4, as técnicas têm claras limitações quando se deseja obter proteção contra pulsos de SET e SEU no mesmo flip-flop, pois as técnicas de proteção a SEU sofrem efeitos dos pulsos de SET, enquanto que as estruturas que se mostram tolerantes a SET são susceptíveis aos efeitos dos pulsos de SEU (SOUZA, 2012). Sendo assim, a combinação entre uma técnica de proteção a SEU aliada a uma estrutura de proteção a pulso de SET torna-se uma opção válida para garantir maior robustez dos flip-flops.

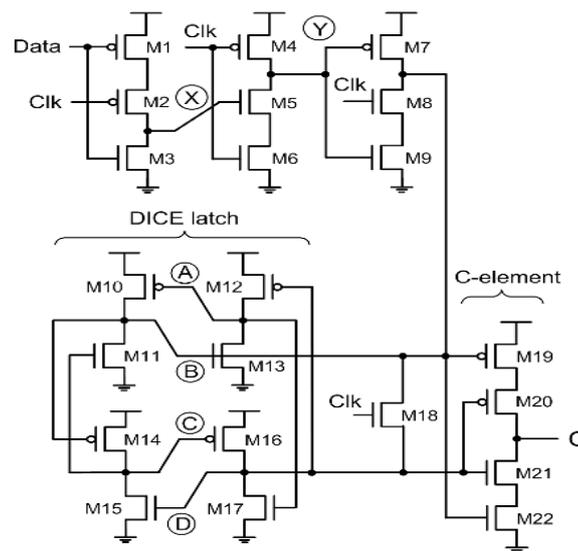
As principais combinações de técnicas encontradas na literatura são: TSPC-DICE (JAHINUZZAMAN, 2010), DF-DICE (NASEER, 2006), *edge triggered pulse latch* (WANG, 2004), MS-DICE (WANG, 2004), temporal MS-DICE (MATUSH, 2010) e TDFF-DICE (KNUDSEN, 2006). Todos estes flip-flops são do tipo-D mestre-escravo e funcionam sob o controle do sinal de relógio. Sendo assim, nas subseções a seguir serão apresentados os flip-flops que utilizam as técnicas combinadas de SET e SEU para garantir maior robustez.

2.5.1 TSPC DICE - True Single Phase Clock - (JAHINUZZAMAN, 2010)

No flip-flop TSPC-DICE a fase mestre usa a borda de subida do *clock* para passar o dado para a unidade de armazenamento. De acordo com JAHINUZZAMAN (2010), a principal funcionalidade desta proposta de flip-flop tolerante é o uso de um eficiente TSPC na fase mestre, antes de passar o dado para ser escrito na célula DICE (MONGKOLKACHIT, 2003).

A Figura 2.14 ilustra o esquemático do flip-flop TSPC-DICE mestre-escravo com 22 transistores, que consiste da fase da entrada do dado, composta do circuito TSPC, a fase de escrita que é composta da unidade de armazenamento dos dados a DICE (fase escravo) e um transistor equalizador (ver o transistor M18 na Figura 2.14). Este último trabalha em conjunção com a fase mestre para habilitar a escrita do dado na célula DICE na borda de descida do *clock*. Além dessas estruturas, existe na saída deste flip-flop acoplado a DICE o elemento-C mascarando a propagação de qualquer sinal transiente para nodos internos dos circuitos, evitando, por exemplo, que um sinal errado seja capturado em outro flip-flop numa estrutura *pipeline*.

Figura 2.14: Esquemático do flip-flop TSPC-DICE



Fonte: JAHINUZZAMAN (2010).

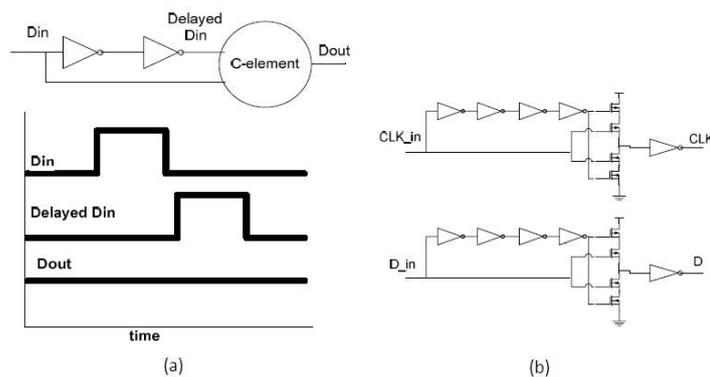
Diferente dos demais flip-flop, o TSPC-DICE não propõe nenhum circuito com programação temporal (inserção de atraso de acordo com o pulso de SET que se deseja proteger) para atrasar o sinal que é atingido por um pulso de SET. A estrutura deste flip-flop utiliza apenas o elemento-C que tem como finalidade não modificar o sinal de

saída até que todos os sinais obtenham o mesmo valor lógico. Usando esta estrutura de flip-flop os autores conseguiram obter um desempenho de 2 GHz para a frequência do *clock*, com uma alimentação de (1 V) um volt para a tecnologia de 65 nm (JAHINUZZAMAN, 2010).

2.5.2 DF- DICE – Delay Filtered – (NASEER, 2006)

É um flip-flop mestre-escravo que combina a técnica de filtragem por atraso, utilizada na fase mestre, com a célula DICE (fase escravo). A técnica de filtragem é aplicada em todas as entradas da célula. A principal característica é gerar atrasos nas 4 entradas da DICE através de estruturas mostrada na Figura 2.15(a). A inclusão de atrasos torna o projeto do flip-flop DF-DICE tolerante a pulsos de SET nas entradas *Clock*, *Preset*, *Clear* e *Data*, além de ser tolerante a SEU pelo uso da DICE, ilustrada na Figura 2.15(b).

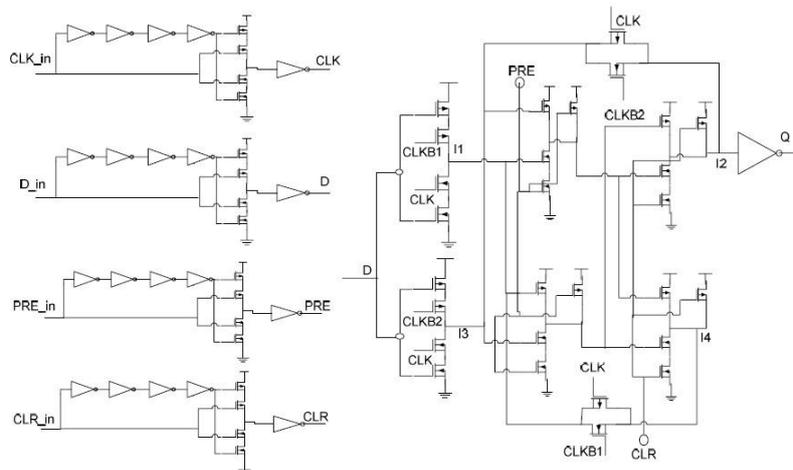
Figura 2.15: Elemento de atraso utilizado nas células DICE.



Fonte: NASEER (2006).

Uma característica deste projeto é a utilização do elemento-C para filtrar os sinais com valores errados (MONGKOLKACHIT, 2003). É um elemento de retenção de estado e tem como prioridade básica que uma modificação na saída do elemento somente ocorre somente quando todas as entradas têm valores lógicos idênticos (NASEER, 2006). A Figura 2.16 mostra o esquemático da célula DF-DICE.

Figura 2.16: Esquemático do flip-flop DF-DICE.



Fonte: NASEER (2006).

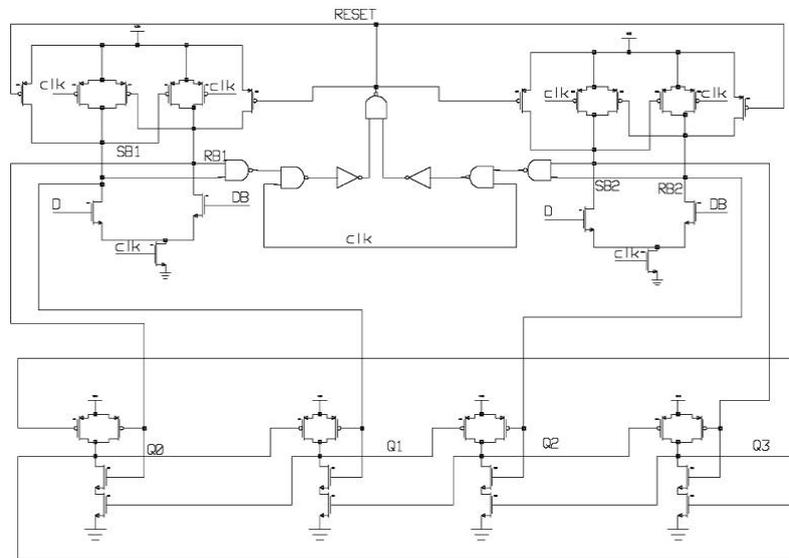
A estrutura proposta por este flip-flop tem um impacto de desempenho e área, principalmente devido à inserção de elementos causadores de atrasos. Em contrapartida, como uma das principais vantagens a simplicidade do seu projeto e os resultados encontrados utilizando apenas 4 inversores em uma tecnologia de 250 nm como “retardadores”, protegendo pulsos de até 800 ps.

2.5.3 Edge Triggered Pulse Latch – (WANG, 2004)

Este é um projeto de um flip-flop que utiliza a borda de chaveamento do sinal de *clock* deslocado devido à inserção de atrasos, combinado com a célula DICE para garantir proteção contra pulsos de SET e SEU em seus nodos internos (WANG, 2004). Basicamente, o projeto é baseado no conceito de chaveamento atrasado, ou seja, na inserção de atraso para capturar o sinal atrasado no tempo.

O flip-flop consiste na fase mestre de uma estrutura responsável pelo chaveamento da borda de subida do *clock* com atraso e na fase escravo uma estrutura para armazenamento em uma célula DICE. A Figura 2.17 ilustra o esquemático deste flip-flop.

Figura 2.17: *Edge triggered pulse latch*



Fonte: WANG (2004).

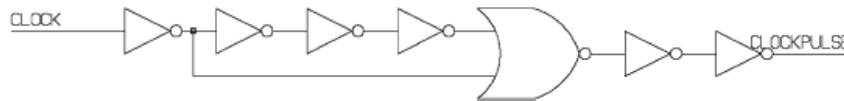
Quando uma partícula atinge os nodos sensíveis internos do flip-flop, o chaveamento da borda de *clock* será automaticamente atrasado até que o nodo atingido se recupere. O atraso inserido é determinado pelo tempo de recuperação do nodo.

Se na entrada do sinal existir um tempo válido não utilizável (*slack*), e este tempo for suficiente para a recuperação do sinal, de modo que ocorra a escrita nas 4 entradas da DICE. Sendo assim, os estados da DICE estarão sempre corretos, uma vez que a operação de captura do dado acontecerá após a recuperação do nodo do pulso de SET. Assim, a robustez do flip-flop aumenta com a quantidade de tempo de “folga” da entrada (WANG, 2004).

Neste flip-flop a forma de ajustar o chaveamento do *clock* é através do circuito para geração do pulso de *clock*, composto de 1 *nand* e 6 inversores, ilustrado na Figura 2.18.

Neste caso, percebe-se que o *clock* pode ser facilmente ajustado pelo número de elementos de atrasos inseridos no flip-flop.

Figura 2.18: Gerador de pulso de *clock* atrasado



Fonte: WANG (2004).

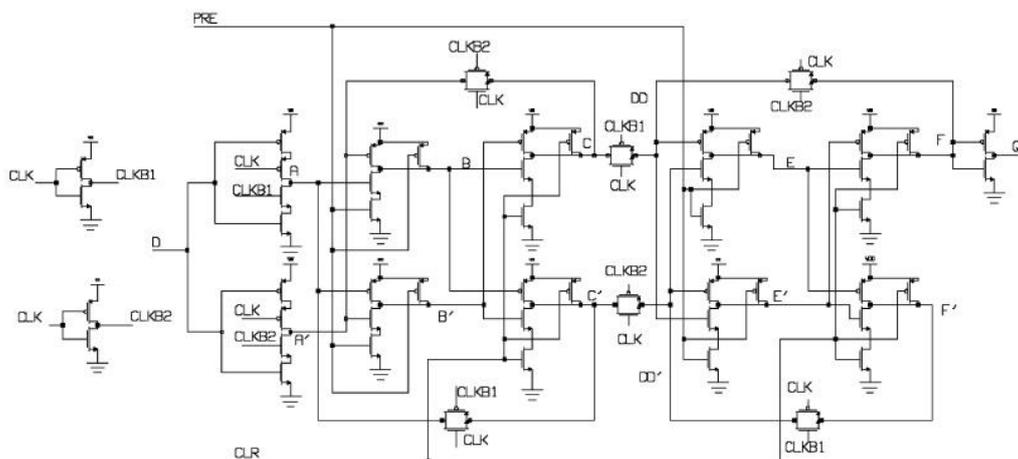
A principal desvantagem é que este flip-flop sofre um grande aumento de área e queda de desempenho à medida que o pulso de SET que se deseja proteger aumenta (JAHINUZZAMAN, 2010). Entretanto, tem-se a vantagem de utilizar o elemento de atraso na abertura da janela de vulnerabilidade para captura do sinal pela célula DICE (WANG, 2004), reduzindo o percentual de captura de dados errados.

2.5.4 MS-DICE - Master-Slave DICE - (WANG, 2004)

O flip-flop mestre-escravo DICE (*Master-slave DICE*) tem sido amplamente usado em projetos que necessitam de proteção à radiação (HAGHI, 2009). Isto se deve à eficiência e à popularização da célula de memória DICE no que se refere à proteção a pulso de SEU. Entretanto, a robustez do flip-flop mestre-escravo DICE tem sido uma das maiores preocupações dos pesquisadores em RHBD (*Radiation Hardness by Design*). Um recente relatório sobre uma análise de teste de radiação (BENEDETTO, 2004) sugere uma forte degradação causada pelo pulso de SET que acaba sendo capturado pelo flip-flop mestre-escravo DICE. Inclusive o relatório mostra que um pulso SET acaba sendo mais severo que um (*single-hit-double-nodes upsets*), ou seja, um duplo SEU dentro de um flip-flop DICE.

A Figura 2.19 mostra o estado-da-arte de um projeto de flip-flop tolerante à radiação utilizando como base estruturas de células de memória DICE (WANG, 2004). Os nodos redundantes para o mestre estão representados pelas letras (B/C e B'/C'), enquanto que para a fase escravo as letras (E/F e E'/F'). Estes nodos são utilizados para a inversão do valor lógico dentro do flip-flop quando atingidos por um pulso de SET.

Figura 2.19: MS-DICE



Fonte: WANG (2004).

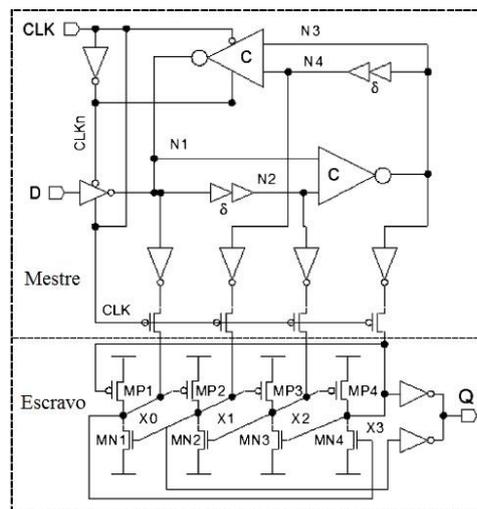
Uma vez que ambos os circuitos mestre e escravo são formados por estruturas DICE, este projeto não é afetado por pulsos simples de SEU durante a fase de armazenamento do dado. Entretanto, a principal desvantagem deste projeto é a sensibilidade a um pulso de SET caso ocorra durante a “janela de abertura” criada pelo sinal de *clock*.

2.5.5 Temporal MSFF-DICE - Temporal Dice Latch Flip-Flop – (MATUSH, 2010)

Um projeto de um flip-flop com proteção à radiação contra pulsos de SET nas entradas e pulsos de SEU nos nodos internos das estruturas de armazenamento foi proposto por MATUSH (2010), denominado de flip-flop temporal mestre-escravo DICE, utiliza técnica de proteção temporal e espacial. O circuito mestre do flip-flop é temporal, ou seja, possui em sua estrutura elementos que inserem atrasos para proteger o circuito contra pulsos de SET, enquanto que o circuito escravo utiliza como proteção com a célula DICE, espacial, para proteção como pulso de SEU.

O esquemático do flip-flop temporal mestre-escravo DICE é mostrado na Figura 2.20. Percebe-se que o circuito mestre do flip-flop utiliza dois elementos representados pela letra grega δ (delta). Estes são os elementos responsáveis pela inserção de atraso no flip-flop. Este atraso injetado através do δ utiliza uma cadeia de inversores que consiste de 8 ou 12 inversores (ex: uma cadeia de 12 transistores provê um atraso de 260 ps) (MATUSH, 2010). Outra característica da parte mestre é a utilização do elemento-C responsável por não permitir a mudança de valor em sua saída até que os sinais na sua entrada sejam análogos. O circuito escravo utiliza a estrutura de uma célula DICE para proteção contra pulsos de SEU.

Figura 2.20: Temporal MS-DICE



Fonte: MATUSH (2010)

A principal desvantagem é a inserção de elementos de atraso δ que acrescenta robustez ao flip-flop contra pulsos transientes. No entanto, esta adição de atraso resulta diretamente no aumento consumo, área e principalmente na queda de desempenho da frequência de operação do flip-flop quando comparado a estruturas não robustas (MATUSH, 2010). Outra limitação é imposta quando se necessita configurar os pulsos

triplicação de sua estrutura (redundância física), além de utilizar caminhos para restauração do sinal corrompidos (*feedback*). Enquanto que as estruturas imunes a SET utilizam da filtragem temporal, ou seja, a inserção de atrasos. As desvantagens encontradas nestas células são: o aumento da área e a queda de desempenho. Sendo assim, a Tabela 2.1 mostra as técnicas de proteção a SEU e SET nas principais células de memórias e suas características.

Tabela 2.1: Resumo comparativo das técnicas de proteção a SEU e SET em células de Memórias

<i>Célula de Memória</i>	<i>Método de Proteção</i>	<i># trans.</i>	<i>Imunidade a SEU</i>	<i>Imunidade a SET</i>
SRAM	Nenhum	4	Não	Não
Resistor de Desacoplamento	Resistor desacoplamento	8	Sim	Não
HIT	Realimentação de dados	12	Sim	Não
NASA I e II	Redundância Física	12	Sim	Não
DICE	Redundância Física	12	Sim	Não
TMR com um votador na saída	Redundância Física	38	Sim	Não
TMR com três votadores na saída	Redundância Física	90	Sim	Não
*Elemento C	Filtragem Temporal	12**	Não	Sim
Temporal Latch	Temporal e Redundância Física	80	Sim	Sim

*O elemento-C sozinho considerando como uma célula de memória, em geral, utilizado com uma célula de memória para dar proteção contra pulso de SET.

**Considerando 4 inversores (no caminho de atraso $T_{critico}$) exemplificado na Figura 2.13. À medida que se deseja aumentar o caminho de atraso aumenta-se a quantidade de transistores do elemento.

Com relação aos flip-flops que utilizam técnicas combinadas de proteção a SET e SEU, estes apresentam algumas características em comum, como exemplo, todos os flip-flops são do tipo-D mestre-escravo. Além disso, outra característica é que a grande maioria dos elementos de armazenamento do dado utiliza a célula DICE com o circuito escravo do flip-flop para garantir a proteção a SEU, enquanto que no circuito mestre é utilizada alguma técnica de filtragem a SET. A ocorrência da DICE no circuito escravo do flip-flop é devido à eficiência e popularização da sua técnica de proteção a SEU.

Uma observação importante é que o desempenho e a área do projeto são diretamente proporcionais à largura do pulso de SET que se deseja proteger, uma vez que, quanto maior for o alvo de proteção mais elementos de atrasos (por exemplo, inversores para algumas técnicas) devem ser inseridos para garantir o atraso necessário. Portanto, a Tabela 2.2 mostra um das técnicas dos flip-flops que utilizam as técnicas de proteção a SEU e SET combinadas.

Tabela 2.2: Resumo comparativo das técnicas de proteção a SEU e SET em flip-flop

<i>Célula de Memória</i>	<i>Método de Proteção a SET</i>	<i>Método de Proteção a SEU</i>	<i># trans.</i>	<i>Imunidade a SEU</i>	<i>Imunidade a SET</i>
Flip-flop mestre-escravo padrão	Nenhum	Nenhum		Não	Não
TSPC – DICE	Realimentação de dados	Redundância Física	22	Sim	Sim
DF – DICE	Temporal	Redundância Física	90*	Sim	Sim
Edge Triggered Pulse Latch	Temporal	Redundância Física	72**	Sim	Sim
MS – DICE	Redundância Física	Redundância Física	54	Sim	Não
Temporal MSFF – DICE	Temporal	Redundância Física	74***	Sim	Sim
TDFP – DICE	Temporal	Redundância Física	88	Sim	Sim

*Considerando 4 inversores (como elemento de atraso) para nas entradas dos sinais de CLK_in, D_in, PRE_in e CLR_in como ilustrados na Figura 2.16 apresentada no trabalho de NASEER (2006).

**Considerando o pulso gerador de sinal de *clock* como ilustrado na Figura 2.19 apresentado no trabalho de WANG (2004).

***Considerando o (δ) 8 inversores como ilustrado na Figura 2.21 e apresentado no trabalho de MATUSH (2010).

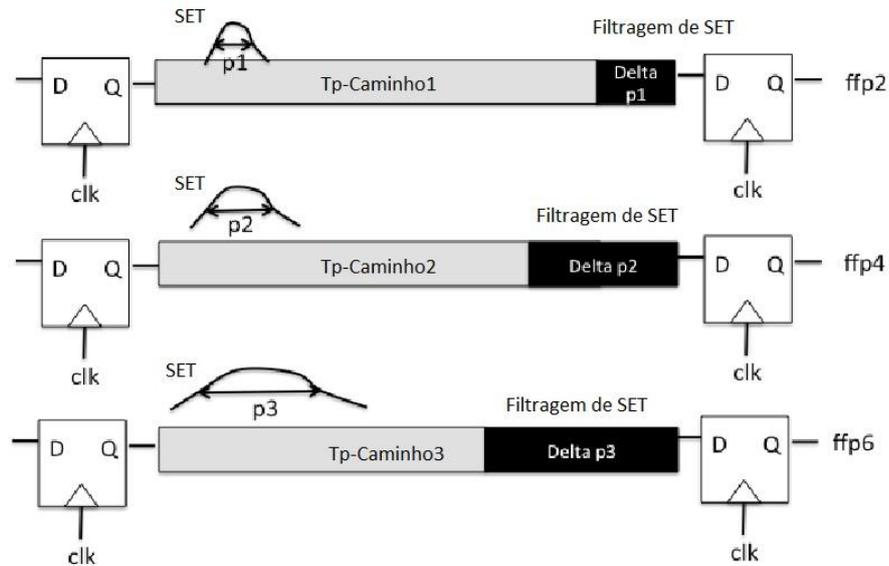
3 METODOLOGIA PROPOSTA PARA O USO DE FILTRAGEM ADAPTIVA DE SET EM CIRCUITOS INTEGRADOS

Como já discutido anteriormente, um erro causado por um pulso de SET acontece se o nodo de uma célula, em um circuito combinacional, é atingido por um pulso de radiação e não consegue recuperar o valor original do seu sinal antes da borda de chaveamento (subida ou descida) do sinal *clock*, ocasionando a propagação do valor errado o circuito. Em sistemas digitais síncronos todos os *latches* e flip-flops têm o mesmo tempo para a borda de chaveamento do sinal de *clock*. Entretanto existem caminhos combinacionais (caminhos não críticos) que possuem folgas, no inglês chamada de *slack*, entre a saída de caminho lógico e a entrada em um flip-flop. Esta “folga” é visualizada se este caminho lógico (não crítico) é comparado ao caminho crítico. Portanto, a inserção de elementos geradores de atrasos nas entradas dos flip-flops destes caminhos, com o intuito de utilizar as “folgas”, de modo a transformar este tempo “extra” em tempo de manutenção do sinal lógico (*hold time*), torna-se uma possibilidade para melhorar a robustez à radiação em circuitos digitais. (WANG, 2004).

Sendo assim, a proposta deste trabalho é utilizar a vantagem de existir uma grande variedade de atrasos, na propagação de sinais sobre os múltiplos caminhos combinacionais dentro de um CI. Entretanto, para poder trabalhar com os diferentes atrasos, entre os caminhos combinacionais e as células de memórias, é necessário um elemento que permita receber uma determinada configuração e possa gerar diferentes valores de atrasos de modo a provocar o mínimo impacto no desempenho do circuito.

A técnica proposta para neste trabalho pretende ser aplicada em diferentes caminhos lógicos com diferentes atrasos (*slacks*). A Figura 3.1 exemplifica a utilização da técnica proposta. Existem 3 diferentes caminhos lógicos com diferentes tempos de propagação (T_p -caminho1, T_p -caminho2 e T_p -caminho3). Considere também que o caminho lógico 1 é o caminho crítico do sistema, enquanto que os caminhos 2 e 3 são caminhos não críticos, ou seja, possuem “folgas” quando comparados ao caminho 1. Quando um específico (δ) delta de atraso é escolhido para a filtragem de SET no caminho crítico (caminho 1), o T_p -caminho1 mais o δ (T_p -caminho1 + δ) determina o novo atraso de propagação do circuito. Sendo assim, os caminhos restantes têm um tempo de propagação (T_p) menor ou igual ao caminho crítico. Então eles podem tolerar maiores δ deltas de atrasos sem comprometer o desempenho do circuito, uma vez que o caminho crítico T_p -caminho1 continua sendo o limitador de desempenho. Sendo assim, o uso de maiores δ de atrasos nos outros caminhos pode aumentar a robustez do circuito a maiores pulsos de SET, uma vez que maiores larguras de pulsos de SET são mitigadas.

Figura 3.1: Exemplo de um circuito digital com três caminhos lógicos com diferentes tempos de propagação (T_p).



Fonte: SOUZA (2012)

Portanto, o principal desafio é saber como determinar um elemento ou circuito em que seja possível selecionar diferentes entradas de maneira a se adaptar a diferentes atrasos para cada flip-flops de modo a dar robustez a pulsos de SET, no entanto, em que a perda de desempenho seja a mínima possível.

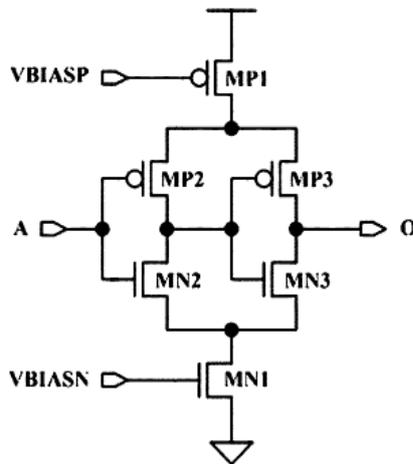
3.1 Trabalho Original

Dentre os elementos apresentados no capítulo 2, na seção 2.5 – Estado-da-Arte dos Flip-Flops de proteção combinadas SET e SEU o TDFP (KNUDSEN, 2006) propõe um flip-flop tolerante a SET e SEU que tem como características um elemento (δ) programável pelo ajuste de fontes que produzem diferentes atrasos.

TDFP (KNUDSEN, 2006) apresenta a habilidade de produzir diferentes atrasos apenas pelo ajuste da configuração no elemento de atraso (δ) em cada flip-flop. Então, é possível configurar o atraso (δ) do circuito de filtragem de SET para proteger vários intervalos de larguras de pulso de SET. Os autores de TDFP propõem o uso de elemento programável para proteger o flip-flop contra diferentes LET, mas não exploram o fato de ajustar o atraso em (δ) para caminhos lógicos com diferentes atrasos. Neste caso, cada flip-flop tem um diferente δ atraso. A Figura 3.2 mostra o esquemático do elemento δ .

O elemento de atraso δ é um circuito que pode ser configurado para gerar atrasos através da corrente dos transistores MP1 e MN1 que são programados para aumentar ou diminuir os atrasos. Conseqüentemente, o circuito permite que o atraso seja ajustável pela mudança nas voltagens analógica de VBIASP e VBIASN. Permitindo um ajuste no atraso para diferentes larguras de pulso de SET.

Figura 3.2: Elemento com atraso programável (δ) proposto por Knudsen



Fonte: KNUDSEN (2006)

Desta maneira, cada flip-flop é configurado com um específico atraso (δ) para se tornarem tolerantes a SET. O importante é saber como selecionar diferentes VBIASN e VBIASP para adaptar para cada flip-flop robusto de modo a maximizar a tolerância a SET e minimizar a perda de desempenho.

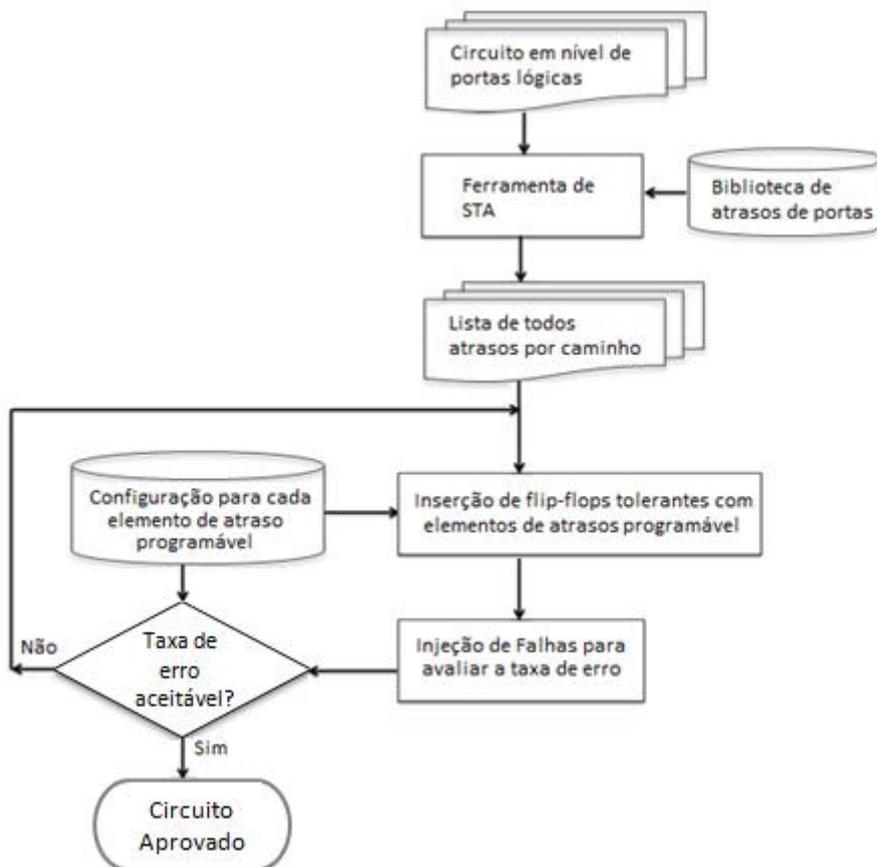
3.2 Metodologia Aplicada

Para validação da técnica proposta torna-se necessário a implementação de um circuito para estudo de caso, aliada aos testes de injeção de falhas. Sendo assim, uma metodologia foi desenvolvida para a avaliação da técnica proposta e também para verificação da taxa de erro de software. O fluxo desta metodologia está ilustrada na Figura 3.3.

Analisando a Figura 3.3 percebe-se que primeiramente o circuito que será utilizado para proteção à radiação deve ser mapeado em portas lógicas de uma específica biblioteca de uma determinada tecnologia (para este trabalho 65 nm), em cada biblioteca está definido o atraso de cada porta lógica. Com o uso de uma ferramenta de análise de tempo STA – (*Static Timing Analysis*) é possível identificar o atraso de propagação para cada caminho lógico. Esta ferramenta calcula o máximo atraso que está associado a cada caminho. Depois que o atraso por caminho é determinado, cada valor de atraso por caminho deve ser comparado ao caminho crítico. A comparação com o caminho crítico serve para determinar a diferença entre os caminhos. Esta diferença encontrada identifica os valores que podem ser configurados no elemento com atraso programável (δ). As características de adaptatividade são alimentadas com o conjunto de todas as possíveis configurações que podem ser programada no elemento de atraso (δ). As características de adaptatividade serão usadas para avaliar e decidir qual a melhor configuração do elemento δ de acordo com o máximo impacto no desempenho que o circuito pode suportar ou a mínima taxa de erro que o circuito deve ter para proteger a um determinado intervalo crítico de largura de pulsos de SET. A injeção de falhas é realizada para analisar a taxa de erro para uma gama de larguras de pulso-SET. Se a taxa de erro é de acordo com o esperado, o circuito tolerante a falhas está aprovado. Caso contrário, valores diferentes para os circuito de atraso configurável são

escolhidos e uma nova injeção de falhas é realizada até que os valores encontrados se encontrem dentro de estabelecido.

Figura 3.3: Fluxo da metodologia proposta para avaliação da taxa de erro na injeção de falhas usando um elemento de atraso configurável.



Fonte: SOUZA (2012)

Nas próximas seções serão apresentados dois estudos de casos de modo a validar a técnica escolhida e a metodologia proposta.

4 VALIDAÇÃO DA TÉCNICA FILTRAGEM ADAPTIVA DE SET EM CIRCUITOS INTEGRADOS

Esta seção se destina à apresentação de um estudo de caso para a validação da técnica proposta. Para isto, é selecionada uma parte do circuito integrado e substituídos os flip-flops mestre-escravo tipo D, pelos flip-flops TDFE tolerantes à radiação. Sendo assim, é realizada a análise do circuito sem a presença de falhas para obter as saídas corretas (*gold execution*). Em seguida é realizada a injeção de falhas para verificar a tolerância do circuito com a presença dos flip-flops TDFE configurados com atraso. Assim, ao final, é possível fazer uma análise da taxa de erro (SER) do circuito.

4.1 Estudo de Caso I

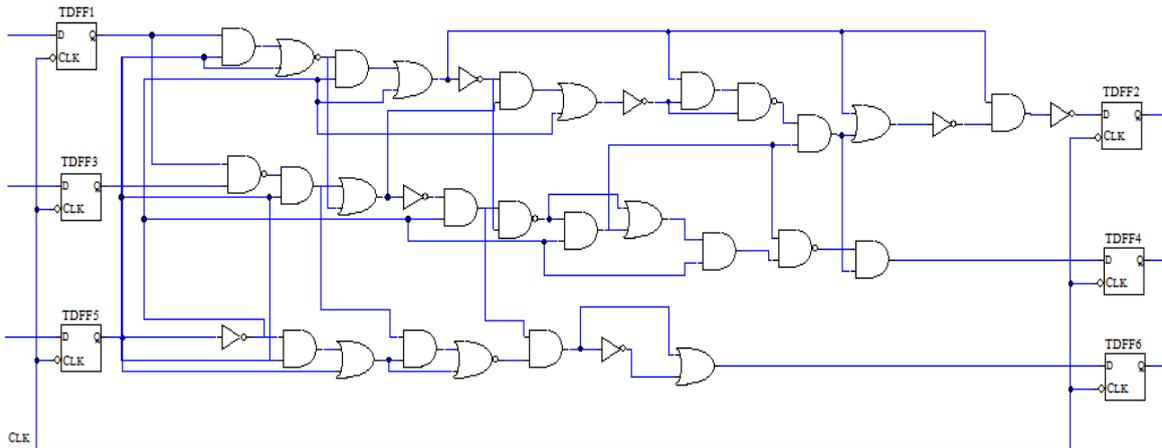
Mediante a escolha do flip-flop tolerante a SET e SEU selecionado para validação da técnica proposta, um estudo de caso foi projetado em nível elétrico utilizando como padrão flip-flop mestre-escravo TDFE tipo D. O processo de tecnologia adotado foi CMOS 65 nm usando o modelo PTM – *Predictive Technology Model* (PTM Model). Todos os transistores do tipo p foram dimensionados 1,5 vezes maiores que os transistores tipo n. Todas as simulações foram geradas e analisadas utilizando SPICE (HSPICE).

O circuito utilizado para estudo de caso é apresentado na Figura 4.1. É uma pequena parte de um circuito maior e foi selecionado para validar a ideia proposta. O circuito é composto de 3 caminhos combinacionais. Cada caminho combinacional tem origem em uma barreira de flip-flop (TDFE1, TDFE3 e TDFE5), e o final de cada caminho é marcado pela saída combinacional conectada a outra barreira de flip-flop (TDFE2, TDFE4 e TDFE6).

Com o auxílio da ferramenta de STA (*Static Timing Analysis*) é possível determinar o tempo de propagação de cada caminho lógico, representados por:

- O caminho 1 – (TDFE1 – TDFE2): Tempo de propagação = 223,0 ps
- O caminho 2 – (TDFE3 – TDFE4): Tempo de Propagação = 193,1 ps
- O caminho 3 – (TDFE5 – TDFE6): Tempo de Propagação = 169,7 ps

Figura 4.1: Circuito para estudo de caso.

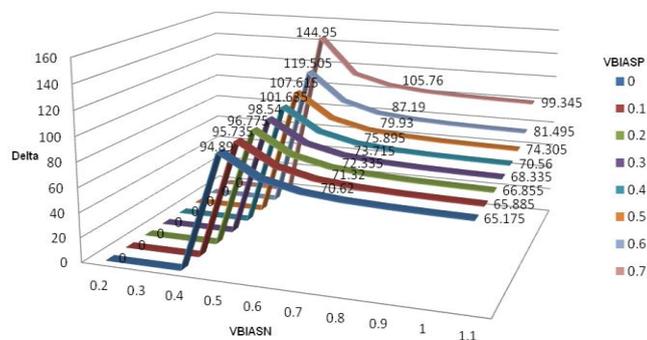


Fonte SOUZA (2012)

Portanto é possível verificar que o caminho com a maior quantidade de portas de lógicas é o caminho 1 que tem maior tempo de propagação entre os flip-flops, sendo assim, este será classificado como o caminho crítico, enquanto que o caminho 2 será o caminho mediano e por último o caminho 3 que é o menor caminho, para este circuito.

De modo a ajustar o elemento de atraso programável (δ) para cada flip-flop, as entradas das fontes VBIASN e VBIASP de cada δ devem ser configuradas com valores mais adequados de modo a gerar o atraso desejado. A Figura 4.2 mostra todas as possíveis combinações geradas pelo elemento de atraso programável. O intervalo encontrado para esta tecnologia varia de 65 ps a 144 ps, ou seja, pode-se configurar o atraso para proteger uma variedade de larguras de pulso de SET que se encontram dentro deste intervalo de atraso. Como exemplo, para obter a representação do valor mínimo atraso do elemento, o valor de 65 ps, a configuração das fontes do elemento de atraso deve ser VBIASN = 1.1 e VBIASP = 0, enquanto que para obter o valor máximo, o valor de 144 ps, deve-se configurar as fontes do elemento δ com VBIASN = 0,6 e VBIASP = 0,7.

Figura 4.2: Gráfico representativo dos valores de VBIANS e VBIASP



Fonte SOUZA (2012)

Neste caso analisando o circuito do estudo de caso, a diferenças entre os tempos de propagação dos demais caminhos lógicos em relação ao caminho crítico pode ser assim definido:

- Caminho 1 – Caminho 2 => 223 ps – 193 ps = 30 ps

- Caminho 1 – Caminho 3 => $223 \text{ ps} - 169.7 \text{ ps} = 53.3 \text{ ps}$

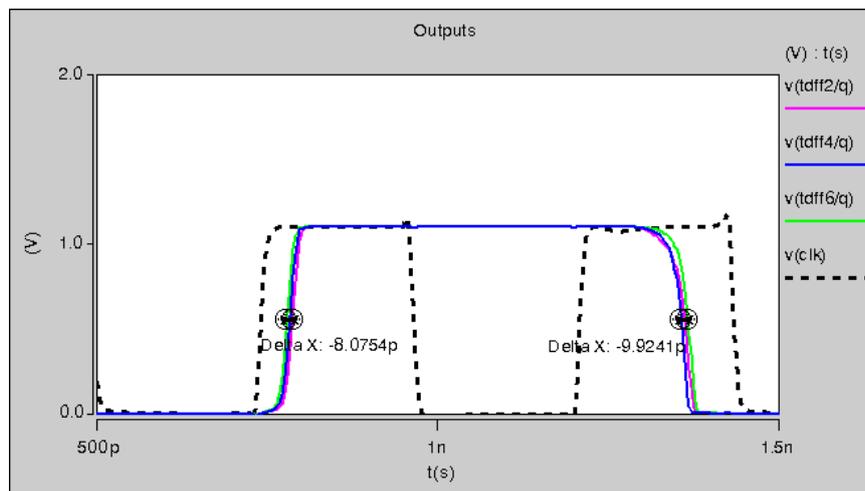
Entretanto, é importante observar que quando ao aplicar a solução TDFE nos flip-flops (isto inclui o caminho crítico), o caminho crítico passa a ter um acréscimo no tempo de propagação gerado pela configuração mínima do δ de 65 ps, sendo assim o valor atualizado do tempo de propagação do caminho crítico é de $223 + 65 = 288 \text{ ps}$. Então, na realidade, a folga (*slack*) do caminho 2 é de 95 ps ($30 \text{ ps} + 65 \text{ ps}$) e para o caminho 3 é 118 ps ($53,3 \text{ ps} + 65 \text{ ps}$) em comparação ao caminho crítico.

De acordo como estes resultados apresentados é possível escolher as devidas configurações de VBIASN e VBIASP para cada um dos flip-flops. Para isto, basta analisar uma possível combinação mostrada na Figura 4.2. Sendo assim, as configurações escolhidas para cada caminho foram:

- Caminho 1 – Caminho Crítico
 - VBIASN= 1.1 e VBIASP = 0.0
 - Delta $\approx 65 \text{ ps}$.
- Caminho 2 – Caminho Médio
 - VBIASN= 0.6 e VBIASP = 0.5
 - Delta $\approx 88 \text{ ps}$.
- Caminho 3 – Menor Caminho
 - VBIASN = 0.5 e VBIASP = 0.4
 - Delta $\approx 102 \text{ ps}$.

Estes valores de configuração do elemento δ selecionados representam a largura dos pulsos de SET que podem ser filtrados. A Figura 4.3 mostra as três saídas dos flip-flops TDFE2, TDFE4 e TDFE6 de acordo com o a borda de subida do *clock*. É importante observar que, com a utilização dos flip-flops TDFE, as diferença entre bordas de subida e descida dos sinais de entrada de cada flip-flop são minimizada pela inserção dos atrasos. Observa-se que a maior diferença entre os caminhos lógicos (caminho 1, 2 e 3) é de agora 9.92 ps, o qual é representado pela diferença entre o caminho 1 e 3.

Figura 4.3: Simulação das saídas dos 3 caminhos lógicos em relação ao sinal de *clock*



Fonte SOUZA (2012)

A Tabela 4.1 mostra uma comparação do circuito de estudo de caso composto por células de memórias TDFD com o mesmo circuito de estudo de caso utilizando flip-flops padrão tipo mestre-escravo tipo D sem proteção à radiação. Um flip-flop padrão tipo-D tem 36 transistores, enquanto que os flip-flops TDFD tem 88 transistores. Percebe-se, portanto, que o uso dos flip-flop TDFD aumenta o número de transistores nos circuitos em 88,11% e isto reduz a frequência em 2,4 vezes quando o mínimo atraso (δ) é selecionado. Esta redução é muito alta e ocorre principalmente devido à inclusão do votador no final da fase mestre do flip-flop TDFD (ver Figura 2.22).

Tabela 4.1: Circuito de estudo de caso com flip-flops padrão e flip-flops TDFD

<i>Circuito: Estudo de Caso</i>	<i>Máxima Frequência</i>	<i>Número de transistores</i>	<i>Imunidade a pulso de SEU</i>	<i>Imunidade a pulso de SET</i>
Com flip-flop padrão Mestre-escravo	5,16 GHz	380	Não	Não
Com flip-flop TDFD Mestre-escravo	2,08 GHz	692	Sim	Sim

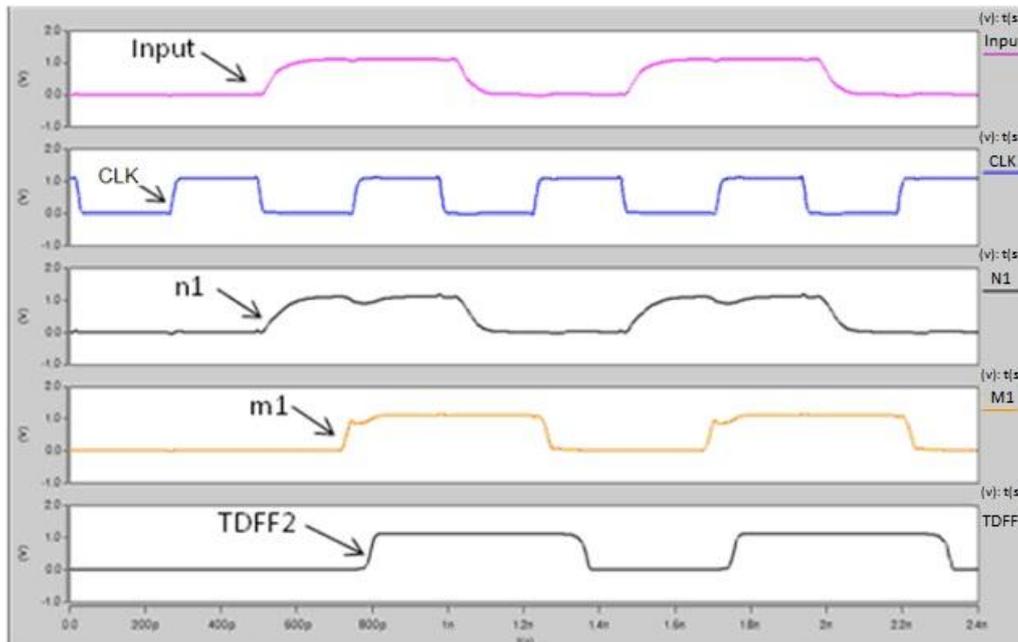
4.1.1 Injeção de Falhas por Simulação Elétrica

A injeção de falhas foi realizada para determinar o comportamento das respostas do flip-flop mestre-escravo TDFD na presença de SET. Pulsos de SET de diferentes larguras são injetados nos caminhos combinacionais para avaliar a técnica de tolerância a falhas utilizada. Entretanto, antes de fazer a injeção de falha, é importante observar o funcionamento do circuito em operação sem a proteção de falhas. O importante da análise da operação do circuito é verificar pontos susceptíveis a captura do pulso de SET, ou seja, é neste ponto que a ocorrência dos pulsos de SET pode ocasionar uma falha.

Sendo assim, a Figura 4.4 ilustra o registro de um novo valor em um flip-flop mestre-escravo TDFD. Inicialmente, o sinal de *clock* tem o valor 0 (zero), a parte mestre do flip-flop recebe o dado de entrada. O nodo *n1* representa um valor na entrada mestre, enquanto que nodo *m1* representa o valor de saída do mestre. Note que o atraso da entrada para a saída do mestre é de aproximadamente meio período do *clock*. Este atraso é proporcional ao atraso usado na filtragem dos SET. Uma vez que o nível do sinal de *clock* muda novamente para 1 (um), a parte escravo captura a saída do mestre e mostra a saída do flip-flop, representado pelo nodo *TDFD2* (ver nodo na Figura 3.2).

Portanto, ao analisar o modo de operação do circuito, para que um pulso de SET cause um erro em um flip-flop mestre-escravo TDFD, este pulso deve acontecer na saída do mestre antes que ocorra a mudança no sinal do *clock* de 0 -> 1 (de zero para um), esta é a janela de abertura do sinal do *clock*. Se o pulso de SET for menor que o atraso programado em (δ) o SET não irá aparecer na saída do mestre. Caso contrário, o pulso será votado pelo circuito do mestre, e o escravo armazenará o valor errôneo causado pelo pulso de SET, provocando um erro.

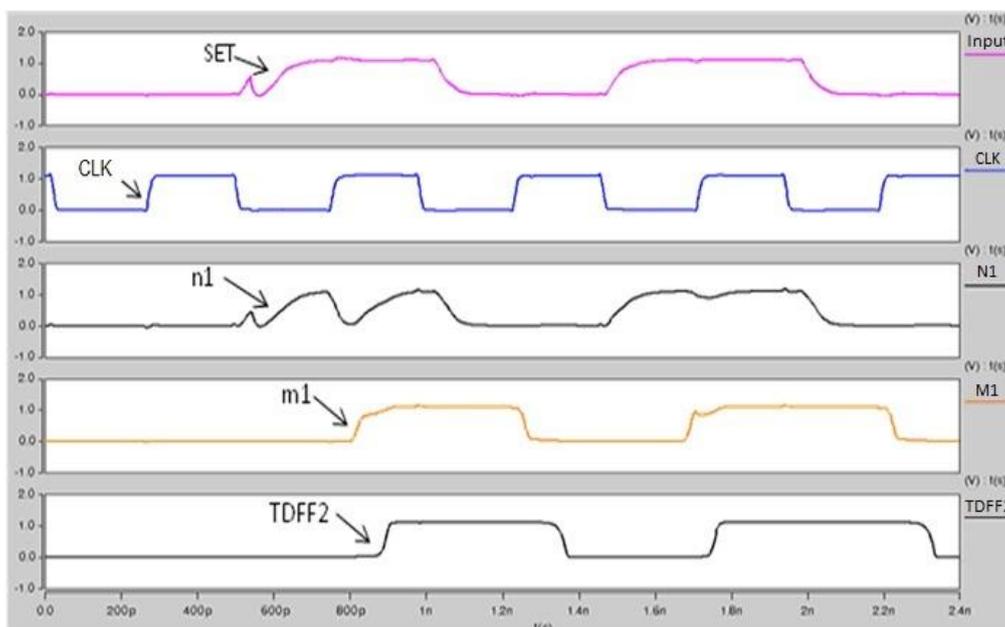
Figura 4.4: Funcionamento do circuito TDFD



Fonte: SOUZA (2012)

A Figura 4.5 ilustra a injeção de um pequeno pulso de SET ocorrendo no caminho lógico 1. Percebe-se que o nodo *n1* sofre uma degradação parcial devido ao pulso do SET. Entretanto, esta degradação não se propaga pelo flip-flop, o valor correto chega corretamente aos votadores, isto ocorre devido aos diferentes atrasos configurados para o (δ) que chegam às entradas dos votadores, podendo ser visto no nodo *m1* (o sinal já recuperado). Sendo assim, o valor correto é armazenado pela parte escravo, como se pode ver no nodo TDFD2 na Figura 4.5.

Figura 4.5: Injeção de um pulso de SET com largura menor que o atraso configurado em δ do flip-flop TDFD, nenhum erro é observado.



Fonte: SOUZA (2012)

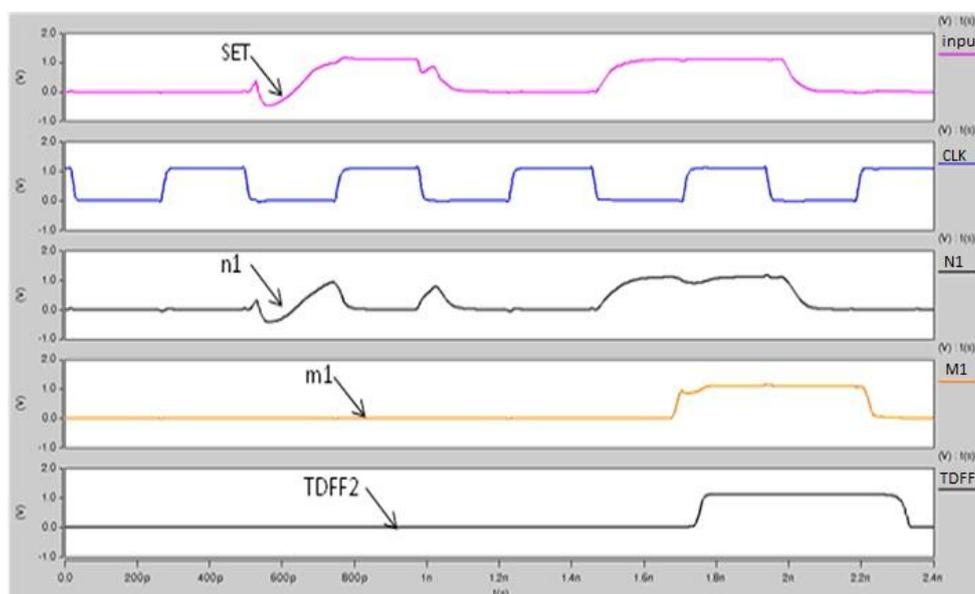
O teste de injeção falha é refeito novamente, mas ao invés de inserir um pulso de SET pequeno, aplica-se um pulso de SET com largura superior ao que cada caminho pode suportar.

A tabela 4.2 mostra os máximos valores de largura de um pulso SET que podem ser suportados por cada caminho. Além disso, mostra também a intensidade da corrente e a carga que é depositada no momento em que o pulso é inserido. Os valores encontrados na Tabela 4.2 são correspondentes aos atrasos ajustados para δ em cada um dos flip-flops mestre-escravo TDFE. Portanto, quando a largura de um pulso de SET ultrapassar o limite estipulado na Tabela 4.2, os pulsos de SET são capturados pelo flip-flops, como ilustrado na Figura 4.6.

Tabela 4.2: Características dos pulsos de SET suportados por cada caminho lógico.

Caminhos Lógicos	Característica do Pulso de SET		
	Largura do Pulso	Intensidade da Corrente	Carga Crítica
Caminho 1	67,22 ps	0,70 mA	25,94 fC
Caminho 2	86,78 ps	0,70 mA	31,52 fC
Caminho 3	105,07 ps	0,70 mA	35,08 fC

Figura 4.6: Injeção de SET de largura superior ao configurado δ , um erro é observado na saída.

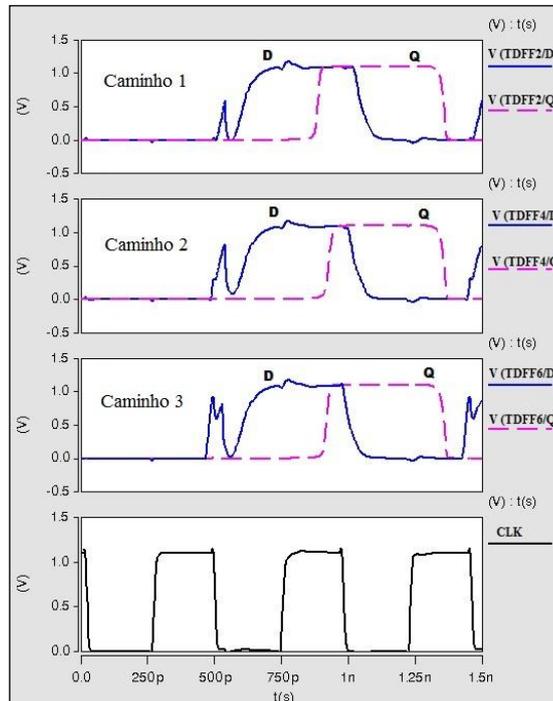


Fonte: SOUZA (2012)

Ao analisar a Figura 4.6 percebe-se que com a aplicação de um pulso de SET com largura superior ao suportado pelo flip-flop, o sinal *n1* sofre uma maior degradação e por consequência não consegue “repassar” o valor correto para *m1*. O nodo *m1* continua fazendo a leitura do valor “0” (zero), ao invés do valor “1” (um), resultando num armazenamento errado pela saída do flip-flop, como representado pela variável TDFE2 Figura 4.6.

A Figura 4.7 mostra a injeção de pulso SET para todos os caminhos. Nota-se que, quando a largura do pulso SET é mais curta do que o atraso configurado em δ utilizados em cada caminho, o pulso é filtrado, como pode ser observado pelo sinal Q para cada circuito.

Figura 4.7: Injeção de pulsos de SET para os caminhos 1, 2 e 3 com larguras menores que o atraso configurado em δ para os flip-flops TDF2, TDF4 e TDF6.



Fonte: SOUZA (2012)

4.1.2 Taxa de Erro Observada através da Injeção de Falhas por Simulação Lógica

Validado o funcionamento do circuito e descoberto que existem pontos no circuito em que os dados possam sofrer a influência de um SET. O próximo passo a ser realizado é a injeção de falhas para analisar a taxa de erro gerada. Para isto, pulsos de SET aleatórios de diferentes durações são injetados nos caminhos combinacionais e a simulação lógica é realizada.

Os SETs são injetados no nível lógico usando o ambiente do ModelSim® (MENTOR GRAPHICS). Sendo assim, uma falha é injetada randomicamente sobre a lista de sinais (76 sinais no total) por tempo de execução. O processo de injeção de falhas ocorre da seguinte maneira: Primeiramente, o script é executado nos circuitos sem injeção de pulso de SET de modo a obter os resultados como a execução correta (*gold execution*). Estes resultados são armazenados para futuras comparações. Para cada teste 100 falhas são injetadas por sinal resultando em um total de 7.600 falhas injetadas. Cada resultado da execução é comparado com o resultado obtido anteriormente (*gold*), se existir qualquer discrepância entre os resultados, um erro é reportado.

Os seguintes casos de testes foram executados, e os resultados de cada injeção de falhas para cada caso são mostrados na Tabela 4.3:

- Caso 1: Nenhum δ delta de atraso é utilizado no circuito e são inseridos pulsos de SET de 65 ps, 86 ps, 105 ps e 140 ps.
- Caso 2: Todos os flip-flops TDFE são configurados com δ delta de atraso de 65 ps e são injetados pulsos de SET com largura de 65 ps, 86 ps, 105 ps e 140 ps.
- Caso 3: Todos os flip-flops TDFE são configurados com δ delta de atraso de 86 ps e são injetados pulsos de SET com largura de 65 ps, 86 ps, 105 ps e 140 ps.
- Caso 4: Todos os flip-flops TDFE são configurados com δ delta de atraso de 105 ps e são injetados pulsos de SET com largura de 65 ps, 86 ps, 105 ps e 140 ps.
- Caso 5: Cada flip-flop TDFE é configurado com δ delta de atraso de 65ps, 86ps e 105ps de acordo com o caminho lógico e são injetados pulsos de SET com largura de 65 ps, 86 ps, 105 ps e 140 ps.

Tabela 4.3: Resumo da taxa de erro a partir da injeção de falhas

<i>Caso</i>	<i>Configuração Elemento: δ</i>	<i>Largura do Pulso de SET (ps) Injetado</i>	<i># SET injetado</i>	<i># Erros</i>	<i>% Erro</i>
Caso 1	0 ps (não usa CDE)	65	7383	217	2,85
		86	7316	284	3,73
		105	7224	376	4,94
		140	7097	503	6,61
Caso 2	Todos os CDE= 65 ps	65	7600	0	0
		86	7575	25	0,33
		105	7543	57	0,75
		140	7218	382	5,02
Caso 3	Todos os CDE= 86 ps	65	7600	0	0
		86	7600	0	0
		105	7575	25	0,33
		140	7249	351	4,61
Caso 4	Todos os CDE= 105 ps	65	7600	0	0
		86	7600	0	0
		105	7600	0	0
		140	7302	298	3,92
Caso 5	CDE Caminho 1 = 65 ps		7600	0	0
	CDE Caminho 2 = 86 ps	65	7583	17	0,22
		86	7566	34	0,45
		105	7566	34	0,45
CDE Caminho 3 = 105 ps	140	7512	88	1,15	

A tabela 4.4 mostra uma comparação de área e desempenho (baseado no caminho crítico) para cada um dos cinco casos propostos.

Tabela 4.4: Área e desempenho para os casos propostos.

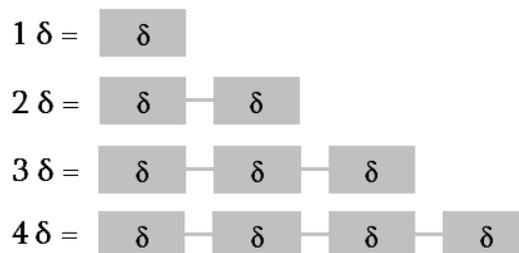
<i>Caso</i>	<i>Elemento de Atraso (δ)</i>	<i>Área (μm^2)</i>	<i>Frequência (Caminho Crítico)</i>
Caso 1	0	315,21	5,16 GHz
Caso 2	65	464,75	2,08 GHz
Caso 3	86	464,75	1,99 GHz
Caso 4	105	464,75	1,92 GHz
Caso 5	65, 86 e 105	464,75	2,08 GHz

Analisando a Tabela 4.4 percebe-se que quando pulso de SET de 140ps é injetado e o circuito utiliza o método proposto (caso 5), é possível reduzir em até 5 vezes o número de erros com uma degradação de desempenho, e com aumento de áreas comparáveis aos demais casos que utilizam os flip-flops TDFF.

4.2 Expansão da Técnica Proposta para SET mais Longo

Cada circuito de atraso programável contribui com um mínimo de atraso de 65 ps a no máximo 144ps. Consequentemente, se maiores pulsos de SET devem ser filtrados. Uma possível solução proposta é adição de circuitos de modo serial no projeto do flip-flop TDFF, como mostrado na Figura 4.8.

Figura 4.8: Usando o circuito de atraso δ em série para proteção a maiores pulsos SET.



Fonte: SOUZA (2012)

O uso de mais de um circuito de atraso programável δ tem como desvantagem o incremento da área e o decremento elevado do desempenho do circuito. Mas provê maiores níveis de proteção à ocorrência de pulso de SET de maiores larguras. A Tabela 4.5 ilustra o impacto do uso em série do circuito de atraso programável (δ).

Tabela 4.5: O impacto do uso dos circuitos programáveis (δ) em series

<i>Número elementos (δ) em serie</i>	<i>Mínimo valor de atraso (δ)</i>	<i>Máximo valor de atraso (δ)</i>	<i>Número de transistores do flip-flop TDFF</i>
1	65 ps	144 ps	88
2	130 ps	288 ps	96
3	195 ps	432 ps	104
4	260 ps	576 ps	112

5 APERFEIÇOAMENTO DA FILTRAGEM ADAPTIVA DE SET EM CIRCUITOS INTEGRADOS

Validada a técnica do uso de um elemento de atraso configurável δ através do flip-flop tolerante TDFP é necessário aperfeiçoá-la uma vez que a mesma possui limitações no que se refere a sua construção no nível de layout. Sendo assim, esta seção se destina a propor um novo elemento de atraso configurável e este foi aplicado em circuitos do benchmark ISCAS 85 para validação do novo elemento configurável.

5.1 Proposta de Elemento de Atraso Configurável - CDE

O elemento de configuração proposto por KNUDSEN (2006) tem como principal características a necessidade de configuração de diferentes valores de tensões para ser aplicados nos *gates* dos transistores de entrada (VBIASN E VBIASP) para prover diferentes atrasos. Sendo assim, esta passa a ser a principal desvantagem deste projeto. No nível de layout do circuito, a complexidade deste é elevada, pois existe a necessidade de prover diferentes níveis de tensão distribuídos em torno do *chip*. Existindo assim, limitações em termos de roteamento de sinais e posicionamento das células (SOUZA, 2012).

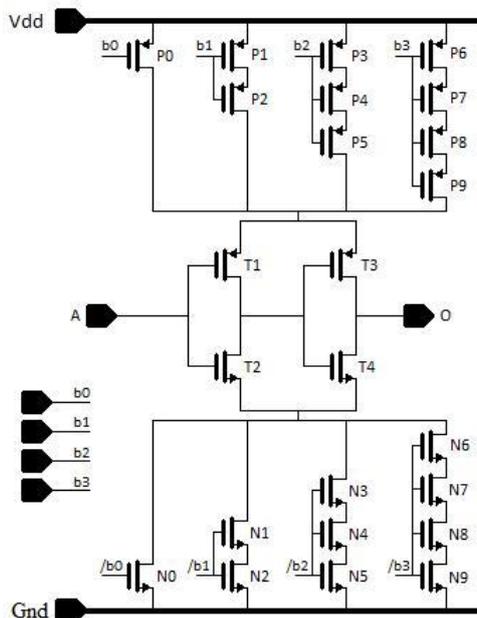
A fim de solucionar estes problemas, um novo elemento lógico configurável é proposto baseado na técnica de *trimming* que permite o ajuste digital dos transistores. O novo elemento de atraso configurável, denominado de *Configurable Delay Element* (CDE), pode ser configurado por um conjunto de 4 bits, cada combinação de 4 bits representa um atraso que pode ser inserido utilizando o CDE. O esquemático do CDE pode ser visualizado na Figura 5.1.

De acordo com dimensionamento de cada transistor consegue-se obter a possibilidade de escolha de diferentes configurações de 4 bits para obter diversidade de atrasos. Os seguintes valores foram dimensionados para os transistores:

- Transistores – NMOS
 - N0 – valor mínimo para NMOS;
 - N1 e N2 – 1,5 vezes maior que N0;
 - N3, N4 e N5 – 2 vezes maior que N0;
 - N6, N7, N8 e N9 – 4 vezes maior que N0.
- Transistores – PMOS
 - P0 – 1,5 vezes maior que N0;

- P1 e P2 – 1,5 vezes maior que P0;
- P3, P4 e P5 – 2 vezes maior que P0;
- P6, P7, P8 e P9 – 4 vezes maior que P0;

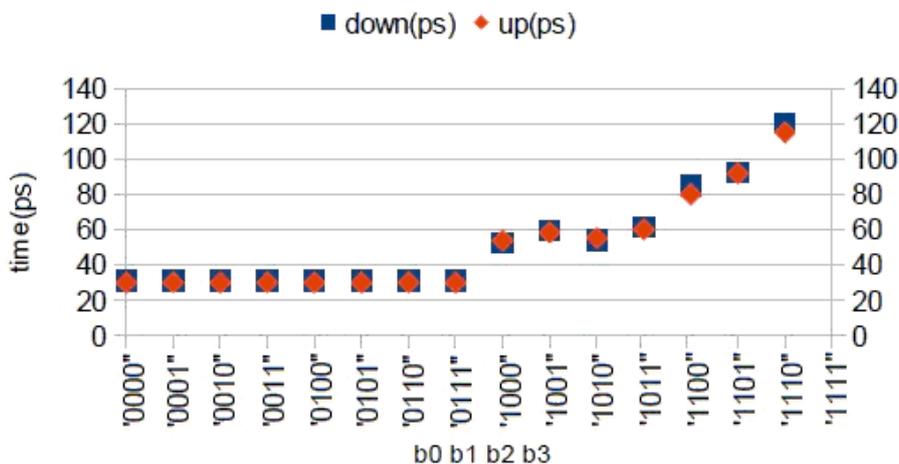
Figura 5.1: Esquemático proposto do elemento de atraso configurável. (CDE)



Fonte: SOUZA (2012)

Com 4 bits pode-se realizar 16 combinações de valores (atrasos), entretanto as medições elétricas mostraram que as combinações iniciais possuíam aproximadamente o mesmo valor mínimo de atraso representado pelos bits “0000” = 30,8 ps, enquanto que a configuração de bits “1110” = 120,6 ps que representa o valor máximo de atraso que pode ser inserido através do elemento CDE. A Figura 5.2 ilustra o gráfico com as diferentes possibilidade de seleção de bits em relação ao atraso gerado por cada combinação de 4-bits.

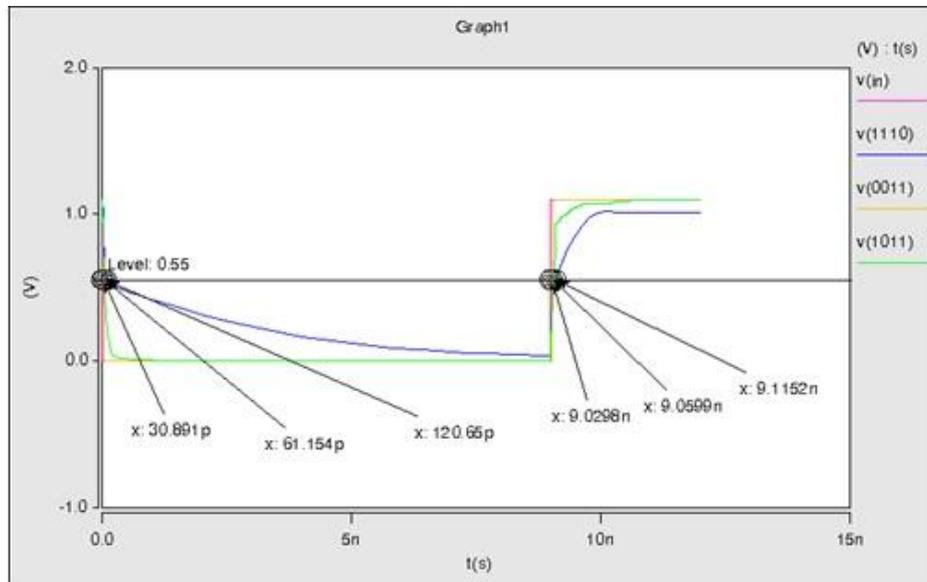
Figura 5.2: Atrasos configuráveis de acordo como os 4-bits de entrada.



Fonte: SOUZA (2012)

A Figura 5.3 mostra uma simulação em SPICE de 3 combinações de 4-bits que representam o menor valor encontrado para o CDE de 30,8 ps (0011), um valor mediano de 61,1 ps (1011) e o maior valor de configuração de atraso de 120,6 ps (1110).

Figura 5.3: Simulação elétrica em SPICE do CDE proposto.



Fonte: SOUZA (2012)

5.2 Comparação Entre os Elementos de Configurações de Atrasos

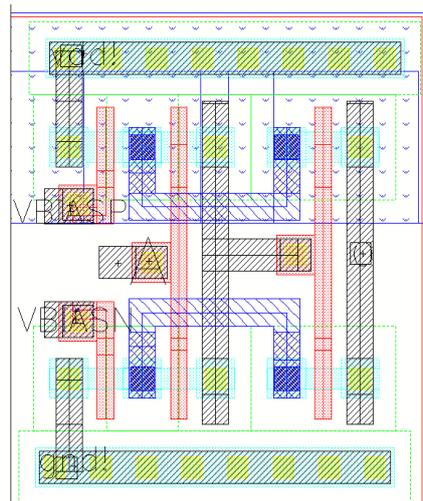
Ao propor um novo elemento de configuração de atrasos pode-se fazer uma comparação com elemento de configuração de atraso original proposto por (KNUDSEN, 2006). Pode-se fazer a comparação dos elementos em termos da quantidade de transistores e do mínimos e máximos valores de atrasos suportado por cada um destes elementos. A tabela 5.1 ilustra esses valores.

Tabela 5.1: Comparação entre os elementos de atrasos configuráveis

<i>Elemento de Atraso (δ) Configurável</i>	<i>Número de Transistores</i>	<i>Mínimo Atraso (ps)</i>	<i>Máximo Atraso (ps)</i>
TDFD (ver Figura 3.2)	6	65,0	144,0
Proposto por este trabalho (ver Figura 5.1)	24	30,8	120,1

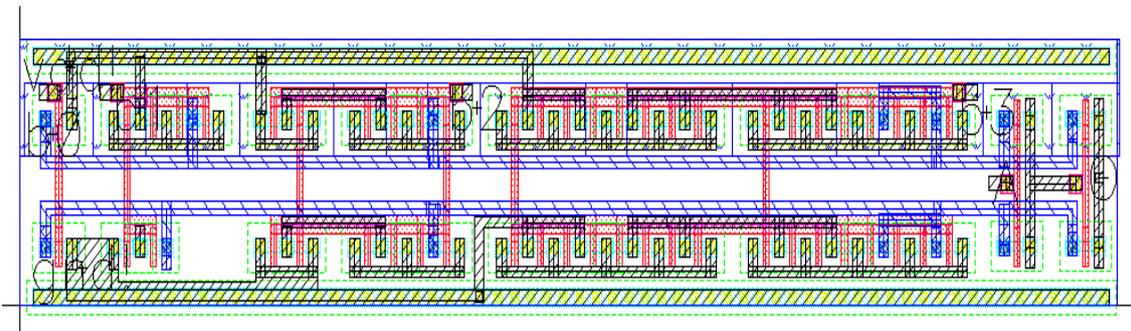
No que se refere à quantidade de transistores, isto influencia diretamente na área ocupada por cada uma das estruturas. A Figura 5.4 ilustra o *layout* do CDE original, enquanto que a Figura 5.5 ilustra o *layout* proposto para o novo elemento de atraso configurável. Os *layouts* destas estruturas estão dimensionados para 90 nm utilizando o ambiente de desenvolvimento Virtuoso da empresa Cadence®. (VIRTUOSO, 2013).

Figura 5.4: *Layout* para o elemento de atraso programável proposto por Knudsen (2006).



Fonte: SOUZA (2012)

Figura 5.5: Layout proposto para o novo elemento de atraso configurável (CDE).



Fonte: SOUZA (2012)

Mesmo com uma área maior, o novo elemento proposto por este trabalho tem como a principal vantagem a possibilidade de ser programável de uma maneira considerada mais simples no que se refere à estrutura de roteamento de sinais e posicionamento das células dentro de um *chip*. O uso de uma cadeia de bits como, por exemplo, *scan-chain*, permite a possibilidade de configurar (ou reconfigurar) um flip-flop já inserido num circuito.

5.3 Estudo de Caso II

O objetivo do segundo estudo de caso é validar o novo elemento de atraso configurável proposto neste trabalho, uma vez que a técnica pode ser validada com o primeiro estudo de caso. Sendo assim, para este segundo estudo de caso foi utilizado um conjunto de circuitos *benchmarks* do ISCAS'85 (ISCAS 85) para avaliar o novo CDE. Cada circuito foi mapeado na tecnologia CMOS utilizando uma biblioteca de 65nm e seguindo o fluxo da metodologia apresentado no capítulo 3 na Figura 3.3.

Sendo assim, foram escolhidos 4 circuitos do *benchmarks* ISCAS'85, estes foram: C432, C880, C1908 e C3540 cada um com diferentes funcionalidades, quantidade de portas e implementações. A Tabela 5.2 ilustra uma descrição da funcionalidade de cada circuito, a quantidade de portas lógicas existente e a quantidade de entradas de saída para cada circuito.

Tabela 5.2: Características do circuitos *benchmark* ISCAS'85 selecionados para o estudo de caso

<i>Circuito</i>	<i>Função do Circuito</i>	<i>Total de Portas lógicas</i>	<i>Entradas</i>	<i>Saídas</i>
C432	Decodificador de Prioridade	160	36	7
C880	ULA e Unidade de Controle	383	60	26
C1908	ECAT	880	33	25
C3540	ULA e Unidade de Controle	1169	50	22

Como especificado na metodologia de teste de injeção de falhas (ver Figura 3.3) o próximo passo depois que se tem o circuito no nível de portas lógicas é o uso da ferramenta de STA para determinar o máximo atraso em cada caminho do circuito. A tabela 5.3 mostra o atraso do caminho crítico, o máximo, mínimo e a média dos atrasos para todos os outros caminhos não críticos para cada circuitos do benchmark ISCAS'85.

Analisando a Tabela 5.3 percebe-se que existe uma larga variância entre os caminhos, sendo assim cada flip-flop foi trocado por um flip-flop tolerante com o CDE proposto e cada CDE foi configurado de acordo com os atrasos para cada caminho lógico. No Apêndice A é possível verificar o atraso para cada caminho combinacional e a configuração utilizada para de cada CDE dos flip-flop tolerantes.

Tabela 5.3: Análise da ferramenta STA nos circuitos *benchmark* ISCAS'85

<i>Circuito</i>	<i>Atraso do caminho crítico (ps)</i>	<i>Máximo atraso (ps) dos caminhos não críticos</i>	<i>Mínimo atraso (ps) dos caminhos não críticos</i>	<i>Média atraso (ps) dos caminhos não críticos</i>
C432	1.781	1.337	174	1.326
C880	817	747	68	336
C1908	1.291	1.271	52	927
C3540	1.415	1.404	84	587

5.3.1 Injeção de Falhas e Análise da Taxa de Erro

A injeção de falhas foi realizada através do simulador lógico ModelSim® (MENTOR GRAPHICS) nos mesmos moldes elaborado para o primeiro circuito de estudo de caso. Cinco casos foram simulados: Do caso 1 ao caso 5, com as seguintes configurações de valores de larguras de pulsos de SET para cada caso:

- Caso 1 : Nenhuma configuração de atraso (CDE) é utilizado no circuito e são inseridos pulsos de SET de 40ps, 80ps, 120ps e 180ps.
- Caso 2: Todos os flip-flops TDFP são configurados com uma configuração de atraso (CDE) de atraso de 40 ps e são injetados pulsos de SET com largura de 40ps, 80ps, 120ps e 180ps.
- Caso 3: Todos os flip-flops TDFP são configurados com uma configuração de atraso (CDE) de 80 ps e são injetados pulsos de SET com largura de 40ps, 80ps, 120ps e 180ps.

- Caso 4: Todos os flip-flops TDFP são configurados com uma configuração de atraso (CDE) de 120 ps e são injetados pulsos de SET com largura de 40ps, 80ps, 120ps e 180ps.
- Caso 5: Cada flip-flop TDFP é configurado com uma configuração de atraso (CDE) determinada pelo valor de atraso que pode foi encontrado na análise da ferramenta de STA para cada caminho lógico e são injetados pulsos de SET com largura de 40ps, 80ps, 120ps e 180ps.

A tabela 5.4 ilustra o resultado da simulação de injeção de falhas, foram inseridas 7693 falhas para cada simulação, para o circuito C432 do benchmark ISCAS'85. Nesta tabela são encontrados os casos de teste, a configuração de atraso no novo elemento programável proposto, a largura do pulso de SET inserido para cada caso, a quantidade de simulações que não ocorreram falhas, as falhas ocorridas e principalmente o resultado da taxa de erro.

Tabela 5.4: Análise da injeção de falhas e taxa de erro para o circuito C432

<i>Caso</i>	<i>Configuração elemento: CDE</i>	<i>Largura do pulso de SET (ps) injetados</i>	<i># SET injetados</i>	<i># Erros</i>	<i>% Erro</i>
Caso 1	0 ps (não usa CDE)	40	7647	46	0,598
		80	7626	67	0,870
		120	7611	82	1,065
		180	7507	186	2,417
Caso 2	Todos os CDE= 40 ps	40	7690	3	0,037
		80	7664	29	0,377
		120	7661	32	0,415
		180	7653	40	0,519
Caso 3	Todos os CDE= 80 ps	40	7690	3	0,038
		80	7689	4	0,052
		120	7681	12	0,155
		180	7655	38	0,493
Caso 4	Todos os CDE= 120 ps	40	7690	3	0,038
		80	7687	6	0,077
		120	7673	20	0,261
		180	7636	57	0,740
Caso 5	CDE adaptável para cada caminho	40	7690	3	0,039
		80	7689	4	0,052
		120	7675	18	0,234
		180	7659	34	0,441

Nota-se que para o Caso 1 quando não se utiliza nenhuma proteção no elemento programável (CDE) e os pulso de SET com larguras de 40, 80, 120 e 180ps são inseridos a quantidade de falhas aumenta à medida que se aumenta a largura dos pulos de SET. Quando se analisa o caso 1 onde todos os flip-flops são protegidos utilizando a

configuração de 40ps ocorre uma redução considerável, principalmente quando a inserção de SET de largura similar ao estabelecido para proteção. Os demais casos 2, 3 e 4 seguem a mesma lógica determinados para o caso 1. Entretanto para o Caso 5 que é onde ocorre a configuração de elementos de atraso de configuráveis por caminho de acordo com o seu atraso existe a melhor configuração e representada pela taxa de erro que acaba sendo a menor para todos os casos de injeção de SET.

A tabela 5.5 ilustra o resultado da simulação de injeção de falhas para o circuito C880 do benchmark ISCAS'85. Para este circuito foram inseridas 7660 falhas e o comportamento é bem similar ao ocorrido no circuito C432, para onde não existe nenhuma proteção de configuração CDE, caso 1, ocorre a maior incidência de falhas e a medida que se aumenta os níveis de proteção através da inserção de atrasos via CDE os a quantidade de falhas ocorridas reduz assim como a taxa de erro.

Tabela 5.5: Análise da injeção de falhas e taxa de erro para o circuito C880

<i>Caso</i>	<i>Configuração elemento: CDE</i>	<i>Largura do pulso de SET (ps) injetados</i>	<i># SET injetados</i>	<i># Erros</i>	<i>% Erro</i>
Caso 1	0 ps (não usa CDE)	40	7587	73	0,953
		80	7461	199	2,597
		120	7390	270	3,524
		180	7168	492	6,423
Caso 2	Todos os CDE= 40 ps	40	7660	0	0
		80	7468	192	2,506
		120	7353	307	4,007
		180	7249	411	5,365
Caso 3	Todos os CDE= 80 ps	40	7660	0	0
		80	7645	15	0,195
		120	7457	203	2,650
		180	7212	445	5,809
Caso 4	Todos os CDE= 120 ps	40	7600	0	0
		80	7653	7	0,091
		120	7632	28	0,365
		180	7380	280	3,650
Caso 5	CDE adaptável para cada caminho	40	7660	0	0
		80	7631	29	0,378
		120	7606	54	0,704
		180	7461	199	2,597

A tabela 5.6 ilustra o resultado da simulação de injeção de falhas para o circuito C1908 do *benchmark* ISCAS'85. Neste circuito foram inseridos 7540 falhas por simulação.

Tabela 5.6: Análise da injeção de falhas e taxa de erro para o circuito C1908

<i>Caso</i>	<i>Configuração Elemento:</i> CDE	<i>Largura do Pulso</i> <i>de SET (ps)</i> <i>Injetados</i>	<i># SET Injetados</i>	<i># Erros</i>	<i>% Erro</i>
Caso 1	0 ps (não usa CDE)	40	7451	89	1,264
		80	7363	177	2,514
		120	7317	223	3,153
		180	7187	353	5,104
Caso 2	Todos os CDE= 40 ps	40	7540	0	0
		80	7455	85	1,207
		120	7426	114	1,619
		180	7359	181	2,571
Caso 3	Todos os CDE= 80 ps	40	7540	0	0
		80	7540	0	0
		120	7463	77	1,093
		180	7375	165	2,343
Caso 4	Todos os CDE= 120 ps	40	7450	0	0
		80	7450	0	0
		120	7450	0	0
		180	7427	103	1,605
Caso 5	CDE adaptável para cada caminho	40	7506	34	0,482
		80	7470	70	0,994
		120	7440	100	1,42
		180	7406	134	1,903

De modo semelhante às tabelas de resultados anteriormente ilustradas, a Tabela 5.7 mostra o resultado da simulação de injeção de falhas para o circuito C3540 do *benchmark* ISCAS'85, sendo que para este circuito foram inseridos 7610 falhas por simulação.

É importante observar que para os 4 circuitos escolhidos para injeção de falhas a maioria dos pulso de SET são mascarados logicamente, eletricamente ou estão fora da janela de captura do *clock*, a inserção de atrasos no circuito, através do elemento de atraso configurável CDE, fez com que o taxa de erro diminuísse. Entretanto, ao utilizar nos 4 circuitos, o uso do CDE com o atraso adaptável para cada caminho lógico conseguiu obter melhores resultados na redução de erro, quando comparável ao uso de um único valor de atraso configurado no CDE para os caminhos lógicos.

Tabela 5.7: Análise da injeção de falhas e taxa de erro para o circuito C3540

<i>Caso</i>	<i>Configuração Elemento: CDE</i>	<i>Largura do Pulso de SET (ps) Injetados</i>	<i># SET Injetados</i>	<i># Erros</i>	<i>% Erro</i>
Caso 1	0 ps (não usa CDE)	40	7543	67	1,003
		80	7512	98	1,467
		120	7435	175	2,621
		180	7338	272	4,074
Caso 2	Todos os CDE= 40 ps	40	7610	0	0
		80	7090	520	7,789
		120	7483	127	1,902
		180	7410	200	2,995
Caso 3	Todos os CDE= 80 ps	40	7610	0	0
		80	7608	2	0,029
		120	7526	84	1,258
		180	7426	184	2,756
Caso 4	Todos os CDE= 120 ps	40	7610	0	0
		80	7610	0	0
		120	7608	2	0,029
		180	7448	162	2,422
Caso 5	CDE adaptável para cada caminho	40	7603	7	0,104
		80	7599	11	0,164
		120	7570	40	0,599
		180	7512	98	1,467

A tabela 5.8 mostra uma comparação de área e desempenho para cada um dos circuitos, quando não se utiliza nenhum elemento de configuração de atraso CDE ou quando usa o CDE para cada uma das simulações: desde o caso 1 até o caso 5.

A análise da Tabela 5.8 mostra que é possível e suficientemente válido o uso do CDE nos flip-flops. O aumento de atraso, níveis de proteção de pulso de SET, através da configuração CDE afeta diretamente o desempenho do circuito reduzindo a frequência. Isto acontece à medida que os níveis de atraso são aumentados. Com isto percebe-se que a frequência alcançada pelo circuito na menor configuração de atraso no CDE (40ps) e a utilização do CDE no modo adaptável resulta na mesma frequência. No entanto esta relação não existe quanto à área, uma vez que o circuito CDE é configurado somente com a entrada de 4-bit, sem adição de elementos ou circuitos que adicionem área para configurar um menor ou maior atraso.

Tabela 5.8: Área e frequência para o estudo de caso benchmarks ISCAS'85

<i>Circuito</i>	<i>Configuração do elemento de atraso (δ)</i>	<i>Área (μm^2)</i>	<i>Frequência (caminho crítico)</i>
Circuito 432	0	1134,4	2,64 GHz
	40	1455,1	1,63 GHz
	80	1455,1	1,51 GHz
	120	1455,1	1,42 GHz
	CDE Adaptável	1455,1	1,63 GHz
Circuito 880	0	3194,7	2,04 GHz
	40	3501,2	1,25 MHz
	80	3501,2	1,19 MHz
	120	3501,2	1,09 MHz
	CDE Adaptável	3501,2	1,25 MHz
Circuito 1908	0	5273,7	1,10 MHz
	40	5532,9	658 MHz
	80	5532,9	650 MHz
	120	5532,9	625 MHz
	CDE Adaptável	5532,9	658 MHz
Circuito 3540	0	10,855	826 MHz
	40	11,172	500 MHz
	80	11,172	416 MHz
	120	11,172	357 MHz
	CDE Adaptável	11,172	500 MHz

5.4 Sumário

Neste capítulo foi proposto e avaliado um novo elemento de configuração de atraso, denominado de *Configurable Delay Element* – CDE. Este elemento tem o intuito de substituir o elemento delta (δ) proposto por KNUDSEN (2006), pois o mesmo adiciona grandes dificuldades nos processo de fabricação do chip nas fases de *placement* e *routing*. O novo elemento proposto possibilita que um intervalo de atraso seja configurado através do uso de vetor de 4-bits.

Para avaliar o elemento proposto foram utilizados circuitos reais do *benchmark* ISCAS'85 para injeção de falhas e avaliação da taxa de erro. Os resultados da injeção de falhas nos circuitos C432, C880, C1904 e C3540 se mostram satisfatórios devido à ocorrência da redução da taxa de erros quando utilizada a configuração de 4-bits no elemento CDE com atraso adaptável para cada caminho lógico.

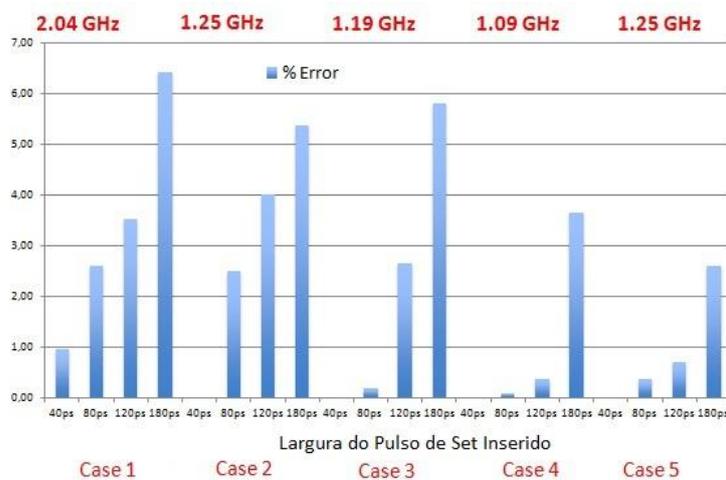
As Figuras 5.6, 5.7, 5.8 e 5.9 mostram gráficos que fazem um resumo da percentagem de erro devido à largura do pulso de SET aplicado para os quatro circuitos do Benchmark ISCAS'85 testados. Note que todos esses ganhos foram conseguidos com a menor degradação no período do relógio do circuito como apresentado na tabela 5.8.

Figura 5.6: Percentual de erro com relação à largura do pulso de SET para o circuito 432.



Fonte SOUZA (2012)

Figura 5.7: Percentual de erro com relação à largura do pulso de SET para o circuito 880.



Fonte SOUZA (2012)

Figura 5.8: Percentual de erro com relação à largura do pulso de SET para o circuito 1908



Fonte SOUZA (2012)

Figura 5.9: Percentual de erro com relação à largura do pulso de SET para o circuito 3540



Fonte SOUZA (2012)

6 CONCLUSÃO

Este trabalho propôs e analisou a aplicação entre múltiplos caminhos lógicos para o uso da técnica de filtragem de pulso SET utilizando o flip-flop tolerante à radiação TDFP aproveitando a diferença de propagação de atraso. Além disso, propôs um novo elemento de atraso configurável (CDE) que possui como principal vantagem a facilidade de configuração de atraso através de cadeia de 4-bits.

O desenvolvimento desta proposta de trabalho ocorreu baseado em dois estudos de caso. O primeiro estudo de caso é voltado para validação da proposta de utilizar as “folgas” existentes nos caminhos combinacionais entre as barreiras de flip-flops. Os resultados do primeiro estudo de caso da injeção de falhas se mostraram satisfatórios e concluíram que a técnica de filtragem temporal dos pulsos de SET pela configuração de caminhos lógicos é válida. No entanto, a utilização com a utilização do elemento gerador de atrasos δ proposto por KNUDSEN (2006) determina um range de atraso de (65ps a 140ps), este considerado grande para a tecnologia de 65 nm. Além disso, limitações em nível de layout, roteamento e posicionamento de células, demonstraram a necessidade de um novo elemento capaz de reduzir o range encontrado e de fácil configuração.

Sendo assim um segundo estudo de caso foi desenvolvido utilizando circuitos do Benchmarks ISCAS' 85. Neste estudo de caso um novo elemento para geração de atrasos no circuito foi desenvolvido. O Elemento CDE, que possui um range de atrasos menor (30 ps a 120 ps) e possui uma configuração para gerar os atrasos através de uma cadeia de 4-bits. Esta configuração pode ser, por exemplo, feita por uma cadeia de *scan-chain*.

Os resultados experimentais através da simulação elétrica tem mostrado que a solução de utilizar a filtragem temporal pelo uso de atrasos adaptativos causa o mínimo impacto. Através de uma análise do incremento de área e de degradação de frequência, utilizar a técnica de filtragem temporal não incrementa a estrutura do flip-flop TDFP. No entanto com relação à frequência o uso do elemento CDE para aplicar atrasos adaptados por caminho lógico tem o mesmo desempenho para qualquer cadeia de bits, uma vez que a frequência do circuito é limitada pelo caminho crítico.

Além disso, os resultados da injeção de falhas mostraram que o uso do flip-flop TDFP reduz significativamente a quantidade de número de erros no circuito. No entanto o uso do flip-flop TDFP com o uso da técnica de filtragem de SET com os caminhos lógicos configurado com os respectivos atrasos consegue reduzir ainda mais a quantidade falhas sem afetar a performance ou aumentar a área do circuito.

Como trabalho futuro sugere-se propor um novo flip-flop de modo a reduzir a área (quantidade de transistores), principalmente no que se refere ao uso dos votares. Esta redução ocasionaria uma melhora significativamente no desempenho do flip-flop Tdff. Como trabalho futuro pode-se incluir também a automatização do método proposto para uma ferramenta de síntese comercial, podendo assim entrar no processo de fabricação de CI tolerantes à radiação.

REFERÊNCIAS

ANGHEL, L. **Les Limites Technologiques du Silicium et tolérance aux fautes**. 2000. 156 f. Tese (Doutorado Microelectronique) – Instituto National Polytechnique de Grenoble, INPG, Grenoble.

BENEDETTO, J. Limitation of Single Event Hardening techniques in deep submicron technologies. In: 14th BIENNIAL SINGLE EVENT EFFECTS SYMPOSIUM, 2004. **Proceedings...**California:[s.n.] 2004. p. 26-29.

BESSOT, D.; VELAZCO, R. Design of SEU-Hardened CMOS Memory Cells: the HIT Cell. In: RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS, SECOND CONFERENCE ON, RADECS, 1993. **Proceedings...** Grenoble: [s.n.] 1993. p. 563-570.

BLUM, D. R.; DELGADO-FRIAS, J.G. Hardened by Design Techniques for Implementing Multiple-Bit Upset Tolerant Static Memories. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2007. **Proceedings...**New Orleans: IEEE, 2007.p. 2786-2789.

CALIN, T.; NICOLAIDIS, M.; VELAZCO, R. Upset Hardened Memory Design for Submicron CMOS Technology. **IEEE Transactions on Nuclear Science**, Grenoble, v.43, n.6, p 2874-2878. Dec. 1996.

COSMOS Scope Reference Manual. Synopsys, Inc. Version Z-2007.03, March 2003.

DIRIL, U.; DHILLON Y.; CHATTERJEE, A. Design of a adaptive nanometer digital system for effective control of soft error tolerance. In: VLSI TEST SYMPOSIUM, 2005. **Proceedings...** Georgia, Atlanta: IEEE, 2005 p. 298-303.

FERLET-CAVROIS. V. et al. Direct measurement of transient pulses induced by laser irradiation in deca-nanometer SOI devices. **IEEE Transactions On Nuclear Science**, Los Alamitos, v. 52, 2005.

HAGHI, M.; DRAPER, J. The 90 nm Double-DICE Storage Element to Reduce Single-Event Upsets. In: IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2009. . **Proceedings...** Cancun: IEEE, 2009, p. 463-466.

HSPICE Simulation and Analysis User Guide. Synopsys, Inc. Release U-2003.03-PA, March 2003.

HSPICE Quick Reference Guide. Synopsys, Inc. Release W-2004.

ISCAS 85. Benchmark Circuit Netlist. ISCAS, 2012. **Proceedings...** Disponível em: <<http://dropzone.tamu.edu/~xiang/iscas.html>>. Acesso em: set. 2012.

JAHINUZZAMAN, S.M.; ISLAM, R. TSPC-DICE: a single phase clock high performance SEU hardened flip-flop. In: 53th IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2010. . **Proceedings...** Seattle: IEEE, 2010. p. 73-76.

KNUDSEN, J.; CLARK, T. An Area and Power Efficient Radiation Hardened by Design Flip-Flop. **IEEE Transactions on Nuclear Science**, Arizona, v. 53, n. 6, p. 3392-3399, Dec. 2006.

LIMA, F. G. **Designing Single Event Upset Mitigation Techniques for Large SRAM-based FPGA Devices**. 2002. 72 f. Tese (Doutorado)– Instituto de Informática, UFRGS, Porto Alegre.

LIU, M. N.; WHITAKER, S. Low Power SEU Immune CMOS Memory Circuits, **IEEE Transactions on Nuclear Science**, Moscow, v.39, n. 6, p. 1679-1684, Dec.1992.

MATUSH, B.; T. MOZDZEN, T.; CLARK, T. Area Efficient Temporally Hardened by Design Flip-Flop Circuits. **IEEE Transactions on Nuclear Science**, Arizona, v. 57, n. 6, p. 3588 - 3595, Dec. 2010.

MAVIS, D.G.; EATON, P. H. Soft Error Rate Mitigation Techniques for Modern Microcircuits. In: 40th ANNUAL RELIABILITY PHYSICS SYMPOSIUM. 2002. **Proceedings...** Dallas: IEEE. 2002. p. 216-225.

MESSENGER, G. C. Collection of Charge on Junction Nodes from Ion Tracks. **IEEE Transactions on Nuclear Science**, New York, v. 29, n. 6, p. 2024-2031, Dec. 1982.

MENTOR GRAPHICS. ModelSim, 2010. Disponível em: <<http://www.model.com/content/modelsim-support>>. Acesso em: 2011.

MONGKOLKACHIT, P.; BHUVA, B. Design Technique for Mitigation of Alpha-particle-induced Single-Event Transient in Combinational logic. **IEEE Transactions on Device and Materials Reliability**, Nashville, v.3, n. 3, p. 82-92. Sept. 2003.

NARASIMHAM, B. **Characterization of Heavy-ion, Neutron and Alpha Particle Induced Single-Event Transient Pulse Widths in Advanced CMOS Technologies**. 2008. 119 f. Tese (Doutorado em Engenharia Elétrica) – Departamento de Engenharia Elétrica, School of Vanderbilt University, Tennessee.

NASEER, R.; DRAPER, J. The DF-DICE storage element for immunity to soft errors. In: 48th IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2005. **Proceedings...** Greece: IEEE. 2005. p. 3890-3893.

NEUMANN, J. V. **Probabilistic logics and synthesis of reliable organisms from unreliable components**. Automata Studies. Nova Jersey: Princeton Univ. Press. pp. 43-98. 1956.

OMANA, M.; ROSSI, D.; METRA, C. Latch Susceptibility to Transient Faults and New Hardening Approach. **IEEE Transactions on Computers**, Bologna, v.56, n. 9, p. 1255-1268. Sept. 2007.

Predictive Technology Model. PTM. 2012. Disponível em: <<http://ptm.asu.edu>>. Acesso em: set. 2012.

RAO, R. R.; BLAAUW, D.; SYLVESTER, D. Soft Error Reduction in Combinational Logic Using Gate Resizing and Flip-flop Selection. In: INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN (ICCAD'06), 2006. **Proceedings...** San Jose: ACM. 2006. p. 502-509.

SHE, X.; LI, N. Low-Overhead Single-Event Upset Hardened Latch Using Programmable Resistance Cells. *IET Computers & Digital Techniques*, Shanghai, v.4, n. 5, p. 42-427, Sept. 2010.

SIMIONOVSKI, A. **Sensor de Corrente Transiente para Detecção de SET com Célula de Memória Dinâmica**. 2012. 115 f. Dissertação (Mestrado em Engenharia Elétrica) – Departamento de Engenharia Elétrica, UFRGS, Porto Alegre.

SOUZA, J. E. P; KASTENSMIDT, F. L. Applying Adaptive Temporal Filtering for SET Mitigation based on the Propagation-Delay of Every Logical Path. **13th Latin American Test Workshop (LATW)**, Quito, p. 1-6. Abril. 2012

SOUZA, J. E. P; KASTENSMIDT, F. L. Applying Adaptive Temporal Filtering for SET Mitigation based on the Propagation-Delay of Every Logical Path. In: 13th LATIN AMERICAN TEST WORKSHOP (LATW), 2012. **Proceedings...** Quito: IEEE. 2012. p. 1-6.

VIRTUOSO Analog Design Environment. Disponível em:

<http://www.cadence.com/products/cic/analog_design_environment/pages/default.aspx

>. Acesso em: mar. 2013.

WANG, W.; GONG, H. Edge Triggered Pulse Latch Design with Delayed Latching Edge for Radiation Hardened Application. **IEEE Transactions on Nuclear Science**, Milwaukee, v. 51, n. 6, p. 3626-3630, Dec. 2004.

WEAVER, H. et al. An SEU Tolerant Memory Cell Derived from Fundamental Studies of SEU Mechanisms in SRAM. **IEEE Transactions on Nuclear Science**. New Mexico, v.34, n.6,p. 1281-1286, Dec.1987.

WIRTH, G. Bulk Built-in Current Sensors for Single Event Transient Detection in Deep-Submicron Technologies. **Microelectronics Reliability**, Oxford, v. 48, n. 5, p. 710-715, May. 2008.

APÊNDICE A – CONFIGURAÇÃO DOS CIRCUITOS ISCAS’ 85

Dos circuitos utilizados do *Benchmark* ISCAS’85 foram extraídos os tempos de propagação, desde a entrada do sinal até a captura do mesmo em um flip-flop. Para isto, uma ferramenta de STA (*Static Timing Analysis*) foi utilizada. A seguir são descritas informações extraídas dos circuitos utilizados. Estas são: a quantidade de caminhos combinacionais por circuito, o atraso para cada caminho lógico, o caminho crítico do circuito (o que possui o maior atraso), a diferença existente entre o caminho em análise do caminho crítico. Descobrir o valor dessa diferença é possível estabelecer qual valor deve ser configurado no elemento de atraso programável (CDE) proposto por este trabalho e, por fim, é mostrada também a configuração de bits que é utilizada para caracterizar aquele atraso.

É importante observar que o campo da tabela “Valor configurável no CDE” somente tem sentido para o caso de teste número 5 (caso 5), quando utiliza a configuração adaptável por caminho. Para os outros casos (do caso 1 ao caso 4) os valores de CDE são aplicados a todos os elementos.

Tabela A.1: Tabela do circuito C432

<i>Circuito</i>	<i>Caminhos combinacional</i>	<i>Atraso por caminho</i>	<i>Diferença em relação ao atraso máximo</i>	<i>Valor configurável no CDE</i>	<i>Configuração de bits</i>
C432	1	444 ps	1337 ps	120,6 ps	1110
	2	909 ps	872 ps	120,6 ps	1110
	3	1374 ps	407 ps	120,6 ps	1110
	4	1781 ps	0	30, 8 ps	0011
	5	1560 ps	221 ps	120,6 ps	1110
	6	1607 ps	174 ps	120,6 ps	1110
	7	1607 ps	174 ps	120,6 ps	1110

A linha demarcada significa que o caminho crítico para o circuito em análise.

Tabela A.2: Tabela do circuito C880

<i>Circuito</i>	<i>Caminhos combinacional</i>	<i>Atraso por caminho</i>	<i>Diferença em relação ao atraso máximo</i>	<i>Valor configurável no CDE</i>	<i>Configuração de bits</i>
C880	1	115 ps	702 ps	120,6 ps	1110
	2	115 ps	702 ps	120,6 ps	1110
	3	115 ps	702 ps	120,6 ps	1110
	4	70	747 ps	120,6 ps	1110
	5	177 ps	640 ps	120,6 ps	1110
	6	165	652 ps	120,6 ps	1110
	7	127 ps	690 ps	120,6 ps	1110
	8	127 ps	690 ps	120,6 ps	1110
	9	127 ps	690 ps	120,6 ps	1110
	10	120 ps	697 ps	120,6 ps	1110
	11	177 ps	640 ps	120,6 ps	1110
	12	139 ps	678 ps	120,6 ps	1110
	13	167 ps	650 ps	120,6 ps	1110
	14	167 ps	650 ps	120,6 ps	1110
	15	120 ps	697 ps	120,6 ps	1110
	16	306 ps	511 ps	120,6 ps	1110
	17	306 ps	511 ps	120,6 ps	1110
	18	575 ps	242 ps	120,6 ps	1110
	19	634 ps	183 ps	120,6 ps	1110
	20	609 ps	208 ps	120,6 ps	1110
	21	583 ps	234 ps	120,6 ps	1110
	22	720 ps	97 ps	97,6 ps	1101
	23	683 ps	134 ps	120,6 ps	1110
	24	817 ps	0	30,8 ps	0011
	25	749 ps	68 ps	82,3 ps	1100
	26	723 ps	94 ps	97,6 ps	1101

■ A linha demarcada significa que o caminho crítico para o circuito em análise.

Tabela A.3: Tabela do circuito C1908

<i>Circuito</i>	<i>Caminhos combinacional</i>	<i>Atraso por caminho</i>	<i>Diferença em relação ao atraso máximo</i>	<i>Valor configurável no CDE</i>	<i>Configuração de bits</i>
C1908	1	830 ps	461 ps	120,6 ps	1110
	2	830 ps	461 ps	120,6 ps	1110
	3	830 ps	461 ps	120,6 ps	1110
	4	830 ps	461 ps	120,6 ps	1110
	5	830 ps	461 ps	120,6 ps	1110
	6	830 ps	461 ps	120,6 ps	1110
	7	830 ps	461 ps	120,6 ps	1110
	8	830 ps	461 ps	120,6 ps	1110
	9	830 ps	461 ps	120,6 ps	1110
	10	830 ps	461 ps	120,6 ps	1110
	11	830 ps	461 ps	120,6 ps	1110
	12	830 ps	461 ps	120,6 ps	1110
	13	830 ps	461 ps	120,6 ps	1110
	14	830 ps	461 ps	120,6 ps	1110
	15	830 ps	461 ps	120,6 ps	1110
	16	830 ps	461 ps	120,6 ps	1110
	17	20 ps	1271 ps	30,8 ps	0011
	18	1239 ps	52 ps	58,7 ps	1000
	19	1239 ps	52 ps	58,7 ps	1000
	20	1239 ps	52 ps	58,7 ps	1000
	21	1239 ps	52 ps	58,7 ps	1000
	22	1239 ps	52 ps	58,7 ps	1000
	23	1196 ps	95 ps	97,6 ps	1101
	24	1196 ps	95 ps	97,6 ps	1101
	25	1291 ps	0	30,8 ps	0011

■ A linha demarcada significa que o caminho crítico para o circuito em análise.

Tabela A.4: Tabela do circuito C3540

<i>Circuito</i>	<i>Caminhos combinacional</i>	<i>Atraso por caminho</i>	<i>Diferença em relação ao atraso máximo</i>	<i>Valor configurável no CDE</i>	<i>Configuração de bits</i>
C3540	1	121 ps	1295 ps	120,6 ps	1110
	2	76 ps	1340 ps	120,6 ps	1110
	3	365 ps	1051 ps	120,6 ps	1110
	4	209 ps	1126 ps	120,6 ps	1110
	5	314 ps	1102 ps	120,6 ps	1110
	6	752 ps	664 ps	120,6 ps	1110
	7	830 ps	586 ps	120,6 ps	1110
	8	973 ps	443 ps	120,6 ps	1110
	9	1186 ps	230 ps	120,6 ps	1110
	10	32 ps	1384 ps	120,6 ps	1110
	11	1234 ps	182 ps	120,6 ps	1110
	12	1323 ps	93 ps	97,6 ps	1101
	13	1332 ps	84 ps	97,6 ps	1101
	14	1296 ps	120 ps	120,6 ps	1110
	15	1240 ps	176 ps	120,6 ps	1110
	16	32 ps	1384 ps	120,6 ps	1110
	17	32 ps	1384 ps	120,6 ps	1110
	18	1416 ps	0	30,8 ps	0011
	19	12 ps	1404 ps	120,6 ps	1110
	20	12 ps	1404 ps	120,6 ps	1110
	21	32 ps	1384 ps	120,6 ps	1110
	22	20 ps	1396 ps	120,6 ps	1110

■ A linha demarcada significa que o caminho crítico para o circuito em análise.

APÊNDICE B – CÓDIGO DO FLIP-FLOP TDFE

Descrição do Flip-Flop TDFE KNUDSEN (2006) em HSPICE para futuras reproduções dos resultados obtidos nesta dissertação.

```

*****
*                                     FLIP-FLOP - TDFE
*                                     AUTOR: JOSE EDUARDO
*****

.include tsmc0065.mod

*****
* Sub Circuitos
*****

    .subckt INV in out vcc
M87 out in vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M88 out in 0 0 nmos l=0.065u w=0.18u ad=28.8f as=28.8f
pd=0.68u ps=0.68u
    .ends INV

    .subckt NAND a b out vcc
M110 out a vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M111 out b vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M112 out a u1 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M113 u1 b 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
    .ends NAND

    .subckt NOR a b out vcc
M114 il a vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M115 out b il vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M116 out a 0 0 nmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M117 out b 0 0 nmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
    .ends NOR

```

```

        .subckt FLIP in clkbar fVbiasP fVbiasN out vcc
*****Início do flip-flop TDFE - Lado Esquerdo
M1  N1  clk  in   vcc  pmos l=0.065u w=0.60u ad=96f  as=96f
pd=1.52u ps=1.52u
M2  N1  clkbar in   0   nmos l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u
M3  clk clkbar vcc vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M4  clk clkbar 0   0   nmos l=0.065u w=0.18u ad=28.8f as=28.8f
pd=0.68u ps=0.68u
M5  M0  clkbar N1  vcc  pmos l=0.065u w=0.60u ad=96f  as=96f
pd=1.52u ps=1.52u
M6  M0  clk   N1   0   nmos l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u

M7  N2  N1      vcc  vcc  pmos l=0.065u w=0.20u ad=32f  as=32f
pd=0.72u ps=0.72u
M8  N2  N1      0   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M9  A      N2 vcc vcc  pmos l=0.065u w=0.20u ad=32f  as=32f
pd=0.72u ps=0.72u
M10 A      N2  0   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

```

*****Configuração do DELTA

```

M11 S1 fVbiasP vcc vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M12 D1  A      S1  vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M13 D1  A      C1   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M14 MD  D1     S1   vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M15 MD  D1     C1   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M16 C1  fVbiasN 0   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

```

*****Configuração do Segundo DELTA

```

M17 S2 fVbiasP vcc vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M18 D2  A      S2  vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M19 D2  A      C2   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M20 Temp D2     S2  vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M21 Temp D2     C2   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M22 C2  fVbiasN 0   0   nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M23 S3 fVbiasP vcc vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u
M24 D3 Temp     S3  vcc  pmos l=0.065u w=0.40u ad=64f  as=64f
pd=1.12u ps=1.12u

```

```

M25 D3 Temp C3 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M26 T D3 S3 vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M27 T D3 C3 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M28 C3 fVbiasN 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

```

* MDdb

```

M29 MDdb MD vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M30 MDdb MD 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

```

*MDDB0

```

M31 MDDb T vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M32 MDDb T 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

```

*Configuração do Votador

```

M49 out1 MDdb vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M50 out1 MDDb vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M51 out1 MDdb f1 0 nmos l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u
M52 f1 MDDb 0 0 nmos l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

M53 out2 MDdb vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M54 out2 N2 vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M55 out2 MDdb f2 0 nmos l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u
M56 f2 N2 0 0 nmos l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

M57 out2 MDDb vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M58 out3 N2 vcc vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M59 out3 MDDb f3 0 nmos l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u
M60 f3 N2 0 0 nmos l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

M61 M0i out1 vcc vcc pmos l=0.065u w=0.60u ad=96f as=96f
pd=1.52u ps=1.52u
M62 M0i out2 vcc vcc pmos l=0.065u w=0.60u ad=96f as=96f
pd=1.52u ps=1.52u
M63 M0i out3 vcc vcc pmos l=0.065u w=0.60u ad=96f as=96f
pd=1.52u ps=1.52u
M64 M0i out1 l1 0 nmos l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u

```

```

M65  l1  out2  r1      0  nmos  l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u
M66  r1  out3  0        0  nmos  l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u

M96  M0  M0i   vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M97  M0  M0i   0        0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

```

***** Configuração do 2º Votador

```

M67  out4  MDdb  vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M68  out4  MDdb  vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M69  out4  MDdb  b1      0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u
M70  b1    MDdb  0        0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

M71  out5  MDdb  vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M72  out5  N2    vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M73  out5  MDdb  b2      0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u
M74  b2    N2    0        0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

M75  out6  MDdb  vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M76  out6  N2    vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.1
M77  out6  MDdb  b3      0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u
M78  b3    N2    0        0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

M79  M1i   out4  vcc    vcc  pmos  l=0.065u w=0.60u ad=96f   as=96f
pd=1.52u ps=1.52u
M80  M1i   out5  vcc    vcc  pmos  l=0.065u w=0.60u ad=96f   as=96f
pd=1.52u ps=1.52u
M81  M1i   out6  vcc    vcc  pmos  l=0.065u w=0.60u ad=96f   as=96f
pd=1.52u ps=1.52u
M82  M1i   out4  12     0  nmos  l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u
M83  12    out5  r2     0  nmos  l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u
M84  r2    out6  0      0  nmos  l=0.065u w=0.39u ad=62.4f as=62.4f
pd=1.10u ps=1.10u

M98  M1    M1i   vcc    vcc  pmos  l=0.065u w=0.40u ad=64f   as=64f
pd=1.12u ps=1.12u
M99  M1    M1i   0      0  nmos  l=0.065u w=0.26u ad=41.6f as=41.6f
pd=0.84u ps=0.84u

```

*****Transistores PMOS Sendo ligados na Célula DICE

```
M33 x3 clkbar MDb vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M34 x2 clkbar M1 vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M35 x1 clkbar MDDb vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
M36 x0 clkbar M0 vcc pmos l=0.065u w=0.40u ad=64f as=64f
pd=1.12u ps=1.12u
```

***** Configuração da Célula DICE

```
M37 x0 x3 vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M38 x0 x1 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

M39 x1 x0 vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M40 x1 x2 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

M41 x2 x1 vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M42 x2 x3 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u

M43 x3 x2 vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M44 x3 x0 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
```

*Saida da Celula da DICE

```
M45 out x3 vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M46 out x3 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
M47 out x1 vcc vcc pmos l=0.065u w=0.20u ad=32f as=32f
pd=0.72u ps=0.72u
M48 out x1 0 0 nmos l=0.065u w=0.13u ad=20.8f as=20.8f
pd=0.58u ps=0.58u
```

```
.ic v(N1)=0
.ends FLIP
```

```
*****
** Descrição do 1º Caminho - Estudo de Caso
*****
```

```
* Inversor na entrada
X4 J D vcc INV
* Entrada do sinal D no flip-flop TDFE
X5 D clk b VbiasP VbiasN Q vcc FLIP
```

```
X11 Q Q3 nand1 vcc NAND
X12 nand1 inv2 vcc INV
X13 inv2 Q3 nor1 vcc NOR
X14 nor1 inv2 nand2 vcc NAND
X15 nand2 inv3 vcc INV
X16 inv3 invd1 nor2 vcc NOR
X17 nor2 inv4 vcc INV
X18 inv4 inv5 vcc INV
X19 inv5 invc3 nand3 vcc NAND
X20 nand3 inv6 vcc INV
X21 invc2 inv2 nor3 vcc NOR
X22 nor3 inv6 vcc INV
X23 inv6 inv7 vcc INV
X24 inv7 inv4 nand4 vcc NAND
X25 nand4 inv8 vcc INV
X26 norc1 inv8 nand5 vcc NAND
X27 nand5 inv8 nand6 vcc NAND
X28 nand6 inv9 vcc INV
X29 inv9 nor1 nor4 vcc NOR
X30 nor4 inv10 vcc INV
X31 inv10 inv11 vcc INV
X32 invc3 inv11 nand7 vcc NAND
X33 nand7 inv12 vcc INV
X41 inv12 Entrada vcc INV
```

```
* Registrando a saída no Flip-Flop TDFE
X6 Entrada clk b VbiasPCircuitol VbiasNCircuitol Saida vcc FLIP
```

```
*****
** Descrição do 2º Caminho - Estudo de Caso
*****
```

```
* Inversor na entrada
X43 J Dcirc2 vcc INV
* Entrada do sinal D no flip-flop TDFE
X44 Dcirc2 clk b VbiasP VbiasN Q2 vcc FLIP
```

```
X45 Q2 invc1 vcc INV
X46 Q Q2 nandc1 vcc NAND
X47 nandc1 Q3 nandc2 vcc NAND
X48 nandc2 invc2 vcc INV
X49 invc2 inv2 norc1 vcc NOR
X50 norc1 invc3 vcc INV
X51 invc3 invc6 vcc INV
X52 invc6 invd1 nandc3 vcc NAND
X53 nandc3 invc4 vcc INV
X54 invc4 inv2 nandc4 vcc NAND
X55 nandc4 invd1 nandc5 vcc NAND
X56 nandc5 invc7 vcc INV
X57 invc7 nor1 norc2 vcc NOR
```

```

X58 norc2      invc5      vcc  INV
X59 invc5      invc8      vcc  INV
X60 invc8  inv2  nandc6    vcc  NAND
X61 nandc6      invc9      vcc  INV
X62 invc9  inv2  nandc7    vcc  NAND
X63 nandc7  invd1  nandc8    vcc  NAND
X64 nandc8      invc10     vcc  INV
X65 invc10  nor1   norc3     vcc  NOR
X67 norc3      Entrada2  vcc  INV

```

*Registrando a saída no Flip-Flop TDFE

```
X193  Entrada2  clkb  VbiasPCircuito2  VbiasNCircuito2  Saida2  vcc  FLIP
```

```

*****
** Descrição do 3º Caminho - Estudo de Caso
*****

```

* Inversor na entrada

```
X73  J Dcirc3  vcc  INV
```

* Entrada do sinal D no flip-flop TDFE

```
X74  Dcirc3  clkb  VbiasP  VbiasN  Q3  vcc  FLIP
```

```

X75 Q3      invd1      vcc  INV
X76 invd1      invd2      vcc  INV
X77 invd2  Q3  nandd1    vcc  NAND
X78 nandd1  invd1  nandd2    vcc  NAND
X79 nandd2      invd3      vcc  INV
X80 invd3  inv2  nord1     vcc  NOR
X81 nord1      invd4      vcc  INV
X82 invd4      invd5      vcc  INV
X83 invd5  invd1  nandd3    vcc  NAND
X84 nandd3      invd6      vcc  INV
X85 invd6  invd2  nandd4    vcc  NAND
X86 nandd4  invd1  nandd5    vcc  NAND
X87 nandd5      invd7      vcc  INV
X88 invd7  nord1  nord2     vcc  NOR
X89 nord2      invd8      vcc  INV
X90 invd8      invd9      vcc  INV
X91 invd9  invd2  nandd6    vcc  NAND
X92 nandd6      Entrada3  vcc  INV

```

*Registrando a saída no Flip-Flop TDFE

```
X106  Entrada3  clkb  VbiasPCircuito3  VbiasNCircuito3  Saida3  vcc  FLIP
```

```

*****
** Fontes de Alimentação
*****

```

```
vcc      vcc      0  dc  1.1
```

```
v2      J      0  pulse  (1.1 0  0.01n 0.01n 0.01n 0.46n  0.92n
```

```
v5      clkb    0  pulse  (0  1.1 0.01n 0.01n 0.01n 0.23n  0.46n)
```

```
v6      VbiasN  0  dc  1.1
```

```
v7      VbiasP  0  dc  0.0
```

```

v8      VbiasNCircuito1  0 dc 1.1   *Delta = 33.18 ps
v9      VbiasPCircuito1  0 dc 0.0

v10     VbiasNCircuito2  0 dc 0.6   *Delta = 40.20 ps
v11     VbiasPCircuito2  0 dc 0.5

v12     VbiasNCircuito3  0 dc 0.5   *Delta = 46.39 ps
v13     VbiasPCircuito3  0 dc 0.4

```

*Exemplo de uma configuração de inserção de um pulso Largura do SET = 100.88 ps

```

Iset 0 K1 EXP (0 0.70m 160ps 0.000001nS 0.0001n 33ps)
vset Entrada K1 dc 0

```

*Exemplo de uma configuração de inserção de um pulso Largura do SET = 126.19 ps

```

Iset2 0 k2 EXP (0 0.70m 160ps 0.000001nS 0.0001n 40ps)
*vset2 Entrada2 K2 dc 0

```

*Exemplo de uma configuração de inserção de um pulso de Largura do SET = 136.15 ps

```

Iset3 0 K3 EXP (0 0.70m 160ps 0.000001nS 0.0001n 44ps)
vset3 Entrada3 K3 dc 0

```

```

***** Simulação Transiente
.tran 0.01p 3n
.end

```

APÊNDICE C – ARTIGO LATW (2012)

Um artigo, relacionado ao tema da dissertação, é apresentados neste apêndice. O artigo denominado: *Applying Adaptive Temporal Filtering for SET Mitigation based on the Propagation-Delay of Every Logical Path*, foi aceito para publicação no Latin American Test Workshop (LATW), no ano de 2012.

Applying Adaptive Temporal Filtering for SET Mitigation based on the Propagation-Delay of Every Logical Path

José Eduardo Pereira Souza and Fernanda Lima Kastensmidt

Instituto de Informática - PGMICRO
Universidade Federal do Rio Grande do Sul
Porto Alegre, Brazil
{jepsouza, fglima}@inf.ufgrs.br

Abstract— This paper proposes the use of a programmable radiation hardened flip-flop to select the most appropriate delay in the SET temporal filtering for each flip-flop in a circuit. Each flip-flop can filter SETs by using different delays based on the propagation-delay of its logical path. The propagation-delay variances among multiple paths can be used to increase or reduce the delay of the SET filtering. In this way, a delay with a minimum performance impact can always be selected. This approach was validated by electrical simulations in a case-study circuit. Different SET pulse widths were injected. Results have shown the efficiency of this technique to filter SETs and to tolerate SEUs in integrated circuits.

Keywords-SET filtering; radiation effects, adaptability; programmable delay circuit.

I. INTRODUCTION

The susceptibility of integrated circuits (IC) to radiation effects has increased considerably due to the decrease of transistors dimensions, power supply voltage and increase in frequency. Transient errors may occur in ICs when radioactive particles interact with the silicon provoking transient ionizations that may charge or discharge logic nodes. Individual upsets that directly affect a sequential element are known as Single Event Upsets (SEUs), while upsets that are originated in logic are known as Single Event Transients (SETs) [1]. Some recent studies indicate that, in recent nanometer technologies, due to technology scaling, the occurrence of SET pulse become common, causing failures in circuits because of the reduced charge that must be deposited in the combinational logic to generate upsets. These transient pulses can propagate several gates and be latched into a memory element resulting in error [2].

In order to tolerate SEU and SET in IC, fault tolerant techniques based on SEU hardened memory cells and SET temporal filtering are used. Well known SEU hardened sequential elements are DICE (Dual Interlocked Storage Cell) [3] and HIT (Heavy Ion Tolerant) [4]. The first uses four interconnected inverters for work with redundancy providing a source of uncorrupted data after single-event strikes. While the HIT cell uses twelve transistors organized as two storage structures interconnected by two feedback paths.

There are combinations of SEU hardened sequential elements with SET temporal filtering circuits, such as the TSPC-DICE (True Single-Phase Clock) [2], DF-DICE (Delay-Filter) [5] and TDFF (Temporal-Dice Flip-Flop) [6]. All of them are D-type master slave flip-flops and they use a DICE cell as slave latch of the flip-flop to protect the memory against SEU and they use some kind of SET filtering in the input of the master latch. The SET filter mechanism is usually composed of three distinct paths, one with a δ delay, another with 2δ delay and another one with no delay, all connected to a majority voter at the end. So, SET pulse-width up to δ delay can be voted out by this filter circuit. Another approach for SET filtering is to use a C-element cell with a latch that allows passing the inputs only when the both paths, with and without the δ delay, are equal.

However all the SET temporal filtering approaches add some kind of performance penalty. As one can observe, the main drawback of SET filtering is the addition of a delay in the logic path that decreases the clock frequency. The delay is proportional to the SET pulse width to be mitigated. For example, for an IC running at 1 GHz, if SET pulse-width up to 30ps is filtered by the mitigation method, the final frequency is reduced by at least 6%. If SET pulse-width of 300ps is filtered, the reduction in frequency can be at least in 23%. The related work TDFF [6] presents the ability to produce delay of different durations just by changing the configuration of the flip-flop. Thus, one can configure the δ delay element of the SET filtering circuit to protect various ranges of SET pulse widths. The authors in [6] propose the use of the programmable element for different LET. But they do not explore the fact of adjusting the δ delay for different propagation delay paths where in this case, each flip-flop can have a different δ delay.

The capability on being able to adapt the SET filtering according to propagation-delay of the logical path is very attractive to reduce the impact in performance. The work proposed in this paper takes advantage of using the configuration capability proposed in [6] to apply to the different logic paths with different delay slacks. The propagation-delay of the critical path determines the performance of the circuit. So, when SET filtering is applied to the flip-flops of the critical path, the δ delay will have a direct impact in the performance. But this does not mean that the

other logic paths cannot use even higher δ delays with no performance degradation. This is because there are many other paths with smaller propagation-delays compared to the critical path, and the difference in the propagation-delays can be used to select larger δ delays for the SET filtering mitigations. Consequently, each flip-flop can be configured to certain delay duration to tolerate SETs.

In this paper, we show the possibility of using different δ delays with minimum performance degradation. A case-study circuit with the TDFF flip-flops and different δ delays was simulated at electrical level with and without SETs to validate the technique. The use of larger δ delays when possible can increase the SET mitigation as longer SET pulse width can be filtered.

This paper is organized as follows: Section II describes the related works. Section III presents the proposed approach. Section IV shows the validation of the proposed technique in a case-study circuit. Section V shows the fault injection results. Conclusions and future works are presented in section VI.

II. RELATED WORK

The design of the temporal-dice flip-flop (TDFF) [6] is comprised of a temporal filtering master latch and a DICE slave latch as shown in fig. 1. The temporal filtering master latch is composed of three temporal filtering paths, one with δ delay, other with 2δ delay and the other with no delay. These paths are connected to two majority voter circuits represented by M cell. The majority voter outputs are connected to the inputs of the DICE slave latch. The TDFF flip-flop is sensitive to the falling edge of the clock signal.

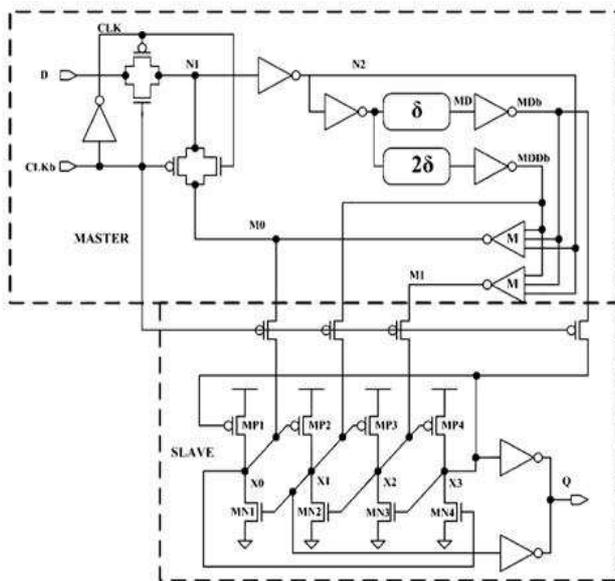


Figure 1. TDFF from [6].

The delay element (δ) is shown in fig. 2. This circuit has a programmable delay by using starved current transistors MP1 and MN1 to program the rise and fall delays. Consequently, the circuit allows the delay to be adjusted by changing the VBIASP and VBIASN analog voltages [6]. This allows adjustment of the delay to different SET pulse-width.

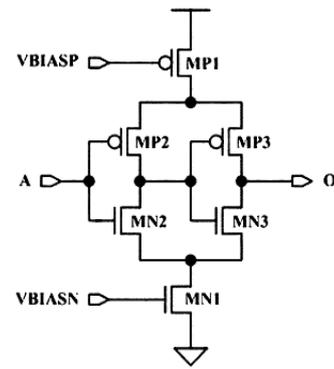


Figure 2. Programmable delay Circuit (δ) from [6]

III. PROPOSED APPROACH

The idea of this paper is to take advantage of the variances in the propagation delay among multiple paths in IC to adjust the programmable delay circuit in different values to provoke minimum impact in performance. It uses the technique proposed in [6] to apply to the different logical paths with different delay slacks. Let one consider the circuit presented in fig. 3. There are three different logical paths with different propagation delays ($T_{p\text{-path1}}$, $T_{p\text{-path2}}$ and $T_{p\text{-path3}}$). When a specific δ delay is chosen for the SET filtering in the critical path (path1), the $T_{p\text{-path1}}$ plus δ determines the new propagation-delay of the circuit. The remaining paths may have T_p smaller than the critical path, so they may tolerate larger δ delays with no compromise in performance. The use of larger δ delays in the other paths may increase SET migration as larger SET pulse-width may be protected.

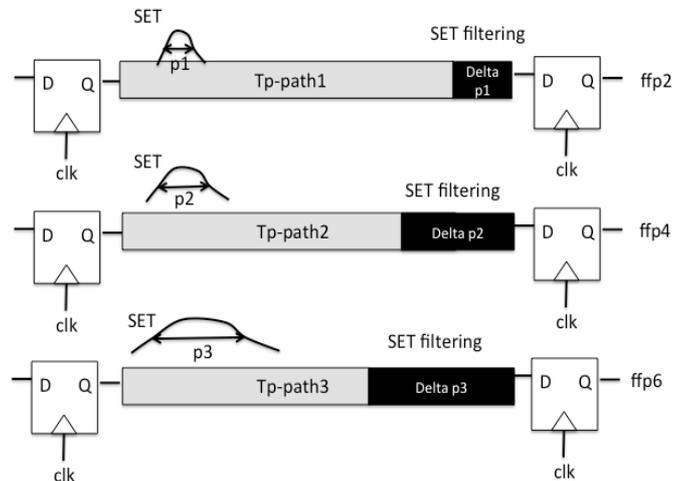


Figure 3. Example of a digital circuit with three logic paths with different propagation-delay (T_p).

In this way, each flip-flops is configured to a certain δ delay to tolerate SETs. The challenge is how to select different VBIASN and VBIASP to adapt a different delay for each hardened flip-flop in order to maximize the tolerance and minimize the performance penalty. This technique was implemented in a case-study circuit and validated by electrical simulation and fault injection.

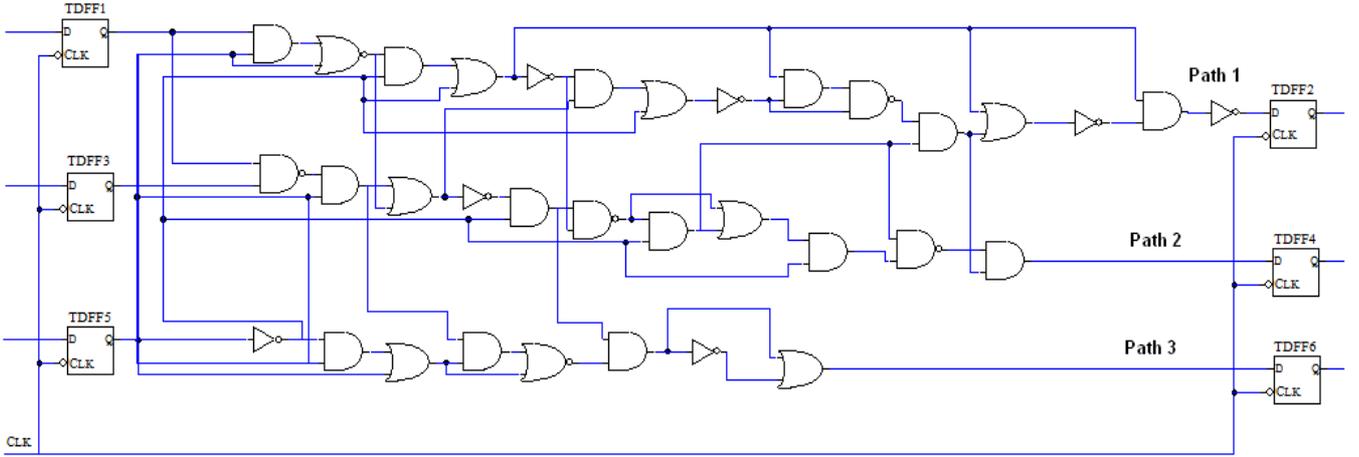


Figure 4. Case-study circuit

IV. VALIDATING THE PROPOSED APPROACH IN A CASE-STUDY CIRCUIT

A case-study circuit was designed at electrical level with standard D-type master slave flip-flops and the TDFF version in the 65 nm CMOS process technology using the PTM model [8]. All the p-type transistors are sized 1.5 times greater than an n-type transistor. All simulations are performed using SPICE. The case-study circuit is presented in fig. 4. It is a small portion of an IC and it was selected to validate the idea. It has three combinational paths each one connected to the flip-flops TDFF2, TDFF4 and TDFF6. Each path has a distinct propagation-delay (T_p). The logic path 1 has a T_p of 223.0 ps. The logic path 2 has a T_p of 193.1 ps, and path 3 has a T_p of 169.7ps.

Table 1 compares the case-study circuit composed of standard D-type flip-flops and the TDFF. Each standard D-type flip-flop has 36 transistors while the TDFF has 88 transistors. One can see that the use of TDFF increases the number of transistors in the circuit in 82.11 % and it reduces the frequency in 2.4 times when a minimum δ delay is selected. This reduction is considerable and it is due to all the circuit that is added including the majority voter as well (fig. 1).

TABLE I. CASE-STUDY CIRCUIT WITH STANDARD AND TDFF FLIP-FLOPS FOR ONE PROGRAMMABLE DELAY CIRCUIT WITH MINIMUM δ .

Case-study Circuit	Maximum Frequency	Number of transistors	Hardened SEU	Hardened SET
With Standard D-Type Master-Slave flip-flops	5.16 GHz	380	NO	NO
With TDFF Master-Slave flip-flops	2.08 GHz	692	YES	YES

In order to adjust the δ delay for each flip-flop, the VBIASN and VBIASP inputs must be configured with the most fitted values to generate the desired δ . Fig. 5 shows all

possible combinations of delays generated by the programmable delay circuit (fig. 2). The δ delay can be easily adjusted from 65ps to 144ps in this technology. One can configure this delay to protect various range of SET pulse widths. Where 65 ps is the minimum delay achieved when VBIASN = 1.1 and VBIASP = 0.

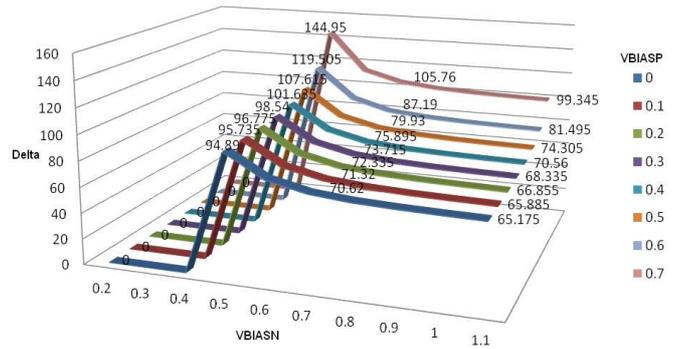


Figure 5. δ Delay values according to VBIASN and VBIASP

For the case-study circuit, the differences between the T_p of the critical path and the remain paths are:

- Path 1 – Path 2 = 223 ps – 193 ps = 30 ps
- Path 1 – Path 3 = 223 ps – 169.7ps = 53.3ps

But when applying the TDFF solution, the critical path has now a T_p of 223ps plus the minimum δ delay of 65 ps. So, in reality the slack for path 2 is 95 ps and for the path 3 is 118 ps compared to the critical path propagation-delay. This results in the following configurations of VBIASN and VBIASP:

- Path 1 - Critical Path
 - VBIASN= 1.1 and VBIASP = 0.0
 - Delta \approx 65 ps.
- Path 2 - Middle Path
 - VBIASN= 0.6 and VBIASP = 0.5
 - Delta \approx 88 ps.

- Path 3 – Smaller Path
 - $VBIASN = 0.5$ and $VBIASP = 0.4$
 - $\Delta \approx 102$ ps.

For the selected δ delay values, SET pulse widths up to 65, 88 and 102ps can be filtered. The frequency penalty is the minimum one possible (minimum δ delay used) as presented in table I.

Fig. 6. Shows the three outputs of flip-flops TDF2, TDF4 and TDF6 in accordance with the rising edge of clock. The largest difference among the logic paths path1, 2 and 3 is now 9.92ps, which is between path 1 and path 3.

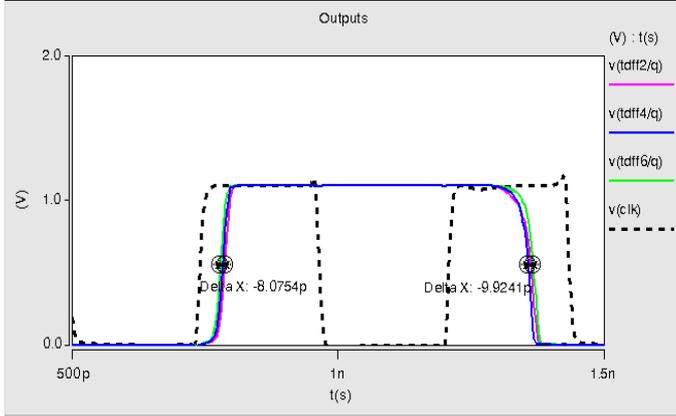


Figure 6. Simulated outputs of the logical path in relation to clock

V. FAULT INJECTION RESULTS

Fault injection is performed to determine the behavior of the outputs of TDF. SET pulses of different durations are injected in the combinational path to analyze the fault tolerant technique. Before making the injection of faults is important to observe the operation of the circuit. The importance of this analysis is necessary to check the right moment to insertion of the SET pulses.

Fig. 7 illustrates the TDF latching a new value. When the clock is at level 0, the master latch receives the input data. The node *NI* represents the value just after the transmission gate at the master latch input. Node *MI* shows the value at the output of the master latch. Note that the delay from the input to the output of the master is approximately half of the clock period. This delay is proportional to the δ delay used in the SET filtering. Once the clock is at level one, the slave latch captures the master latch output (node TDF2 in fig. 7).

Therefore, for a SET pulse causes an error in the TDF flip-flop, the pulse must arrive at the output of the master latch just before the clock changes from zero to one. If the SET is shorter than the δ delay, the SET will not appear at the master latch output. Otherwise, the pulse is not voted by the master latch circuit, and the slave latch stores the SET pulse, provoking an error.

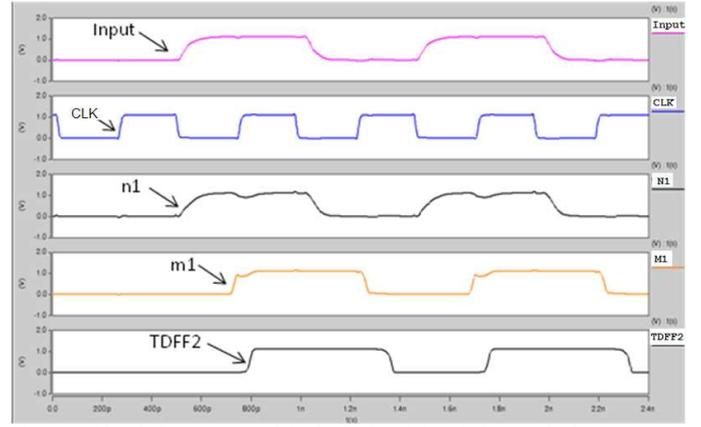


Figure 7. Simulation outputs of the logical path in relation to clock

The SET pulses were modeled as a double exponential curve [9]. Fig. 8 illustrates the injection of a SET pulse in the path 1. One can see that node *n1* suffers a partial degradation due to the SET but the correct value is voted by the different δ delays in the majority voters, as seen in node *MI*. The correct value is stored in the slave latch, node TDF2 in fig. 8 (a). The tests were repeated in order to find the largest pulse width supported by each path. This is the largest pulse that would not cause a wrong storage of the input data and output wrong. Table II shows the values of the maximum pulse width supported by each path, the intensity of current and charge

TABLE II. CHARACTERISTICS OF SETS IN EACH LOGIC PATHS

Logic Paths	Characteristics of SET		
	SET Pulse width	Current intensity	Critical Charge
Path 1	67.22 ps	0.70 mA	25.94 f
Path 2	86.78 ps	0.70 mA	31.52 f
Path 3	105.07 ps	0.70 mA	35.08 f

The values found in Table II match very well with the adjusted δ delays of each of the TDF flip-flops. When the SET pulse widths are increased, the SET pulses are captured by the flip-flops, as seen in fig. 8 (b).

Fig. 9 shows the injection of SET pulse widths in all paths. Note that when the SET pulse width is shorter than the delay δ used in each path, the pulse is filtered, as it can be observed by the signals *q*.

Each programmable delay circuit (fig. 2) contributes to a minimum δ delay of 65 ps and a maximum delay of 144 ps. Consequently if higher SET must be filtered, higher number of programmable delta circuits must be added in serial in the design of the TDF flip-flop, as shown in fig. 10. The use of more than one element of δ delay has the disadvantage of increasing the number of transistors in the flip-flop and decreasing drastically the performance. But it provides greater protection for the occurrence of larger SET pulse-width. Table III shows the impact of using series of programmable delay circuits.

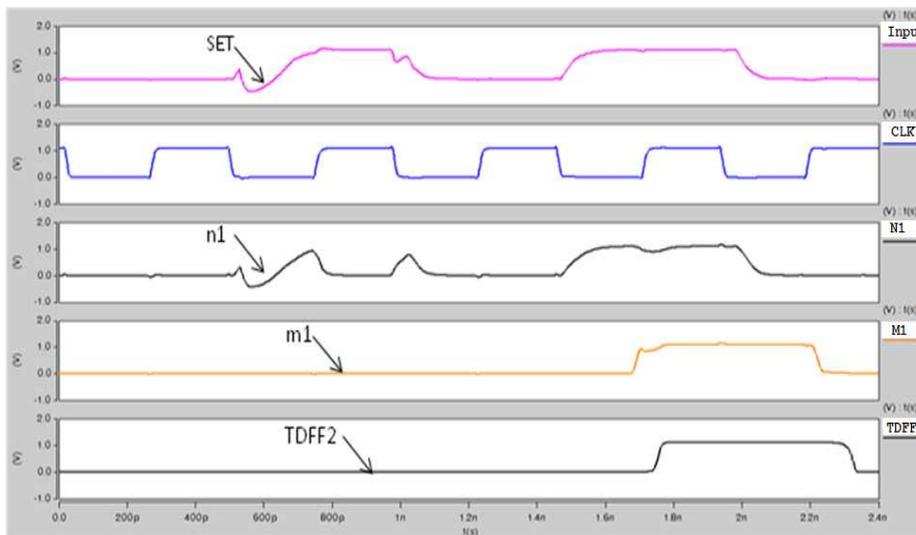
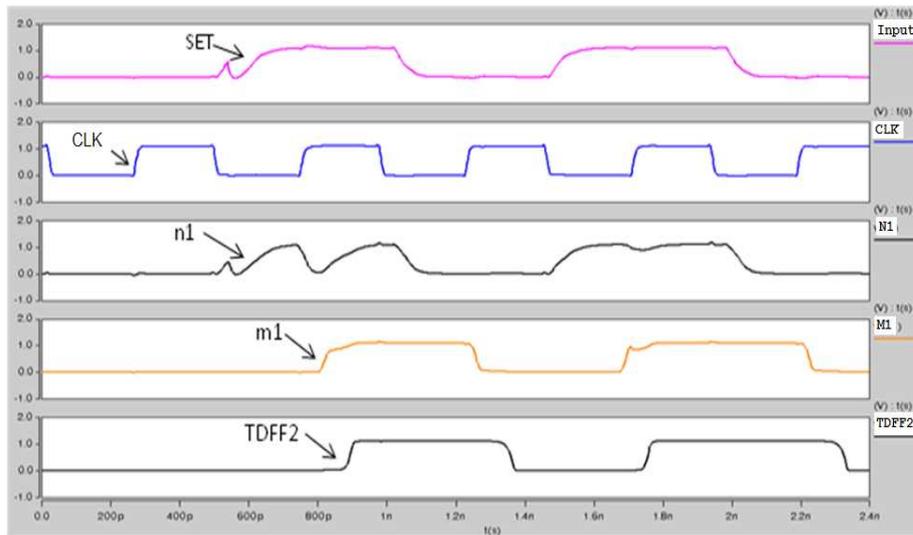


Figure 8. SET fault injection from electrical simulation. SET pulses injected in path 1 with pulse width shorter and larger than δ delays

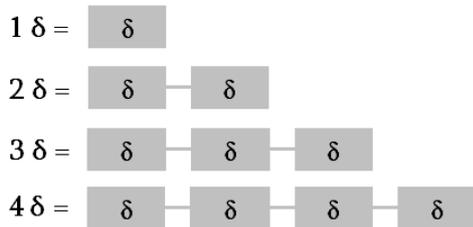


Figure 10. Using Series of Programmable Delay circuits to increase the δ delay.

TABLE III – THE IMPACT OF USING SERIES OF PROGRAMMABLE DELAY CIRCUITS

<i>Number of δ circuits in series</i>	<i>Minimum δ value</i>	<i>Maximum δ value</i>	<i>Number of transistors TDF</i>
1	65 ps	144 ps	88
2	130 ps	288 ps	96
3	195 ps	432 ps	104
4	260 ps	576 ps	112

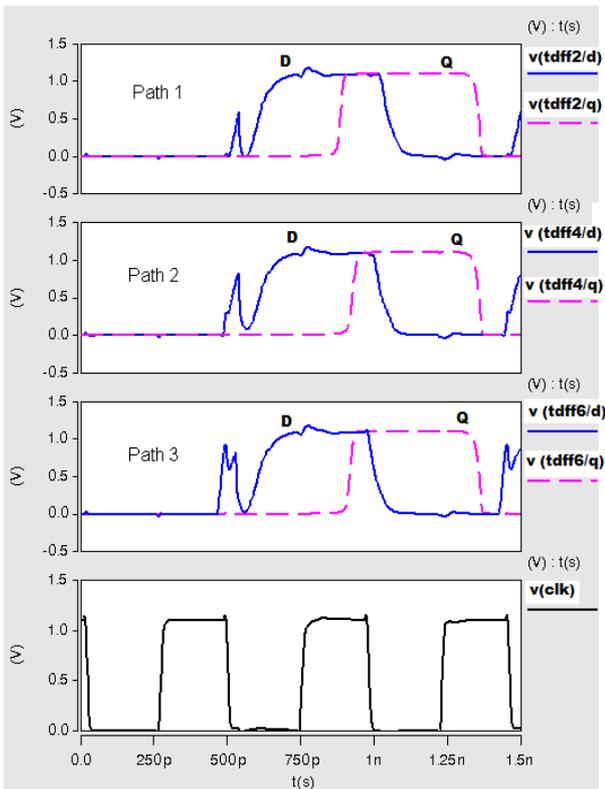


Figure 10. SET pulses injected in path 1, path 2 and path 3 with widths shorter than each path δ delay used in Tdff2, Tdff4 and Tdff6.

VI. CONCLUSION AND FUTURE WORK

We have proposed and evaluated the use of propagation delay variances among multiple logic paths for adapting SET filtering by using the flip-flop Tdff. Experimental results from electrical simulations have shown that the solution causes a minimal impact in performance. Future work includes the development of new flip-flop architecture to reduce the minimum δ delay that can be configured. The actual value of 65 ps is already too large for the performance degradation. The idea is to have some adjustments in the delay element of the flip-flop in the way that a more broad range of δ delays could be selected.

REFERENCES

- [1] D. R. Blum and J. G. Delgado-Frias, "Hardened by Design Techniques for Implementing Multiple-Bit Upset Tolerant Static Memories" *IEEE International Symposium on Circuits and Systems*, pp. 2786-2789, New Orleans, LA, May.2007.
- [2] S. M. Jahinuzzaman and R. Islam, "TSPC-DICE: a single phase clock high performance SEU hardened flip-flop," in *Proc. IEEE Int. Midwest Symp. on Circuits and Systems (MWSCAS)*, Seattle, WA, Aug. 2010, pp. 73-76.
- [3] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2874-2878, Dec. 1996.
- [4] D. Bessot, R. Velazco, "Design of SEU-hardened CMOS memory cells: the HIT cell". Radiation and its Effects on Components and Systems, Second European Conference on, RADECS 93, 13-16 Sept. 1993: pp 563-570.

- [5] R. Naseer and J. Draper, "The DF-Dice storage element for immunity to soft errors," *Proceedings of the 48th IEEE International Midwest Symposium on Circuits and Systems*, 2005.
- [6] J. Knudsen, L. T. Clark, "An Area and Power Efficient Radiation Hardened by Design Flip-Flop," *Trans. Nuc. Sci.*, pp. 3392-3399, vol. 53, no. 6. Dec. 2006.
- [7] M. Haghi and J. Draper, "The 90 nm Double-DICE storage element to reduce Single-Event upsets," *IEEE Int. Midwest Symp. on Circuits and Syst.*, Cancun, Mexico, 2009, pp. 463-466.
- [8] [online]. Available: <http://ptm.asu.edu/>
- [9] G. C. Messenger, "Collection of charge on junction nodes from ion tracks," *IEEE Trans. Nucl. Sci.*, vol. 29, pp. 2024-2031, 1982.