

250

DESENVOLVIMENTO DE UM CONVERSOR DE DESCRIÇÃO DE CIRCUITOS INTEGRADOS DO FORMATO EDIF PARA O FORMATO BLIF. *Eduardo R. D'Avila, Fernanda G. de Lima, Ricardo A. L. Reis* (Instituto de Informática, UFRGS).

A descrição de sistemas digitais complexos é realizada normalmente através de uma linguagem de alto nível como VHDL (Very High Speed Integrated Circuit [VHSIC] Hardware Description Language). Esta descrição é utilizada como entrada de diversas ferramentas comerciais de síntese lógica, como o MAX+plus II do sistema ALTERA. Estas ferramentas sintetizam um circuito gerando uma descrição em um nível mais baixo, na forma de portas lógicas, como na descrição EDIF (Electronic Design Interchange Format). Um conversor do formato de descrição EDIF para o formato de descrição de circuitos utilizado pelo sistema Ágata foi desenvolvido no Grupo de Microeletrônica (EDIF2H). Este trabalho teve como objetivo realizar alterações neste conversor EDIF2H para que o circuito seja simplificado, retirando-se elementos que possuem uma função lógica equivalente a um fio e para que seja possível utilizar-se vetores de sinais nos circuitos. Baseado nesta nova versão do conversor, foi desenvolvido um outro conversor que gera descrições de circuitos no formato BLIF (Berkeley Logic Interchange Format) a partir de descrições no formato EDIF (EDIF2BLIF). O formato BLIF é utilizado como entrada em mapeadores tecnológicos que geram descrição de circuitos a nível de portas lógicas específica para a tecnologia de implementação utilizada. Com o desenvolvimento deste novo conversor, tem-se uma ponte no fluxo de implementação de circuitos integrados, interligando o resultado de uma ferramenta de síntese lógica comercial com um mapeador tecnológico, por exemplo o mapeador SIS. Este conversor é utilizado no fluxo de desenvolvimento de circuitos da ferramenta Maragata e Ágata, ambos desenvolvidos pelo Grupo de Microeletrônica da UFRGS (CNPq).